

**Universidad Católica de Santa María**  
**Facultad de Ciencias e Ingenierías Físicas y**  
**Formales**  
**Escuela Profesional de Ingeniería Electrónica**



**DISEÑO, ANÁLISIS E IMPLEMENTACIÓN DE UNA FUENTE SWITCHING  
BUCK MULTIFASE CON UN CAPACITOR CONMUTADO**

Tesis presentada por el Bachiller:

**Polleri Granda, Ángel Alejandro**

para optar el Título Profesional de

**Ingeniero Electrónico**

Asesor:

**Mg. Málaga Chávez, Cesar Eduardo**

**Arequipa- Perú**

**2022**

UCSM-ERP

## UNIVERSIDAD CATÓLICA DE SANTA MARÍA

### INGENIERIA ELECTRONICA

### TITULACIÓN CON TESIS

### DICTAMEN APROBACIÓN DE BORRADOR

Arequipa, 19 de Enero del 2022

**Dictamen: 000290-C-EPiE-2022**

Visto el borrador del expediente 000290, presentado por:

**1995801071 - POLLERI GRANDA ANGEL ALEJANDRO**

Titulado:

**DISEÑO, ANÁLISIS E IMPLEMENTACIÓN DE UNA FUENTE SWITCHING BUCK MULTIFASE CON UN CAPACITOR CONMUTADO**

Nuestro dictamen es:

**APROBADO**

**1475 - MALAGA CHAVEZ CESAR EDUARDO  
DICTAMINADOR**



**1547 - RODRIGUEZ GONZALES PEDRO ALEX  
DICTAMINADOR**



**1691 - QUISPE YAUYO JUAN MEDARDO  
DICTAMINADOR**



## RESUMEN

El presente documento muestra el diseño e implementación de una fuente de alimentación conmutada capaz de proveer voltajes en el rango de 0.8Vcd a 2Vdc bajo cargas de hasta 40 amperios a partir de una fuente de 12Vdc.

Para poder alcanzar una alta eficiencia y ocupar poco espacio en una tarjeta PCB es que se desarrolla una topología de tres fases a altas frecuencias de conmutación, en donde se tiene un capacitor en serie que reduce el voltaje de entrada para la conmutación de las tres fases y, de esta manera no solo se reduce las pérdidas de conmutación, sino que también ya no se requiere de un bajo ciclo de trabajo para obtener voltajes que son hasta diez veces menos que el voltaje de entrada inicial.

La tesis primero establece las ecuaciones de diseño necesarias para analizar principalmente el balance de corriente de las tres fases y el efecto del cambio de ciclo de trabajo en la disminución de la amplitud del rizo de corriente y voltaje de salida, y a partir de este análisis se escoge el valor de capacitores e inductores que conforman la fuente. En este análisis se observa que para mantener la amplitud del rizado de corriente equitativa en el modo de operación de alta carga (las tres fases a la vez) es necesario mantener la primera fase trabajando al doble de frecuencia que la fase 2 y 3, lo que significa que el inductor de la fase 1 debe tener una inductancia cercana a la mitad del inductor de la fase 2 y 3. Posteriormente se diseña el compensador, para lo cual se obtiene el modelo promedio de los conmutadores de cada fase. Y, con el modelo promedio se calcula la función de transferencia del sistema de control, se grafican los diagramas de bode y se compensa la fuente mediante un compensador de tipo III. Finalmente, se fabrica el prototipo y se valida la topología propuesta.

Palabras clave: Fuente conmutada, capacitor en serie, balance de corrientes de fase, compensador tipo III.

## ABSTRACT

This document shows the design and implementation of a switching power supply capable of supplying voltages in the range of 0.8Vdc to 2Vdc under loads of up to 40 amps from a 12Vdc source.

In order to achieve high efficiency and a small print on a PCB, a three-phase topology is developed at high switching frequencies, where there is a series capacitor that reduces the input voltage for the switching of the three phases. and, in this way not only is the switching losses reduced, but also a low duty cycle is no longer required to obtain voltages that are up to ten times less than the initial input voltage.

The thesis first establishes the design equations necessary to analyze mainly the current balance of the three phases and the effect of the change in the duty cycle in the decrease in the amplitude of the output voltage and current ripple, and from this analysis the value of capacitors and inductors that make up the switching power supply are chosen. In this analysis it is observed that to maintain the amplitude of the equitable current ripple in the high load operation mode (all three phases at the same time) it is necessary to keep the first phase working at twice the frequency of phase 2 and 3, this means that the inductor of phase 1 must have an inductance of close to half that of the inductor of phase 2 and 3. Subsequently, the compensator is designed, for which the average model of the switches of each phase is obtained. And then, with the average model, the transfer function of the control system is calculated, the bode diagrams are plotted, and the power supply is compensated by a type III compensator. Finally, the prototype is manufactured and the proposed topology is validated.

keywords: Switching power supply, series capacitor, current balance, type III compensator.

## ÍNDICE

<b>DICTAMEN APROBATORIO</b> .....	ii
<b>RESUMEN</b> .....	iii
<b>ABSTRACT</b> .....	iv
<b>INDICE</b> .....	v
<b>ÍNDICE DE ILUSTRACIONES</b> .....	xii
<b>ÍNDICE DE TABLAS</b> .....	xiv
<b>Capítulo 1:</b> .....	<b>1</b>
1. Introducción .....	2
1.1. Antecedentes y Motivación .....	2
1.2. Objetivos.....	5
1.3. Contribución .....	5
1.4. Alcance de la tesis .....	6
1.5. Organización de la tesis .....	7
<b>Capítulo 2:</b> .....	<b>9</b>
2. Marco Teórico .....	10
2.1. Introducción a fuentes de conmutación .....	10
2.2 Fuentes de conmutación DC-DC .....	15
2.3 Fuente de conmutación Buck o reductora .....	22
2.4 Fuente de conmutación Buck multifase.....	36
2.5 Fuente de conmutación Buck multifase con un capacitor conmutado .....	42
2.6 Regulación del voltaje de salida y estabilidad de la fuente .....	44
2.7. Resumen del Capítulo.....	67
<b>Capítulo 3:</b> .....	<b>68</b>
3. Diseño de la Fuente de Conmutación.....	69
3.1. Especificaciones de la fuente de conmutación .....	69
3.2. Esquemáticos de la fuente y sus modos de operación. ....	69
3.3. Selección de componentes de la fuente de conmutación.....	92
3.4. Comportamiento eléctrico en el tiempo.....	104
3.5. Eficiencia teórica .....	108
3.6. Resumen del capítulo.....	122
<b>Capítulo 4:</b> .....	<b>123</b>

4.	Diseño del Sistema de Control .....	<b>124</b>
4.1.	Modelo matemático de fuente Buck Multifase con capacitor en serie .....	124
4.2.	Diseño del compensador.....	153
4.3.	Resumen del capítulo.....	167
<b>Capítulo 5:</b> .....		<b>169</b>
5	Diseño del hardware.....	170
5.2.1	Tarjeta de desarrollo con microcontrolador dspic33 .....	180
5.4	Resumen del capítulo.....	183
<b>Capítulo 6:</b> .....		<b>184</b>
6	Resultados experimentales .....	185
6.1	Señales de modulación de ancho de pulso PWM para las fases 1, 2 y 3.....	185
6.2	Rizado del voltaje de entrada.....	188
6.3	Voltaje de salida .....	188
6.4	Voltaje en el capacitor en serie.....	189
6.5	Balance y rizado de corrientes de fase en operación en estado estable .....	190
6.6	Respuesta transitoria.....	193
6.7	Eficiencia y pérdida de la fuente .....	195
6.8	Resumen del capítulo.....	197
<b>Capítulo 7:</b> .....		<b>199</b>
7.	Conclusiones y recomendaciones.....	200
7.1.	Conclusiones de la tesis .....	200
7.2.	Recomendaciones .....	200
<b>REFERENCIAS</b> .....		<b>202</b>
<b>BIBLIOGRAFÍA</b> .....		<b>204</b>

## ÍNDICE DE ILUSTRACIONES

<b>Ilustración 2-1</b> Concepto de fuente de conmutación.....	10
<b>Ilustración 2-2</b> Circuito básico de una fuente conmutada con un switch ideal.....	11
<b>Ilustración 2-3</b> Forma de onda del voltaje de entrada y salida con un ciclo de trabajo del 50%. .....	11
<b>Ilustración 2-4</b> Ciclo de trabajo D de una señal cuadrada.....	12
<b>Ilustración 2-5</b> circuito básico de una fuente conmutada con un switch ideal y capacitor en paralelo a la carga. ....	13
<b>Ilustración 2-6</b> Forma de onda del voltaje de entrada y salida con un capacitor en paralelo. ....	13
<b>Ilustración 2-7</b> Forma de onda cuadrada y sus armónicos. ....	14
<b>Ilustración 2-8</b> Circuito básico de una fuente conmutada con un switch ideal y una red LC .....	16
<b>Ilustración 2-9</b> Circuito básico de una fuente conmutada operando en el intervalo 1. ....	16
<b>Ilustración 2-10</b> Circuito básico de una fuente conmutada operando en el intervalo 2. ....	17
<b>Ilustración 2-11</b> Fuente de conmutación Boost o elevadora .....	18
<b>Ilustración 2-12</b> Fuente de conmutación Buck - Boost.....	19
<b>Ilustración 2-13</b> Fuente de conmutación Cuk. ....	20
<b>Ilustración 2-14</b> Fuente de conmutación SEPIC. ....	21
<b>Ilustración 2-15</b> Fuente de alimentación de topología Flyback. ....	22
<b>Ilustración 2-16</b> Fuente de conmutación Buck o reductora síncrona.....	23
<b>Ilustración 2-17</b> Intervalo 1 de la fuente de conmutación Buck o reductora síncrona.....	25
<b>Ilustración 2-18</b> Intervalo 2 de la fuente de conmutación Buck o reductora síncrona.....	25
<b>Ilustración 2-19</b> Forma de onda de la corriente del capacitor y variación de carga Q.....	27
<b>Ilustración 2-20</b> Evolución de la eficiencia cuando se varia la frecuencia de operación...31	
<b>Ilustración 2-21</b> Evolución de la eficiencia cuando se varia la carga. ....	32
<b>Ilustración 2-22</b> Evolución de la eficiencia cuando se varía el ciclo de trabajo .....	33
<b>Ilustración 2-23</b> Bucles de corriente de la fuente de conmutación Buck o reductora.....	34
<b>Ilustración 2-24</b> Fuente de conmutación Buck o reductora de dos fases. ....	37
<b>Ilustración 2-25</b> Suma de los componentes en continua y alterna de las corrientes $i_{L1}$ e $i_{L2}$ . ....	37
<b>Ilustración 2-26</b> Corriente rms normalizada del capacitor de entrada. ....	39
<b>Ilustración 2-27</b> Rizado de corriente normalizada del capacitor de salida. ....	40

<b>Ilustración 2-28</b>	Eficiencia versus el número de fases. ....	41
<b>Ilustración 2-29</b>	Fuente de conmutación Buck multifase con un capacitor conmutado. ...	43
<b>Ilustración 2-30</b>	Reducción de pérdidas de conmutación por capacitancia de salida en el MOSFET. ....	44
<b>Ilustración 2-31</b>	Diagrama de bloques de una fuente de conmutación Buck no regulada.	46
<b>Ilustración 2-32</b>	Diagrama de bloques de una fuente de conmutación Buck regulada, bucle cerrado. ....	46
<b>Ilustración 2-33</b>	Circuito de potencia equivalente RLC de la fuente de conmutación Buck de una sola fase. ....	48
<b>Ilustración 2-34</b>	Diagrama de bloques de un sistema de lazo cerrado. ....	49
<b>Ilustración 2-35</b>	Sistema de primer orden. ....	50
<b>Ilustración 2-36</b>	Diagrama de un sistema de primer orden en un diagrama de coordenadas. ....	50
<b>Ilustración 2-37</b>	Respuesta de un sistema de primer orden a un pulso unitario. ....	51
<b>Ilustración 2-38</b>	Sistema de segundo orden. ....	52
<b>Ilustración 2-39</b>	Respuesta de un sistema de segundo orden estándar en función al ratio de amortiguación. ....	53
<b>Ilustración 2-40</b>	Representación de la señal de salida para distintos valores del ratio de amortiguamiento $\zeta$ . ....	54
<b>Ilustración 2-41</b>	Sistema de control de bucle cerrado de segundo orden inestable. ....	55
<b>Ilustración 2-42</b>	Diagrama de Bode típico para un sistema de primer orden. ....	56
<b>Ilustración 2-43</b>	Margen de ganancia y fase de un diagrama de Bode. ....	58
<b>Ilustración 2-44</b>	Diagrama de Bode de un sistema estable e inestable cuando se cierra el lazo. ....	58
<b>Ilustración 2-45</b>	Diagrama de Bode representando la magnitud pico vs. El ratio de atenuación. ....	60
<b>Ilustración 2-46</b>	Efecto del ancho de banda sobre el tiempo de crecimiento, $T_r$ , establecimiento, $T_s$ , e impulso máximo $T_p$ . ....	60
<b>Ilustración 2-47</b>	Diagrama de una fuente de conmutación Buck y su circuito de control.	61
<b>Ilustración 2-48</b>	Diagrama de bloques de una fuente de conmutación Buck. ....	62
<b>Ilustración 2-49</b>	Compensador de tipo II. ....	64
<b>Ilustración 2-50</b>	Forma apropiada de un compensador de tipo II. ....	65
<b>Ilustración 2-51</b>	Compensador de tipo III. ....	66
<b>Ilustración 2-52</b>	Forma apropiada de un compensador de tipo III. ....	66

<b>Ilustración 3-1</b> Conversor Buck multifase con capacitor en serie. ....	70
<b>Ilustración 3-2</b> Intervalos de operación del modo 1.....	71
<b>Ilustración 3-3</b> Circuito de la fuente de conmutación en intervalo 1 — modo 1.....	71
<b>Ilustración 3-4</b> Circuito de la fuente de conmutación en intervalos 2 y 4 — modo 1 .....	73
<b>Ilustración 3-5</b> Circuito de la fuente de conmutación en intervalo 3 — modo 1.....	73
<b>Ilustración 3-6</b> Rizo de corriente de salida en un periodo de tiempo y $DC=25\%$ .....	77
<b>Ilustración 3-7</b> Corriente en el capacitor de entrada. ....	78
<b>Ilustración 3-8</b> Corriente en el capacitor en serie. ....	79
<b>Ilustración 3-9</b> Intervalos de operación del Modo 2. ....	80
<b>Ilustración 3-10</b> Circuito de la fuente de conmutación en intervalo 1 y 5 — modo 2.....	82
<b>Ilustración 3-11</b> Circuito de la fuente de conmutación en intervalo 2, 4, 6 y 8 — modo 2. .....	83
<b>Ilustración 3-12</b> Circuito de la fuente de conmutación en intervalo 3 — modo 2.....	83
<b>Ilustración 3-13</b> Circuito de la fuente de conmutación en intervalo 7 — modo 2.....	84
<b>Ilustración 3-14</b> Circuito de la fuente de conmutación modo 1.....	93
<b>Ilustración 3-15</b> Rizado de corriente de salida respecto al voltaje de salida,.....	94
<b>Ilustración 3-16</b> Rizado de corriente de los inductores $L_1$ y $L_2$ , $DC=25\%$ .....	95
<b>Ilustración 3-17</b> Rizado de corriente de salida $dI_{L0}$ , $DC=25\%$ . ....	95
<b>Ilustración 3-18</b> Capacitor de salida $C_o$ versus voltaje de salida $V_o$ . Modo 1 .....	96
<b>Ilustración 3-19</b> Rizado de corriente de salida respecto al voltaje de salida.....	98
<b>Ilustración 3-20</b> Rizado de corriente los inductores $L_1$ , $L_2$ y $L_3$ , $DC1=0.28$ . ....	99
<b>Ilustración 3-21</b> Rizado de corriente de salida $dI_{L0}$ , $DC1=0.28$ .....	99
<b>Ilustración 3-22</b> Capacitor de salida $C_o$ versus voltaje de salida $V_o$ . modo 2 .....	100
<b>Ilustración 3-23</b> Rizado de corriente de los inductores $L_1$ y $L_2$ en el modo 1. ....	101
<b>Ilustración 3-24</b> Rizado de corriente de los inductores $L_1$ , $L_2$ y $L_3$ en el modo 2.....	102
<b>Ilustración 3-25</b> Rizado de la corriente de salida $dI_{L0}$ para el modo 1 y 2 con valores de inductores estándar comerciales. ....	103
<b>Ilustración 3-26</b> Capacitor de salida $C_o$ respecto al voltaje de salida $V_o$ . ....	103
<b>Ilustración 3-27</b> Rizado de voltaje de salida $V_o$ . ....	104
<b>Ilustración 3-28</b> Esquemático de la fuente de conmutación. ....	105
<b>Ilustración 3-29</b> Respuesta transitoria del voltaje de operación del modo 1 en azul y modo 2 en rojo. ....	105
<b>Ilustración 3-30</b> Rizado y oscilación del voltaje de salida para el modo 1 en azul y modo 2 en rojo. ....	106

<b>Ilustración 3-31</b> Respuesta transitoria de operación del modo 1 en azul y modo 2 en rojo .....	106
<b>Ilustración 3-32</b> Rizado y oscilación de la corriente de salida para el modo 1 en azul y modo 2 en rojo. ....	107
<b>Ilustración 3-33</b> Rizado de corriente de los inductores L1, L2 y L3, en modo 1 y modo 2. .....	107
<b>Ilustración 3-34</b> Voltaje del capacitor en serie VC1 para el modo 1 en azul y el modo 2 en rojo. ....	108
<b>Ilustración 3-35</b> Respuesta del voltaje y corriente de salida frente a una variación del 30% de la carga para el modo 1 y modo 2. ....	109
<b>Ilustración 3-36</b> Perdidas por conducción en resistencia $R_{on}$ . ....	112
<b>Ilustración 3-37</b> Perdidas por conmutación en el MOSFET. ....	112
<b>Ilustración 3-38</b> Perdidas por recuperación inversa en el diodo. ....	113
<b>Ilustración 3-39</b> Perdidas por capacitancia de salida. ....	113
<b>Ilustración 3-40</b> Perdidas por tiempo muerto. ....	114
<b>Ilustración 3-41</b> Perdidas por carga de los capacitores de la compuerta. ....	115
<b>Ilustración 3-42</b> Perdidas por conducción en la resistencia DCR del inductor. ....	116
<b>Ilustración 3-43</b> Perdidas por conducción en la resistencia ESR del capacitor de entrada. .....	117
<b>Ilustración 3-44</b> Perdidas por conducción en la resistencia ESR del capacitor de salida. ....	118
<b>Ilustración 3-45</b> Perdidas por conducción en la resistencia ESR del capacitor en serie. ....	119
<b>Ilustración 3-46</b> Perdidas teórica de la fuente de conmutación en modo 1 y modo 2. ....	119
<b>Ilustración 3-47</b> Eficiencia de la fuente. ....	121
<b>Ilustración 3-48</b> Eficiencia de la fuente en modo 1 y modo 2, para voltajes de salida de 0.8Vdc a 1.8Vdc. ....	121
<b>Ilustración 4-1</b> Circuito de la fuente de conmutación. ....	125
<b>Ilustración 4-2</b> Señales en los MOSFET o conmutadores de la fase 1. ....	126
<b>Ilustración 4-3</b> Señales en los MOSFET o conmutadores de la fase 2. ....	127
<b>Ilustración 4-4</b> Linealización y perturbación de los MOSFET de la fuente de conmutación en modo 1. ....	131
<b>Ilustración 4-5</b> Circuito de la fuente de conmutación en modo 1 modelado en pequeña señal AC. ....	132
<b>Ilustración 4-6</b> Señales en los MOSFET de la fase 1. ....	134
<b>Ilustración 4-7</b> Señales en los MOSFET de la fase 2. ....	134

<b>Ilustración 4-8</b> Señales en los MOSFET de la fase 3.....	135
<b>Ilustración 4-9</b> Linealización y perturbación de la fase 3 de la fuente de conmutación en modo 2. ....	137
<b>Ilustración 4-10</b> Circuito de la fuente de conmutación modelado en pequeña señal AC. ....	138
<b>Ilustración 4-11</b> Circuito de la fuente de conmutación equivalente cuando $d(s)=0$ .....	140
<b>Ilustración 4-12</b> Circuito de la fuente de conmutación equivalente cuando $ds = 0$ e impedancias $Z$ .....	141
<b>Ilustración 4-13</b> Diagrama de Bode de la función de transferencia $G_{vi}$ del modo 1 y 2..	146
<b>Ilustración 4-14</b> Circuito de la fuente de conmutación equivalente cuando $\ddot{v}_{is}, dds, dvs, dzs = 0$ . ....	147
<b>Ilustración 4-15</b> Diagrama de Bode de la función de transferencia $G_{vda}$ . ....	148
<b>Ilustración 4-16</b> Diagrama de Bode de la función de transferencia $G_{vdm}$ . ....	149
<b>Ilustración 4-17</b> Diagrama de Bode de la función de transferencia $G_{vdv}$ . ....	149
<b>Ilustración 4-18</b> Diagrama de Bode de la función de transferencia $G_{vdd}$ . ....	150
<b>Ilustración 4-19</b> Diagrama de Bode de la función de transferencia $G_{vdp}$ . ....	151
<b>Ilustración 4-20</b> Diagrama de Bode de la función de transferencia $G_{vdz}$ . ....	152
<b>Ilustración 4-21</b> Diagrama de Bode de la función de transferencia $G_{vd}$ . ....	153
<b>Ilustración 4-22</b> Diagrama de Bode de la función de transferencia $Z_{out}$ . ....	153
<b>Ilustración 4-23</b> Control loop schematic diagram.....	155
<b>Ilustración 4-24</b> Esquemático de la fuente de conmutación y el diagrama de bucle cerrado. ....	155
<b>Ilustración 4-25</b> Esquemático funcional del sistema de retroalimentación.....	156
<b>Ilustración 4-26</b> Diagrama de Bode del compensador tipo III.....	160
<b>Ilustración 4-27</b> Diagrama de Bode del bucle T compensado en Modo 1. ....	160
<b>Ilustración 4-28</b> Diagrama de Bode del bucle T compensado en Modo 2. ....	161
<b>Ilustración 4-29</b> Diagrama de bode del compensador original versus compensador con componentes comerciales. ....	164
<b>Ilustración 4-30</b> Diagrama de Bode del bucle T compensado con componentes comerciales en modo 1. ....	164
<b>Ilustración 4-31</b> Diagrama de Bode del bucle T compensado con componentes comerciales en modo 2. ....	165
<b>Ilustración 4-32</b> Atenuación de la función de transferencia $1/(1+T(s))$ en señales no deseadas del voltaje de entrada (modo 1).....	166

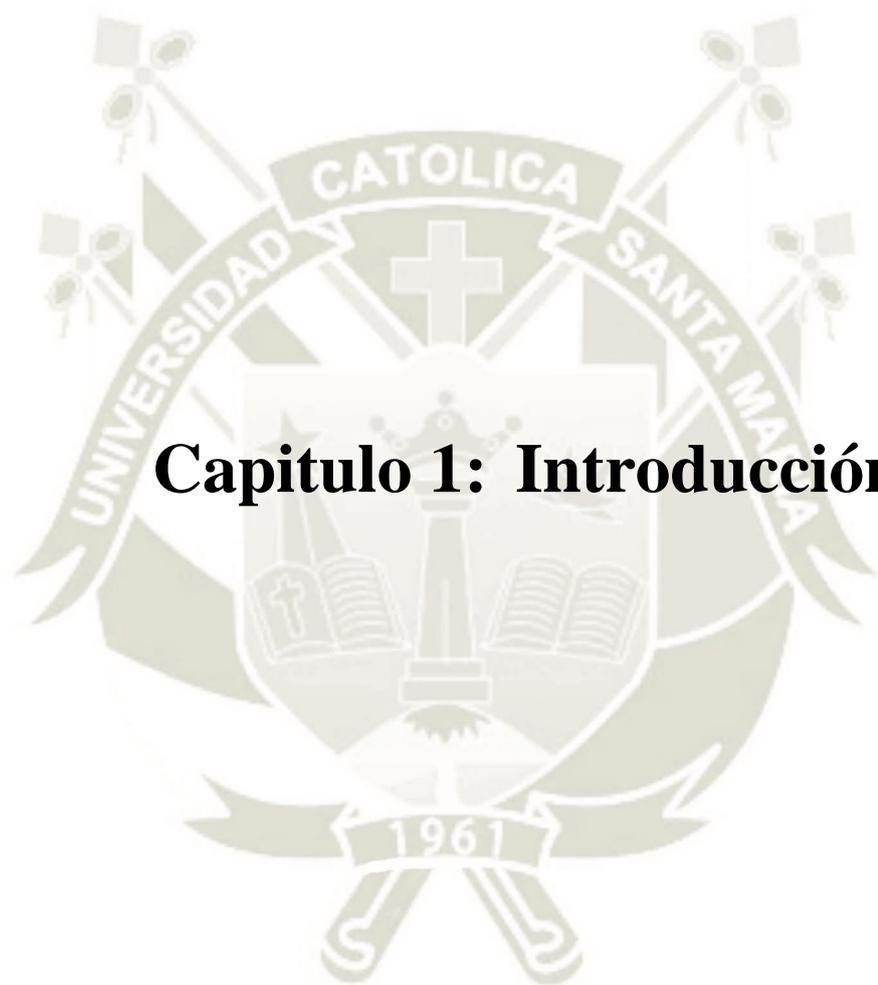
<b>Ilustración 4-33</b> Atenuación de la función de transferencia $1/(1+T(s))$ en señales no deseadas del voltaje de entrada (Modo 2) .....	166
<b>Ilustración 4-34</b> Atenuación de la función de transferencia $1/(1+T(s))$ en señales no deseadas de las variaciones de la corriente de salida (modo 1).....	167
<b>Ilustración 4-35</b> Atenuación de la función de transferencia $1/(1+T(s))$ en señales no deseadas de las variaciones de la corriente de salida (Modo 2) .....	167
<b>Ilustración 5-1</b> Esquemático de la etapa de control de fase 1. Fuente: elaboración propia. .....	171
<b>Ilustración 5-2</b> Esquemático de la etapa de control de fase 2 y 3. Fuente: elaboración propia. ....	172
<b>Ilustración 5-3</b> Esquemático de la etapa de fuerza de fase 1. Fuente: elaboración propia. .....	173
<b>Ilustración 5-4</b> Esquemático de la etapa de fuerza de la fase 2 y 3. Fuente: elaboración propia. ....	174
<b>Ilustración 5-5</b> Distribución de los componentes en la tarjeta PCB. ....	178
<b>Ilustración 5-6</b> Trazos de la parte anversa de la tarjeta PCB. ....	178
<b>Ilustración 5-7</b> Trazos de la parte envés de la tarjeta PCB. ....	179
<b>Ilustración 5-8</b> Tarjeta PCB parte anversa. ....	179
<b>Ilustración 5-9</b> Tarjeta PCB parte envés. ....	180
<b>Ilustración 5-10</b> Tarjeta PCB con elementos. ....	180
<b>Ilustración 5-11</b> Tarjeta PCB de la tarjeta de desarrollo DSPIC33CH Curiosity development board” con código DM330028-2. ....	181
<b>Ilustración 5-12</b> Diagrama de flujo del programa del dspic33.....	182
<b>Ilustración 6-1</b> Señal PWM para la fase 1 y la fase 2 para el disparo de los MOSFETs correspondientes en modo 1. ....	186
<b>Ilustración 6-2</b> Señal PWM para la fase 1 y la fase 3 para el disparo de los MOSFETs correspondientes en modo 2. ....	186
<b>Ilustración 6-3</b> Señal PWM para la fase 2 y la fase 3 para el disparo de los MOSFETs correspondientes en modo 2. ....	187
<b>Ilustración 6-4</b> Señal PWM para los MOSFET MH2 y ML2 en modo 1. ....	187
<b>Ilustración 6-5</b> Señal PWM para los MOSFET MH3 y ML3 en modo 2. ....	188
<b>Ilustración 6-6</b> Rizado del voltaje de entrada $V_i$ sin y con capacitores de entrada. ....	188
<b>Ilustración 6-7</b> Voltaje de salida $V_o$ bajo una carga de 15 amperios. ....	189
<b>Ilustración 6-8</b> Voltaje de salida $V_o$ bajo una carga de 30 amperios.....	189

<b>Ilustración 6-9</b> Voltaje del capacitor en serie $V_{C1}$ para el modo 1 y 2 de operación.....	190
<b>Ilustración 6-10</b> Voltaje de los inductores $L1$ y $L2$ en modo 1.....	191
<b>Ilustración 6-11</b> Arranque suave de la fuente prototipo.....	194
<b>Ilustración 6-12</b> Respuesta transitoria ante cambios de carga. ....	195
<b>Ilustración 6-13</b> Eficiencia de la fuente vs. corriente de salida. ....	196
<b>Ilustración 6-14</b> Diferencia de eficiencia real vs. calculada. ....	196
<b>Ilustración 6-15</b> Perdidas en la fuente vs. corriente de salida (Watts).....	197



## ÍNDICE DE TABLAS

<b>Tabla 2-1</b> Características de Fuente Buck o reductora .....	30
<b>Tabla 2-2</b> Tipos de controladores y compensadores comunes. ....	63
<b>Tabla 3-1</b> Parámetros eléctricos de la fuente Buck multifase con capacitor en serie.....	69
<b>Tabla 3-2</b> Secuencia de conmutación Modo 1 — dos Fases. ....	70
<b>Tabla 3-3</b> Secuencia de conmutación modo 1 — tres fases. ....	80
<b>Tabla 3-4</b> Resumen de ecuaciones modo 1.....	89
<b>Tabla 3-5</b> Resumen de ecuaciones modo 2.....	90
<b>Tabla 3-6</b> Resumen de valores de componentes del modo 1 y 2 de operación. ....	100
<b>Tabla 3-7</b> Valores de componentes estándar. ....	104
<b>Tabla 3-8</b> Parámetros de la respuesta transitoria. ....	105
<b>Tabla 3-9</b> Parámetros eléctricos de los MOSFET en posición alta y baja.....	109
<b>Tabla 3-10</b> Resistencia de los inductores.....	110
<b>Tabla 3-11</b> Resistencia de los capacitores. ....	110
<b>Tabla 3-12</b> Eficiencia de la fuente de conmutación.....	120
<b>Tabla 4-1</b> Ecuaciones de señales de los MOSFETs o conmutadores. ....	126
<b>Tabla 4-2</b> Simplificación de los valores de las fuentes de corriente y voltaje. ....	130
<b>Tabla 4-3</b> Ecuaciones de señales de los switches o conmutadores.....	132
<b>Tabla 4-4</b> Simplificación de los valores de las fuentes de corriente y voltaje de la fase 3 .....	137
<b>Tabla 4-5</b> Ecuaciones descriptivas del circuito en modo 1.....	140
<b>Tabla 4-6</b> Valores de Inductores y Capacitores.....	143
<b>Tabla 4-7</b> Ecuaciones descriptivas del circuito de la ilustración 4-12.....	143
<b>Tabla 4-8</b> Valores estándar comerciales de los componentes del compensador. ....	162
<b>Tabla 4-9</b> Comparación de frecuencia de polos y ceros con valores originales y comercial de los componentes del compensador. ....	163
<b>Tabla 5-1</b> Partes del esquemático control fase 1. ....	175
<b>Tabla 5-2</b> Partes del esquemático control de fase 2 y 3.....	175
<b>Tabla 5-3</b> Partes del esquemático fuerza fase 1.....	176
<b>Tabla 5-4</b> Partes del esquemático fuerza fase 2 y 3.....	176



## **Capítulo 1: Introducción**

## 1. Introducción

### 1.1. Antecedentes y Motivación

La demanda por procesadores cada vez más veloces y eficientes ha obligado a la industria a incrementar la cantidad de transistores y la frecuencia de trabajo de los mismos para incrementar la capacidad de procesamiento, teniendo como restricción mantener al mínimo el consumo de energía y la potencia de diseño térmico (thermal design power en inglés, TDP). Es por esto que, para poder cumplir con las especificaciones térmicas y de energía los procesadores actuales son capaces de variar dinámicamente la cantidad de núcleos que están activos y su frecuencia de trabajo en un momento dado. Por ejemplo, un procesador Intel del tipo U puede trabajar con un solo núcleo en modo de baja frecuencia (Low Frequency Mode, LFM) a 400MHz cuando se encuentra en modo de espera e inmediatamente después activar los cuatro núcleos a una frecuencia de hasta 1.5GHz, (Intel Corporation, 2020) cuando requiere realizar trabajos de alta carga que requieren atención inmediata.

Este cambio dinámico de la cantidad de núcleos activos y de frecuencias de trabajo conllevan a una variación también dinámica del requerimiento de energía de la fuente de poder. Una fuente adecuada debe ser capaz de suministrar el nivel de voltaje y corriente requerido en todo momento de tal manera que en caso la frecuencia de operación de los núcleos del procesador aumente, el voltaje de alimentación debe disminuir y la corriente debe aumentar inmediatamente para evitar problemas por slew rate (velocidad de cambio del voltaje o corriente). (Intel Corporation, 2009) y, la fuente debe mantener una eficiencia de por lo menos de 90% bajo toda carga de operación.

Por otro lado, para que el procesador lógico, el procesador de gráficos y memoria, entre otros, que están en la tarjeta madre puedan trabajar los voltajes de entrada a la fuente (12VDC y 5VDC) deben ser convertidos a un voltaje adecuado: normalmente entre 0.8VDC y 2VDC. Para esto, la tarjeta madre cuenta con fuentes conmutadas (o switching) cuya topología es de tipo Buck que adecuan el voltaje a los requerimientos de cada componente.

Para esto, la topología de fuente conmutada que se utiliza es siempre de tipo Buck o reductora. Esto es debido a que esta topología permite tener un voltaje de salida menor al voltaje de entrada, provee una alta eficiencia de conversión, por su baja interferencia electromagnética (EMI), por su facilidad de implementación, por su bajo precio a altas

potencias de salida (hasta 1000W normalmente) y por su diseño compacto. (Reno, 2020) (Brown, 2001). Es así que con cada nueva generación de procesadores surgen nuevos requerimientos por lo que los grandes productores de circuitos integrados se ven forzados a crear nuevos circuitos controladores y convertidores de topología Buck o reductora. Por ejemplo, Texas Instruments creó la serie TPS5XXXX de controladores y convertidores Buck para cumplir con los requerimientos de la serie Tiger Lake o generación 11 de procesadores Intel (Nowakowski, 2020).

Entonces y en particular, debido al incremento de requerimiento de energía del procesador cada vez se requiere de una fuente de poder que sea capaz de suministrar mayor potencia. Por ejemplo, el procesador de decima generación Intel Core i9 10850K requiere de 125W de potencia (Intel Corporation, n.d.), y si consideramos un voltaje de operación del procesador (VCore, voltaje provisto por la tarjeta madre al procesador) de 1VDC a 2 VDC estamos hablando de un requerimiento de al menos 66.5 a 125 amperios solo para el procesador. Por lo que, para facilitar la distribución de la corriente, el procesador tiene más de un pin de alimentación a diferentes voltajes para poder distribuir el amperaje entre ellos, esto es diferentes fuentes conmutadoras alimentando al mismo procesador. Por ejemplo, en el caso de los procesadores Intel de 10ma generación de la serie Y se tiene 8 carriles de alimentación y en el caso del carril Icc este requiere de una alimentación con picos de 35 amperios para el procesador de 2 núcleos (Intel Corporation, 2020).

Adicionalmente, tener una fuente de topología Buck reductora de una sola fase o monofase que suministre 35 amperios o más a voltajes muy bajos como el requerido por un procesador, 1 a 2 VDC, no es práctico debido a que: a. para mantener un comportamiento transitorio (overshoot y undershoot) adecuado se requiere de un inductor que sea capaz de brindar energía de manera inmediata lo cual implica un inductor de tamaño físico mayor al disponible en una tarjeta madre y además costoso, b. también se requiere de una serie de capacitores de salida con valores entre los 1uF y 470uF que sean capaces de reducir la amplitud de la corriente de rizado generada en los inductores, lo cual también consume espacio e incrementan el costo, c. para conmutar corrientes de 35 amperios requiere de disipadores de calor para los MOSFETs que además deben ser de categoría militar por la cantidad de energía que disiparían, esto una vez más incrementa el espacio requerido y el costo. Construir una fuente Buck que cumpla con las especificaciones solicitadas si es posible pero el tamaño y costo estarán fuera de especificaciones.

Por ende, la solución para requerimientos mayores a 35 amperios es tener una fuente Buck de múltiples fases. Esta variación de la topología está conformada por dos o más fuentes convertoras Buck cuya salida se encuentra en paralelo con la carga, y la secuencia de la conmutación de los switches está desfasada  $360^\circ/n$ , donde  $n$  es el número de fases de la fuente. Esta variación de la topología Buck permite que la corriente total se divida entre las  $n$  fases y se sumen en la carga lo que tiene como valor agregado que la corriente y voltaje de rizado al estar en desfase disminuyan o se eliminen totalmente dependiendo del ciclo de trabajo de la fuente.

Como consecuencia, al ser la corriente de cada fase una fracción de la corriente total requerida y al tener una menor amplitud de rizado de corriente y de voltaje se tiene una fuente con componentes pequeños y de menor costo con valores que permiten un comportamiento transitorio adecuado (Hart D. W., *Interleaved Converters*, 2011).

Ahora, si bien este tipo de fuentes cuenta con una serie de ventajas que las hacen más atractivas que una fuente de una sola fase también existe la probabilidad de que la cantidad de componentes adicionales aumente el tamaño y/o costo por lo que se debe realizar un análisis completo antes de tomar la decisión de utilizar una fuente multifase. Adicionalmente, el control del balance de la corriente de las fases es complicada: se requiere maximizar la cancelación de la corriente o voltaje de rizado y al mismo tiempo mantener el mismo nivel de corriente en cada fase para evitar sobre corriente y estrés térmico de solo ciertos componentes (Parisi, *Multiphase Buck Design From Start to Finish (Part 1)*, 2017) por lo que el circuito controlador puede ser complicado y costoso. Es por esto que, estas desventajas obligan a buscar una mejor alternativa que sea sencilla y provea una gestión adecuada del voltaje de salida a bajas y altas corrientes.

Una solución parcial se presenta con la introducción del convertor multifase Buck TPS54A20 de Texas Instruments, el cual introduce un capacitor conmutado en la primera fase para alimentar la segunda fase. Con esta variación de la topología multifase no solo se consiguen las ventajas ya mencionadas sobre un convertor de una sola fase, sino también se consigue un balance automático de la corriente de los inductores (Texas Instruments Incorporated, 2015).

Con el convertor multifase Buck TPS54A20 se puede obtener corrientes de hasta 10 amperios con un voltaje de entrada de 12VDC y una salida de 0.51VDC a 2 VDC, sin

embargo, para alimentar a un procesador es insuficiente por lo que en esta tesis se propone un convertor multifase con capacitor conmutado capaz de suministrar una corriente de salida de hasta 40 amperios.

## 1.2. Objetivos

La presente tesis presenta el desarrollo de una modificación a la topología Buck o reductora con capacitor conmutado desarrollada por Texas Instruments (Texas Instruments Incorporated, 2015), el objetivo principal de la propuesta es:

“Proveer una fuente de alimentación para microprocesadores S-Processor line (35W) 2 Core GT2/GT1.”

Y como objetivos secundarios se establece:

1. Diseñar la fuente con el fin de obtener un voltaje regulado de salida desde 0Vdc y un voltaje nominal de 1.52Vdc.
2. Diseñar la fuente con la capacidad de brindar hasta 40 amperios de corriente de salida
3. Diseñar la fuente para que tenga una eficiencia de al menos 85% para toda carga y valor de voltaje de salida.

## 1.3. Contribución

Las contribuciones de la investigación de tesis son:

- Implementación de una topología novel de una fuente Buck multifase de 3 fases con la capacidad de manipular la corriente de salida hasta un nivel de 40 amperios de corriente.
- Demostrar la efectividad de la regulación automática del balance de las corrientes de las tres fases. A diferencia de una fuente Buck multifase común, con la inclusión del capacitor en serie no es necesario corregir el ciclo de trabajo de cada fase para que las corrientes que se suman se mantengan prácticamente similares. Por lo tanto, el circuito de control es más sencillo.

- Mejorar el nivel de rizado de corriente y voltaje. Se mostrará que en una fuente de 3 fases el rizado es menor que en una fuente de 2 fases, dado que existe un desfase entre las corrientes cuando se suman las corrientes individuales es posible reducir el rizado de corriente a la salida y por ende también el rizado de voltaje, se mostrará como la variación del ciclo de trabajo es proporcional a la variación del rizado de corriente.
- Estudiar el comportamiento en el dominio de la frecuencia de la fuente de conmutación. Para entender cómo se comporta la fuente en el dominio de la frecuencia y poder diseñar de manera correcta el compensador es necesario obtener el modelo equivalente en pequeña señal de cada intervalo de operación del modo 1 y 2 de la fuente.
- Demostrar como la adecuada selección de elementos pasivos y activos de una fuente con dos modos de operación es imprescindible para cumplir con las especificaciones. Es un desafío ya que estos elementos tienen valores no variables por lo que deben ser optimizados para que la respuesta transitoria y la estabilidad de la fuente sea optima tanto para la operación en modo 1 como para la operación en modo 2.

#### **1.4. Alcance de la tesis**

La presente tesis explora el desarrollo de una fuente de conmutación de topología Buck o reductora de 3 fases en paralelo en donde la primera fase tiene un capacitor en serie el cual alimenta a las otras dos fases en desfase. La inclusión de una tercera fase no solo permitirá aumentar la corriente de salida, sino también se estima que mejorará la eficiencia en todo el rango de carga al incluir dos modos independientes de operación: En el modo 1 la operación incluirá las dos primeras fases en donde la corriente de salida estará limitada a una máxima carga de 20 amperios, y en el Modo 2 la operación será con las tres fases y la corriente de salida estará limitada entre una mínima carga de 20 y máxima carga de 40 amperios. Las especificaciones generales con las cuales se diseñará la fuente son:

- El voltaje de entrada será de 12VDC.
- El voltaje de salida nominal será de 1.52 VDC. Sin embargo, se podrá regular entre 0.8VDC y 1.8VDC.

- El rizado de voltaje no será mayor a 20mV pico a pico.
- La máxima corriente de salida será de 40 amperios.
- El rizado de corriente de fase será igual o menor al 30% de la corriente de cada fase
- El rizado de corriente de salida será igual o menor al 10% de la corriente de salida total.
- La frecuencia de operación será de 500KHz y 250KHz según el modo de operación.

### 1.5. Organización de la tesis

La tesis está organizada de la siguiente manera:

El capítulo 2 cubre la base teórica para el desarrollo del trabajo de investigación. Se comentará acerca de las fuentes de conmutación y sus principales topologías. A continuación, se analizará brevemente el funcionamiento de una fuente de conmutación de topología Buck o reductora de una fase y de múltiples fases, y una vez establecidos los conceptos de operación se mostrará la operación de una fuente multifase con un capacitor en serie. Adicionalmente y para cerrar el capítulo se discutirá brevemente sobre estabilidad y tipos de compensadores.

Capítulo 3, en este capítulo se inicia el trabajo de investigación con el diseño del circuito de la fuente teniendo en cuenta la búsqueda de máxima eficiencia bajo todo rango de carga. Como solución se propone trabajar con dos modos de operación: el primer modo consta de la fuente operando con dos fases para corrientes menores a los 20 amperios y el segundo modo consta de la fuente operando con tres fases para corrientes mayores de 20 amperios y menores de 40 amperios. Para poder realizar el análisis, la fuente se representará con distintos circuitos esquemáticos en el que cada uno muestra los diferentes intervalos de operación que corresponden al estado de la combinación de los conmutadores (en este caso MOSFETs). Para el modo 1 se tiene 4 intervalos y para el modo 2 se tiene 8 intervalos de operación.

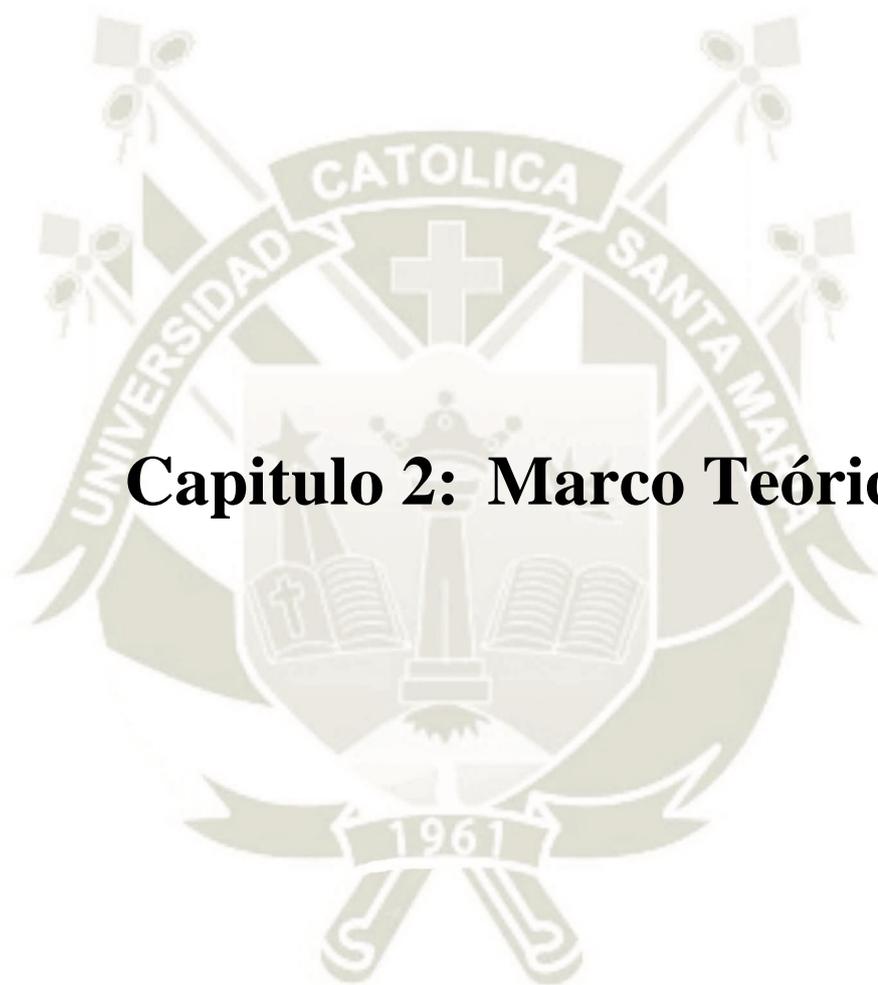
Posteriormente, en el capítulo 4 se procederá a desarrollar el modelo de circuito

equivalente en pequeña señal, es decir el modelo del comportamiento del circuito en modo 1 y 2 en donde se reemplaza cada par de conmutadores de cada fase por un transformador (se reemplaza el primer conmutador por un bobinado primario y el segundo conmutador por un bobinado del secundario) de tal manera que la relación de transformación y el sentido de la corriente y voltaje representan la equivalencia de transferencia de corriente y voltaje entre intervalos de operación. Una vez obtenido el modelo se inicia el diseño del sistema de regulación del voltaje mediante la medición del voltaje de salida y un compensador de tipo III (el cual es una variación del compensador PID).

El capítulo 5 está dedicado al diseño del hardware de la fuente. Se desarrolla el esquemático final y el PCB, se describe la circuitería de control que acompañara a la fuente, se realiza la selección de componentes para establecer los parámetros de los circuitos integrados de control y finalmente se describe el software de control.

En el capítulo 6 se documentará el funcionamiento del hardware y se verificarán los resultados de la simulación.

Finalmente, en el capítulo 7 se resume los resultados obtenidos y se exponen las conclusiones de la tesis. Adicionalmente, de los resultados de derivaran observaciones para investigación futura.



## **Capítulo 2: Marco Teórico**

## 2. Marco Teórico

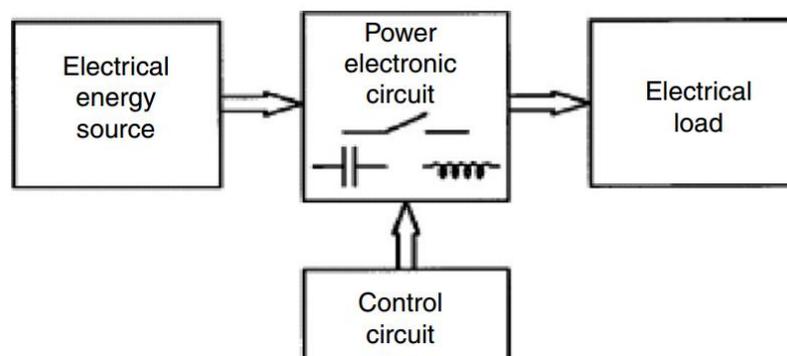
Este capítulo provee la información necesaria para entender los principios de operación de una fuente de conmutación de topología Buck o reductora multifase con un capacitor conmutado y del circuito de control que asegura la estabilidad y respuesta en el tiempo mediante un compensador.

### 2.1. Introducción a fuentes de conmutación

Una fuente de conmutación es un circuito electrónico capaz de convertir el voltaje de entrada continuo no regulado en voltaje continuo regulado a la salida que puede ser utilizado por los distintos equipos electrónicos. Para convertir el voltaje no regulado la fuente utiliza elementos de conmutación como transistores, tiristores, MOSFETs, u otros para controlar el flujo de corriente de entrada y almacenar la energía en elementos de almacenamiento pasivos (inductores, capacitores y transformadores) para luego distribuirla a la carga de manera regulada. Además, puesto que la fuente de conmutación no interviene en la funcionalidad de la carga esta debe ser totalmente invisible a la carga.

Por lo que, idealmente toda la energía no regulada que se supe a la fuente debe ser transferida a la carga en forma de energía regulada, de igual manera la manipulación de la energía no debe generar alteraciones de la corriente o voltaje como armónicos no deseados o interferencia electromagnética, y la fuente debe ser confiable y fácilmente integrable a todo el sistema que alimentará. El concepto se muestra en la ilustración 2-1.

*Ilustración 2-1 Concepto de fuente de conmutación.*



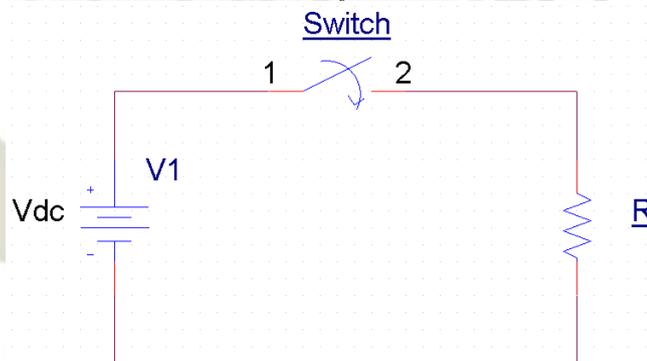
*Nota. Fuente M. H. Rashid, Power Electronics Handbook (págs. 249 - 264). Pensacola: Elsevier.*

El concepto hace referencia a una fuente ideal y sencilla, sin embargo, en la realidad los elementos que la componen, activos y pasivos, y la topología pueden llegar a ser sistemas muy complicados. Además, existe una gran variedad de topologías diseñadas

exclusivamente para proveer energía regulada a aplicaciones específicas. Por lo que, para poder entender el funcionamiento de una fuente de conmutación se empezará con un breve análisis de una fuente sencilla e ideal, línea a línea se analizarán topologías más complejas para luego finalizar con la descripción del funcionamiento de una fuente de conmutación Buck o reductora con capacitor conmutado.

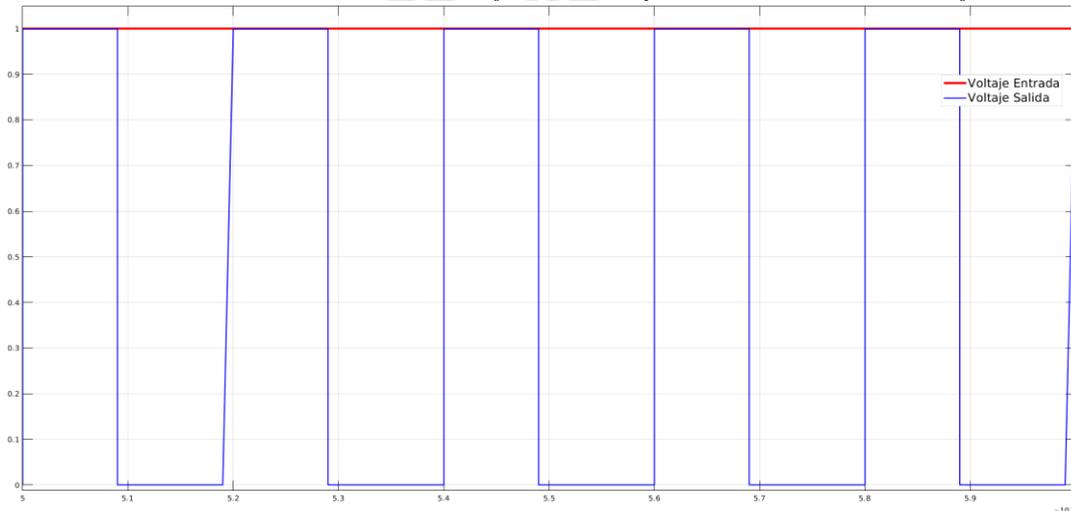
La ilustración 2-2 muestra un circuito básico de una fuente conmutada con un switch ideal. Como alimentación se tiene una fuente de voltaje continuo y como carga una resistencia, la forma de onda del voltaje antes y después de la regulación se muestra en la ilustración 2-3 en la que se observa que el voltaje continuo de entrada (en rojo) es transferido de manera intermitente de la entrada a la salida (en azul), y la intermitencia depende del tiempo que el switch permanece abierto o cerrado en una unidad de tiempo  $T$ , para el caso de la ilustración 2-3 el switch permanece cerrado la mitad de la duración de la unidad de tiempo  $T$ .

**Ilustración 2-2** Circuito básico de una fuente conmutada con un switch ideal.



*Nota. Fuente elaboración propia.*

**Ilustración 2-3** Forma de onda del voltaje de entrada y salida con un ciclo de trabajo del 50%.



*Nota. Fuente elaboración propia.*

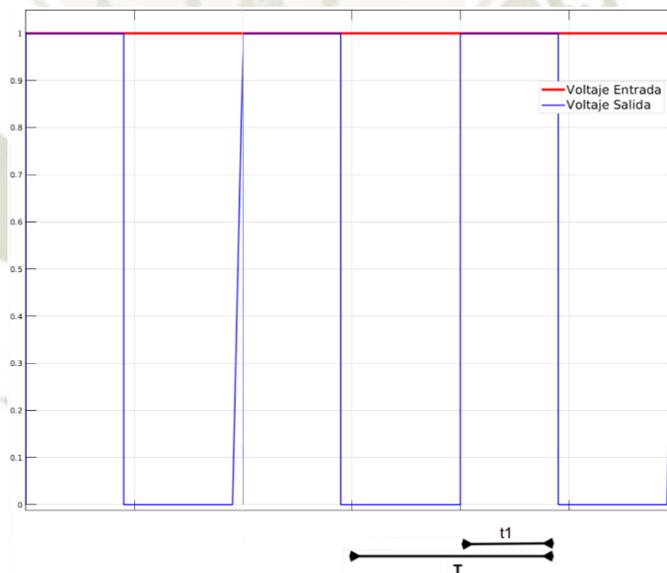
Para determinar la magnitud del voltaje,  $v_{out}$ , de salida a partir del voltaje de entrada  $V_i$ , se establece que el switch es ideal y que en este caso se cierra por un tiempo  $t_1$  que es de un valor parcial de un tiempo periódico  $T$ . Entonces el voltaje de salida promedio está determinado por la ecuación 2-1:

$$\langle v_{out}(t) \rangle = \frac{1}{T} \int_0^{t_1} V_i dt \quad 2-1$$

Como ejemplo, asumiendo que el tiempo  $t_1$  es el tiempo en que el switch permanece cerrado y que equivale al 50% del periodo  $T$  se deriva que el valor de  $t_1$  es de  $T/2$ , además asumiendo un valor del voltaje de entrada  $V_i$  igual a 1 Vdc se calcula que el valor del voltaje de salida en promedio es de 0.5 voltios. Ilustración 2-4.

$$\langle v_{out}(t) \rangle = \frac{1}{T} \int_0^{t_1} V_i dt = \frac{1}{T} \int_0^{t_1} 1 \cdot dt = V_i \cdot \frac{t_1}{T} = \frac{1}{2}$$

**Ilustración 2-4** Ciclo de trabajo  $D$  de una señal cuadrada.



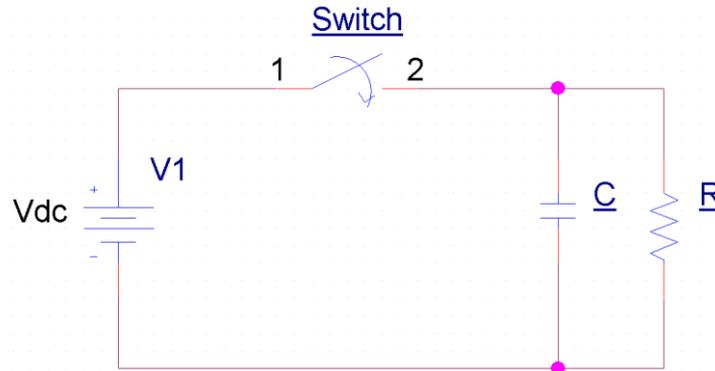
*Nota. Fuente elaboración propia.*

Continuando con el análisis, el voltaje de salida de la ilustración 2-3 es un voltaje de onda cuadrada y por lo tanto no es útil para alimentar a un circuito integrado. Para obtener una salida de voltaje más adecuada se puede añadir un capacitor en paralelo con la carga, ilustración 2-5, con el fin de que el capacitor almacene energía y la distribuya a la carga cuando el switch esté abierto y no exista flujo de corriente de la fuente de entrada a la carga.

En esta configuración se observa que cuando el switch se encuentra en posición abierta, la energía almacenada en el capacitor es la que permite que siempre haya un voltaje presente

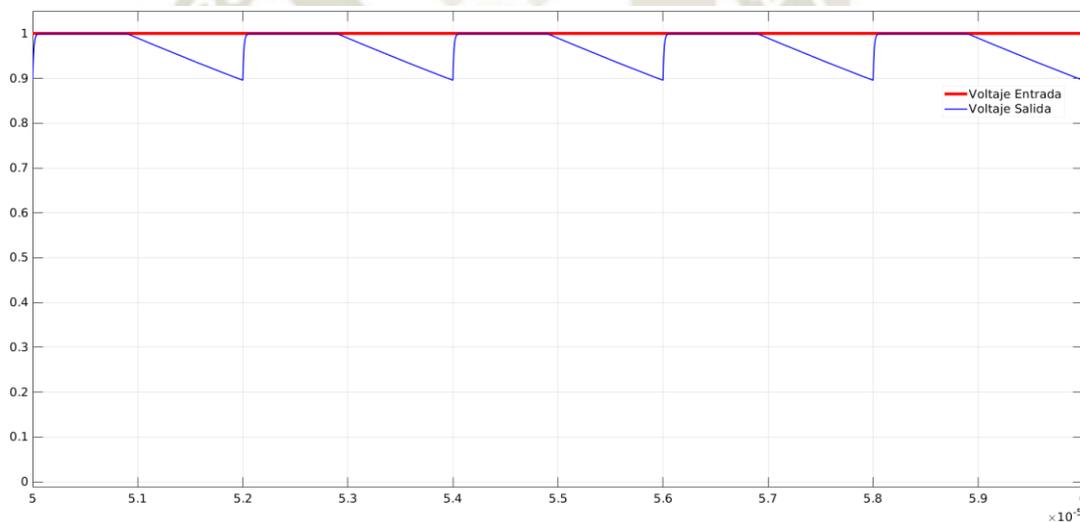
en la carga, ilustración 2-6, en donde la forma de onda de este voltaje corresponde a la curva de descarga de un capacitor determinada por la ecuación 2-2 (Alexander & Sadiku, 2013).

**Ilustración 2-5** circuito básico de una fuente conmutada con un switch ideal y capacitor en paralelo a la carga.



Nota. Fuente elaboración propia.

**Ilustración 2-6** Forma de onda del voltaje de entrada y salida con un capacitor en paralelo.



Nota. Fuente elaboración propia

$$V_o = V_c \cdot e^{-t/RC}$$

2-2

Donde,

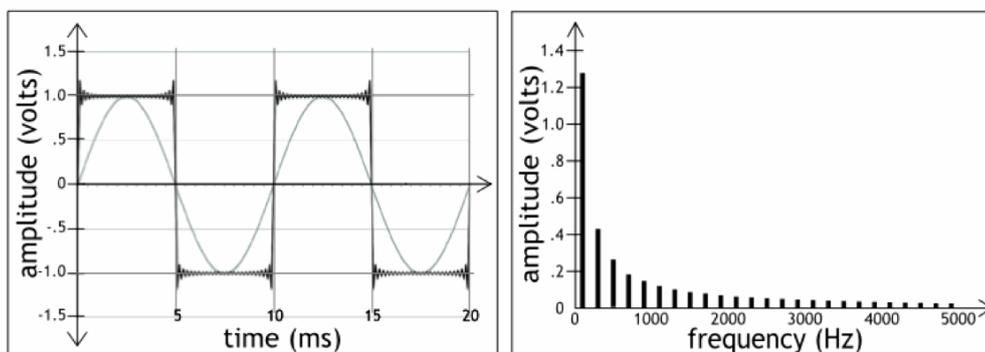
- El termino  $RC$  corresponde al tiempo de descarga del capacitor  $C$  en la resistencia  $R$ .
- La variable  $t$  es el tiempo que transcurre, en este caso corresponde al tiempo que transcurre desde que el switch se abre hasta que termina el periodo.

- $V_c$  es el voltaje inicial del capacitor que corresponde al voltaje de entrada.
- $V_o$  es el voltaje del capacitor.

Dado que el objetivo es proveer un voltaje regulado constante y confiable la configuración mostrada presenta una serie de deficiencias:

- Armónicos: El voltaje conmutado a la salida del switch tiene forma de una onda cuadrada la cual está compuesta por una serie de armónicos de amplitud considerable, los cuales, a pesar de ser atenuados por el capacitor en serie, se reflejan en la carga, Ilustración 2-7. De igual manera el capacitor es fuente de armónicos ya que es un elemento pasivo no lineal.

**Ilustración 2-7** Forma de onda cuadrada y sus armónicos.



*Nota. Fuente Case, A. U. (2010). Square wave calculations. Obtenido de Recordingology: <http://recordingology.com/in-the-studio/distortion/square-wave-calculations/>*

Entre los principales efectos no deseados de los armónicos se tiene:

- Sobrecalentamiento de los elementos de distribución de energía (cables, transformadores, etc.).
- Cuando la amplitud de los armónicos es alta puede generar corrientes o voltajes muy altos debido al efecto de resonancia
- Malfuncionamiento de los equipos debido a excesiva distorsión del voltaje de salida de alimentación. Como errores de medición de señales, incremento de la temperatura de elementos pasivos y activos de la carga, etc. (Eaton Powerware)

- b. Flujo de corriente. El flujo de corriente cesará en caso la carga requiera de más energía de la que se encuentra almacenada en el capacitor. La cantidad de energía almacenada disminuye de manera exponencial con el incremento de la carga, ecuación 2.3.

En caso la cantidad de energía requerida lo permita es posible compensar esta deficiencia incrementando la capacitancia sin embargo el costo de la fuente se incrementará considerablemente y puede que no sea una opción viable.

$$i_o(t) = \frac{V_c}{R} \cdot e^{-t/RC} \quad 2-3$$

- c. Voltaje y corriente de rizado. La descarga del capacitor cuando el switch se encuentra en posición abierta genera un voltaje y corriente de rizado proporcional a la descarga del capacitor. En caso la carga sea muy alta el rizado será tal que la aplicación dejara de funcionar por falta de energía. (Alexander & Sadiku, 2013).

De modo que, para dar solución a las deficiencias mostradas se debe incluir un inductor a continuación del switch para crear un filtro pasabajo LC, esta opción provee un voltaje muy cercano a DC y atenúa los armónicos hacia la carga. Además, la introducción de un inductor provee de un segundo elemento que almacena energía por lo que en caso la carga sea demasiada alta la red LC será capaz de brindar energía y no habrá interrupción del flujo de corriente. Finalmente, si se escoge correctamente el valor del inductor el rizado de corriente y voltaje será lo suficientemente pequeño que no será un problema para la carga.

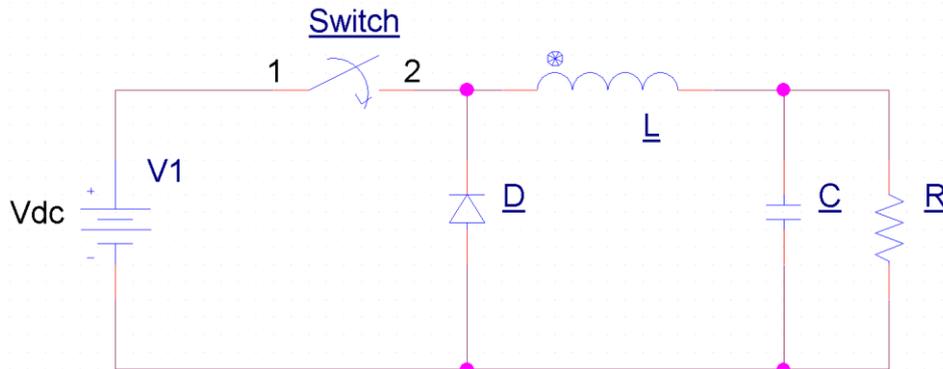
Para que exista flujo de corriente del inductor hacia el capacitor y carga se requiere de un diodo que permita la circulación de corriente cuando el switch está en posición abierta, ilustración 2-8. Esta configuración o topología es conocida como fuente de conmutación reductora asíncrona o fuente de conmutación asíncrona Buck. (Rashid, DC-DC Converters, 2011).

## 2.2 Fuentes de conmutación DC-DC

En el punto anterior 2.1 se describe una fuente de conmutación Buck o reductora como un circuito electrónico capaz de suministrar un voltaje de salida regulado a partir de un voltaje de entrada conmutado, también se mencionan las deficiencias del voltaje de salida y

se propone una red LC para poder filtrar los armónicos y adecuar el voltaje. La operación de esta fuente simple está dividida en dos intervalos periódicos en el tiempo gobernados por la conmutación del switch.

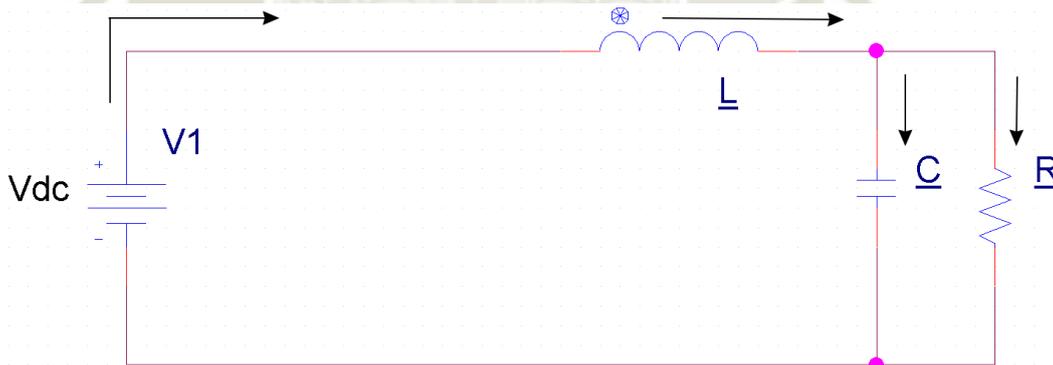
**Ilustración 2-8** Circuito básico de una fuente conmutada con un switch ideal y una red LC



*Nota. Fuente elaboración propia*

De tal modo que, durante el primer intervalo de operación el switch del circuito de la ilustración 2-8 se cierra y la corriente fluye hacia el inductor  $L$ , capacitor  $C$  y carga  $L$ , el diodo  $D$  se polariza de forma inversa y bloquea el flujo a través de este elemento quedando el circuito como se muestra en la ilustración 2-9.

**Ilustración 2-9** Circuito básico de una fuente conmutada operando en el intervalo 1.



*Nota. Fuente elaboración propia*

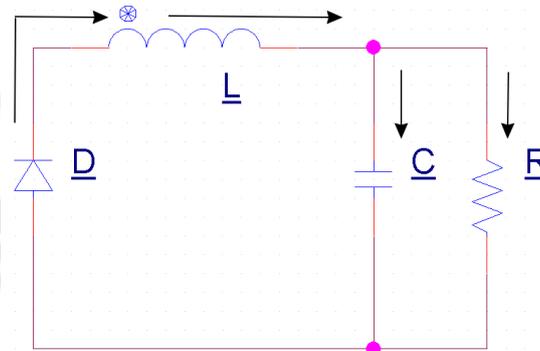
En el segundo intervalo el switch se abre y el inductor fuerza el flujo de corriente en la misma dirección que durante el intervalo 1, que esto sea posible el diodo se polariza de forma directa, ilustración 2-10.

La operación de conmutación del switch se repite de manera infinita y la forma de onda del voltaje corresponde a la de la ilustración 2-3.

Dado que el circuito contiene elementos ideales se establece que la potencia de entrada debe ser igual a la potencia de salida, balance de energía,  $P_o = P_i$ . Por otro lado, la potencia

de entrada está definida por el promedio de la multiplicación del voltaje y corriente de entrada que es suministrada a los elementos del circuito durante un periodo  $T$ , ilustración 2-4. Y de igual manera, la potencia de salida está determinada por el promedio del voltaje y corriente de salida regulado que consta de una parte en continua y otra parte en alterna (rizado de corriente y voltaje) en el tiempo continuo y la forma del voltaje de salida es como la de la ilustración 2-6.

*Ilustración 2-10* Circuito básico de una fuente conmutada operando en el intervalo 2.



*Nota. Fuente elaboración propia*

Entonces, teniendo en cuenta que la potencia se puede representar en función del voltaje y carga, se igualan los valores promedio de la potencia de entrada y salida respetando la forma de las señales de la ilustración 2-6 y se deduce la ecuación 2-4.

$$\frac{\left(\frac{1}{T} \int_0^T V_o + v_o(t) dt\right)^2}{R} = \frac{\left(\frac{1}{T} \int_0^{t_1} V_1 dt + \frac{1}{T} \int_{t_1}^T V_1 dt\right)^2}{R} \quad 2-4$$

Luego, se procede a integrar ambas partes de la ecuación, en el lado izquierdo la función a integrar se reduce a solo el voltaje  $V_o$  continuo ya que el promedio de la parte alterna  $v_o(t)$  es cero. Entonces se obtiene:

$$V_o = V_1 \frac{t_1}{T} \quad 2-5$$

De la expresión anterior se observa que la proporción del voltaje de salida respecto al voltaje de entrada depende de la relación del tiempo en que el switch está cerrado sobre el periodo de tiempo, esta relación se denomina ciclo de trabajo  $D$ , y está determinada por la ecuación 2-6 y se observa en la ilustración 2-4.

$$D = \frac{t_1}{T} \quad 2-6$$

Reemplazando la ecuación 2-6 en la ecuación 2-5 se obtiene:

$$V_o = V_1 \cdot D \quad 2-7$$

La ecuación 2-7 muestra como el ciclo de trabajo es directamente proporcional al nivel del voltaje de salida, mientras mayor sea el ciclo de trabajo mayor será el voltaje de salida y viceversa.

### 2.2.1 Principales topologías fuentes de conmutación DC-DC

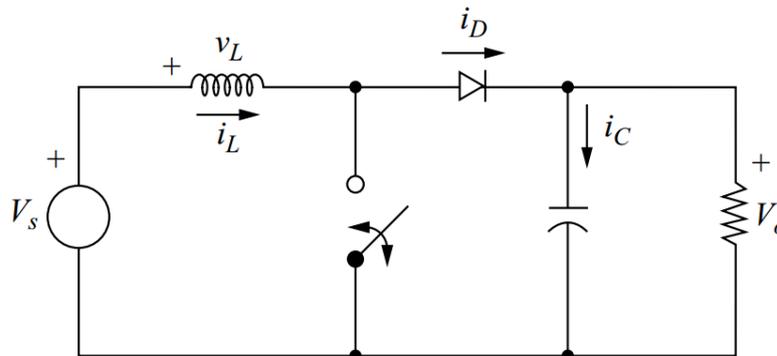
A partir de la fuente de conmutación Buck o reductora se ha derivado otras topologías de fuentes de conmutación con el fin de regular el voltaje de salida para cumplir con las distintas especificaciones de la carga. Estas han sido agrupadas en dos grupos: aisladas y no aisladas, siendo la diferencia el uso de un transformador para separar la fuente de la carga. Más adelante se verá en detalle la fuente Buck o reductora la cual es una fuente de tipo no aislada.

#### *Fuentes de conmutación no aisladas*

##### *Fuente de conmutación Boost o elevadora*

Esta fuente provee de un voltaje de salida regulado que siempre es mayor al voltaje de entrada, ilustración 2-11.

*Ilustración 2-11 Fuente de conmutación Boost o elevadora*



*Nota. Fuente Hart, D. W. (2011). DC-DC Converters. En D. W. Hart, Power Electronics (págs. 196 - 264). Valparaiso: Mc Graw Hill.*

En esta topología la fuente trabaja en dos intervalos de operación (Rashid, DC-DC Converters, 2011):

- a. En el primer intervalo el switch  $S$  se abre y la corriente fluye de la fuente  $V_s$  por el inductor  $L$  y diodo para llegar al capacitor  $C$  y carga  $R$ . El voltaje de salida y del capacitor  $C$  es igual al voltaje de entrada menos la caída de voltaje en el diodo.
- b. En el segundo intervalo el switch  $S$  se cierra y el circuito se divide en dos partes: La primera parte consta de la corriente de la fuente  $V_s$  que carga al inductor  $L$  y retorna a la fuente a través del switch  $S$ . La segunda parte consta del voltaje del capacitor  $C$  alimentando a la carga  $R$ . En este intervalo el diodo se polariza de manera inversa.
- c. Luego cuando es momento de repetir el primer intervalo el switch se abre, el inductor  $L$  ya está cargado y por su naturaleza continua el flujo de corriente generando un voltaje con polaridad opuesta, este voltaje sumado con el voltaje de la fuente  $V_s$  eleva el voltaje original del capacitor  $C$  por lo tanto el voltaje de salida  $V_o$  es superior al voltaje de entrada  $V_s$ .

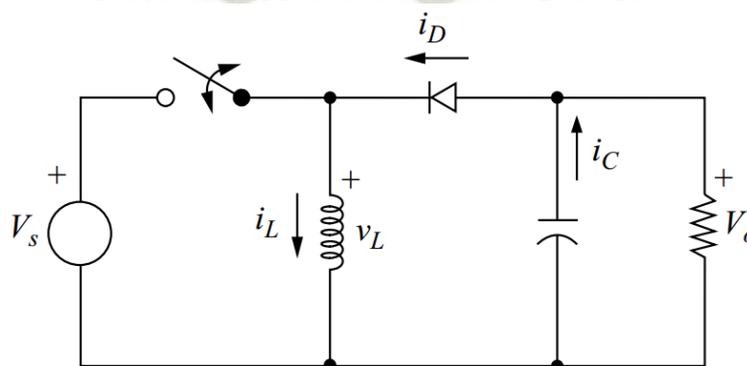
La relación de voltaje de salida  $V_o$  sobre el voltaje de entrada  $V_s$  es la siguiente:

$$\frac{V_o}{V_s} = \frac{1}{1-D} \quad 2-8$$

*Fuente de conmutación Buck-Boost*

Esta topología provee de un voltaje de salida con polaridad inversa y puede ser menor o mayor al voltaje de entrada, ilustración 2-12, (Rashid, DC-DC Converters, 2011).

*Ilustración 2-12 Fuente de conmutación Buck - Boost.*



*Nota. Fuente Hart, D. W. (2011). DC-DC Converters. En D. W. Hart, Power Electronics (págs. 196 - 264). Valparaiso: Mc Graw Hill.*

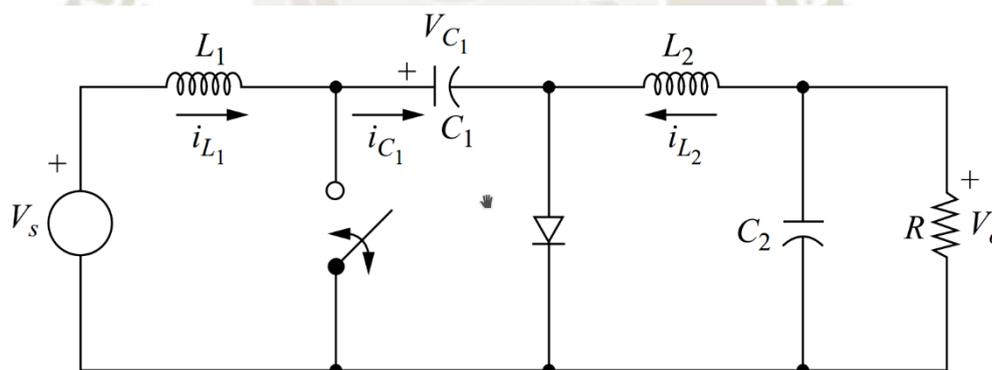
En esta topología la fuente también trabaja en dos intervalos de operación y la relación de voltaje de salida  $V_o$  sobre el voltaje de entrada  $V_s$  es la siguiente:

$$\frac{V_o}{V_s} = - \frac{D}{1-D} \quad 2-9$$

*Fuente de conmutación Cuk*

Esta topología se comporta igual que la topología Buck – Boost ya que provee de un voltaje de salida con polaridad inversa y menor o mayor al voltaje de entrada, siendo la relación de voltaje de salida  $V_o$  sobre el voltaje de entrada  $V_s$  la misma; ecuación 2-9 e ilustración 2-13. La diferencia radica en que en esta topología el flujo de corriente es constante tanto en la entrada como salida de la fuente lo cual es una ventaja ya que los armónicos se reducen drásticamente, la desventaja de este modo de operación es una mayor cantidad de componentes y al ser la corriente continua existe un mayor estrés en el switch, capacitor  $C_1$  y diodo  $D_1$  (Rashid, DC-DC Converters, 2011).

*Ilustración 2-13 Fuente de conmutación Cuk.*

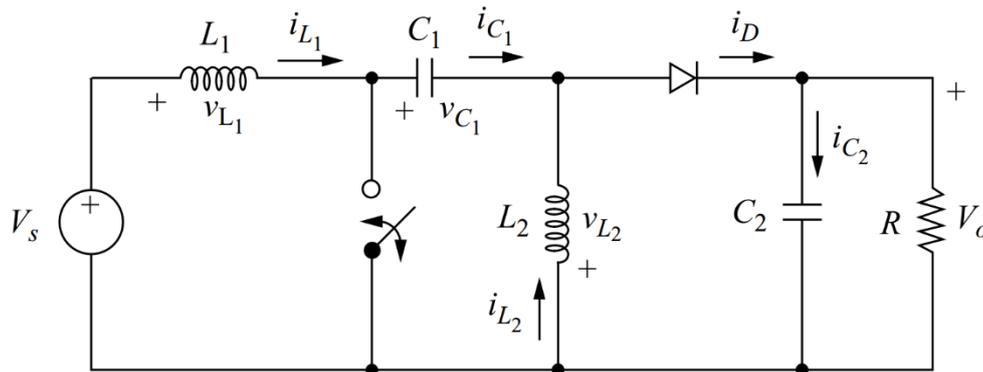


*Nota. Fuente Hart, D. W. (2011). DC-DC Converters. En D. W. Hart, Power Electronics (págs. 196 - 264). Valparaiso: Mc Graw Hill.*

*Fuente de conmutación convertidor de inductancia primaria de un solo extremo SEPIC (convertidor de inductancia primaria de un solo extremo)*

Esta topología se comporta al igual que la topología Cuk con la diferencia que el voltaje de salida no está polarizado inversamente, ilustración 2-14.

*Ilustración 2-14 Fuente de conmutación SEPIC.*



*Nota. Fuente Hart, D. W. (2011). DC-DC Converters. En D. W. Hart, Power Electronics (págs. 196 - 264). Valparaíso: Mc Graw Hill.*

La relación de voltaje de salida  $V_o$  sobre le voltaje de entrada  $V_s$  es la siguiente:

$$\frac{V_o}{V_s} = \frac{D}{1-D} \quad 2-10$$

### ***Fuentes de conmutación aisladas***

Este tipo de topología se caracteriza por separar la conexión eléctrica de la alimentación de entrada de la conexión eléctrica de la salida utilizando un transformador en la etapa de conmutación. Un transformador no solo provee aislamiento eléctrico, sino que también permite elevar o disminuir el voltaje de salida, y al estar la frecuencia de conmutación en el orden de los kilohertzios a mega hertzios el transformador es de muy pequeño tamaño en comparación con el requerido en una fuente AC a DC lo que permite utilizarlo en aplicaciones de electrónica (Hart D. W., DC Power Supplies, 2011). La fuente de conmutación aislada más común es la de topología Flyback.

### ***Fuentes de conmutación aisladas***

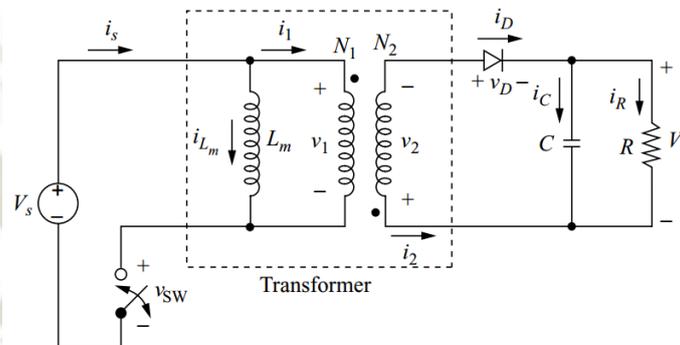
Este tipo de topología se caracteriza por separar la conexión eléctrica de la alimentación de entrada de la conexión eléctrica de la salida utilizando un transformador en la etapa de conmutación. Un transformador no solo provee aislamiento eléctrico, sino que también permite elevar o disminuir el voltaje de salida, y al estar la frecuencia de conmutación en el orden de los kilohertzios a mega hertzios el transformador es de muy pequeño tamaño en comparación con el requerido en una fuente AC a DC lo que permite utilizarlo en aplicaciones de electrónica (Hart D. W., DC Power Supplies, 2011). La fuente de conmutación aislada más común es la de topología Flyback:

### Fuente de conmutación Flyback

Esta fuente tiene su origen en la fuente Buck-Boost, en donde el devanado primario del transformador actúa como el inductor que almacena y brinda energía al secundario y por consiguiente a la carga y capacitor (Erickson & Maksimovic, Transformer Isolation, 2004).

Ilustración 2-15.

Ilustración 2-15 Fuente de alimentación de topología Flyback.



Nota. Fuente Hart, D. W. (2011). *The Flyback Converter*. En D. W. Hart, *Power Electronics* (págs. 267 - 277). New York: Mc Graw Hill.

Los intervalos de operación son dos:

- En el primer intervalo el switch se cierra y la fuente carga al inductor  $L_M$ , el diodo se polariza de manera inversa y la corriente fluye del capacitor a la carga. En este intervalo no fluye corriente por el secundario del transformador.
- En el segundo intervalo el switch se abre y la corriente almacenada en el inductor del primario es transferida al secundario ya que el diodo está polarizado de manera directa, se carga el capacitor y la carga.

La relación de voltaje de salida  $V_o$  sobre el voltaje de entrada  $V_s$  es la siguiente:

$$\frac{V_o}{V_s} = n \cdot \frac{D}{(1-D)} \quad 2-11$$

Donde  $n$  es la relación de transformación y  $D$  es el ciclo de trabajo.

### 2.3 Fuente de conmutación Buck o reductora

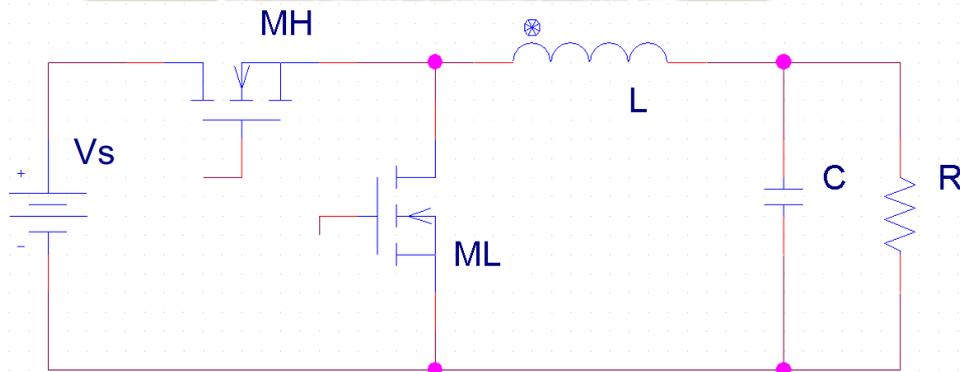
En la discusión al inicio de este capítulo se analizó rápidamente el funcionamiento de una fuente Buck o reductora de tipo asíncrona (ilustración 2-8), a esta fuente se le denomina

asíncrona porque cuenta con un diodo  $D$  que actúa como un conmutador, lo que es una desventaja ya que esta fuente presentará pérdidas de eficiencia por la caída de tensión en este elemento, por otro lado el sistema de control será sencillo ya que el diodo se polariza directa e inversamente de acuerdo al sentido de la corriente que pretende fluir a través de él.

La versión síncrona de la fuente reemplaza el diodo por un switch, el cual normalmente es un MOSFET que cuenta con una resistencia de encendido  $R_{on}$  equivalente bastante pequeña, en el orden de los mili ohm, por lo que la eficiencia aumenta de manera considerable en comparación con el diodo. Sin embargo, una fuente síncrona requiere de un sistema de control complejo ya que por ejemplo para evitar un corto circuito en el caso que ambos switches se cierren al mismo tiempo se requiere introducir un tiempo muerto en el orden de los nanosegundos antes y después de la conmutación del switch que reemplaza al diodo.

Entonces, dado que la fuente síncrona es más eficiente es la que se utiliza en sistemas que requieren ahorro de energía. En la ilustración 2-16 se muestra una fuente de conmutación Buck o reductora síncrona en la que se ha reemplazado los switches por MOSFETs ya que son los conmutadores que se usaran en adelante.

*Ilustración 2-16 Fuente de conmutación Buck o reductora síncrona*



*Nota. Fuente elaboración propia*

### 2.3.1 Diseño de la fuente

Para el diseño y análisis se asume que la fuente está operando en estado estable y que cumple con las siguientes propiedades (Hart D. W., DC-DC Converters, 2011).

- a. La corriente  $i_L$  en el inductor es periódica.

$$i_L(t + T) = i_L(t)$$

2-12

- b. El voltaje promedio en el inductor  $v_L$  es cero.

$$V_L = \frac{1}{T} \int_t^{t+T} v_L(t) dt = 0 \quad 2-13$$

- c. La corriente promedio del capacitor  $i_c$  es cero

$$I_c = \frac{1}{T} \int_t^{t+T} i_c(t) dt = 0 \quad 2-14$$

- d. La potencia  $P_s$  suministrada por la fuente es la misma potencia  $P_o$  suministrada a la carga, considerando componentes ideales.

$$P_s = P_o \quad 2-15$$

- e. El circuito opera y se mantiene en estado estable.
- f. La fuente opera en modo de conducción continua (CCM), es decir la corriente del inductor siempre es continua y positiva aun cuando este se encuentre descargando su energía en el capacitor y carga.
- g. El conductor es lo suficientemente grande para mantener constante el voltaje de salida  $V_o$ .
- h. El periodo de conmutación está determinado por la variable  $T$ , el tiempo que el MOSFET  $MH$  permanece cerrado es  $DT$  y el tiempo que permanece abierto es  $(1-D)T$ .
- i. Todos los componentes son ideales.

El principio de operación es el mismo descrito en la sección 2.2 de este capítulo, a continuación, se describe las ecuaciones que gobiernan la operación.

### ***Operación durante el intervalo 1***

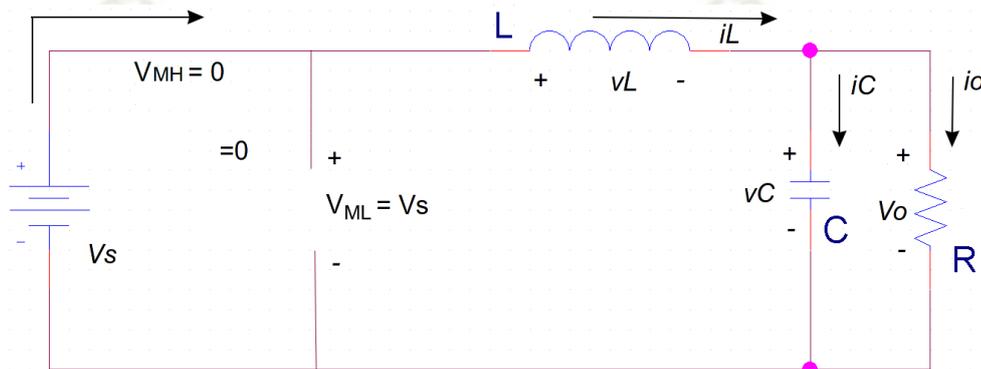
La ilustración 2-17 muestra que durante este intervalo el MOSFET  $MH$  permanece cerrado y el MOSFET  $ML$  se abre, el voltaje a través del inductor es la diferencia entre el voltaje de entrada y el voltaje de salida lo que se expresa en forma de variación de corriente  $i_L$  por el valor del inductor  $L$ .

$$v_L = V_s - V_o = L \frac{di_L}{dt} \quad 2-16$$

Sabiendo que la derivada de la corriente del inductor puede ser reemplazada por la pendiente de la variación de corriente en el tiempo en que el MOSFET MH permanece cerrado, se reordena la ecuación 2-16 y se tiene.

$$(\Delta i_L)_{MH \text{ cerrado}} = \left( \frac{V_s - V_o}{L} \right) DT \quad 2-17$$

**Ilustración 2-17** Intervalo 1 de la fuente de conmutación Buck o reductora síncrona.

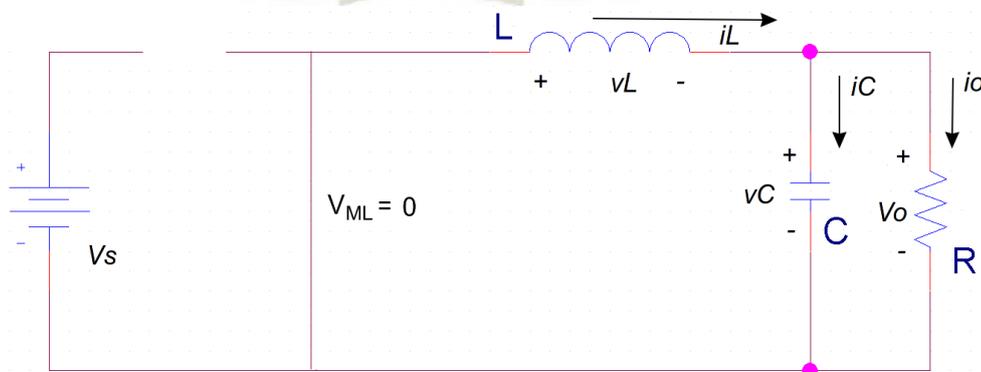


Nota. Fuente elaboración propia

### Operación durante el intervalo 2

La ilustración 2-18 muestra que durante este intervalo el MOSFET MH permanece abierto y el MOSFET ML se cierra, por lo que el voltaje a través del inductor L es el inverso del voltaje de salida.

**Ilustración 2-18** Intervalo 2 de la fuente de conmutación Buck o reductora síncrona



Fuente: elaboración propia.

Entonces.

$$v_L = -V_o = L \frac{di_L}{dt} \quad 2-18$$

Y la variación de corriente cuando el MOSFET MH permanece abierto es

$$(\Delta i_L)_{MH \text{ abierto}} = -\frac{V_o}{L}(1 - D)T \quad 2-19$$

Como condición de análisis la fuente está operando en estado estable por lo que la variación de corriente en el inductor durante el primer intervalo es igual a la variación de corriente durante el segundo intervalo, es decir.

$$(\Delta i_L)_{MH \text{ cerrado}} = (\Delta i_L)_{MH \text{ abierto}}$$

Entonces, igualando las ecuaciones 2-17 y 2-19 se obtiene la relación del ciclo de trabajo (voltaje de salida sobre el voltaje de entrada).

$$\left(\frac{V_s - V_o}{L}\right)DT = -\frac{V_o}{L}(1 - D)T$$

Y despejando el ciclo de trabajo se tiene.

$$D = \frac{V_o}{V_s} \quad 2-20$$

### ***Cálculo del valor del Inductor L***

El cálculo del valor del inductor  $L$ , ecuación 2-21, cuando se opera en modo de conducción continua CCM se deriva a partir de la ecuación 2-17 o 2-19. Hay que señalar que el valor del voltaje de salida  $V_o$  nominal y el valor pico a pico máximo de corriente de rizado  $\Delta i_L$  permitido en el inductor son brindados en las especificaciones de diseño.

$$L = \left(\frac{V_s - V_o}{\Delta i_L}\right)DT = \left(\frac{V_o}{\Delta i_L}\right)(1 - D)T \quad 2-21$$

Teniendo en cuenta que la frecuencia de operación es el inverso del periodo

$$f = \frac{1}{T} \quad 2-22$$

Y reemplazando la ecuación 2-22 en la ecuación 2-23 se tiene

$$L = \left(\frac{V_s - V_o}{\Delta i_L f}\right)D = \left(\frac{V_o}{\Delta i_L f}\right)(1 - D) \quad 2-23$$

### *Cálculo del valor del Capacitor de Salida C*

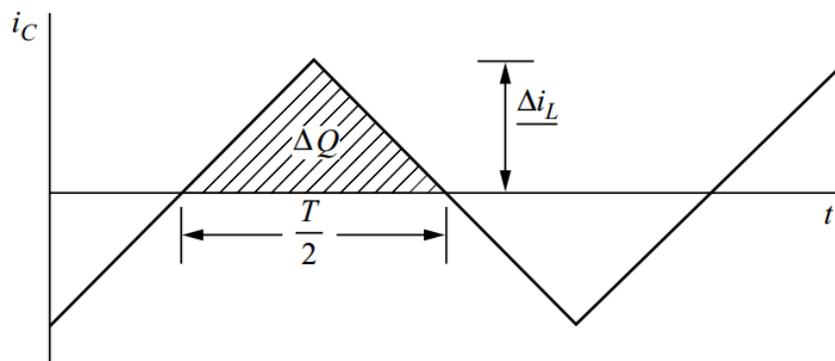
En una aplicación real el voltaje del capacitor de salida varía con la variación de la carga, la variación de la corriente del inductor y su rizado de corriente. Entonces al haber variación de voltaje existe una corriente que fluye a través del capacitor la cual es la diferencia de la corriente del inductor menos la corriente de la carga.

$$i_C = i_L - i_R \quad 2-24$$

Además, de la definición de capacitancia se sabe que la variación de voltaje en el capacitor  $V_o$  corresponde a la variación de carga  $\Delta Q$  sobre el valor del capacitor  $C$ , ecuación 2-25. Y, puesto que la variación de carga  $\Delta Q$  corresponde a la variación de corriente en el capacitor  $i_C$ , de la ilustración 2-19 se puede calcular el total de carga  $Q$  que corresponde al área del triángulo definida como variación de carga  $\Delta Q$ .

$$\Delta V_o = \frac{\Delta Q}{C} \quad 2-25$$

*Ilustración 2-19* Forma de onda de la corriente del capacitor y variación de carga  $Q$ .



*Nota.* Fuente Hart, D. W. (2011). *DC-DC Converters*. En D. W. Hart, *Power Electronics* (págs. 196 - 264). Valparaiso: Mc Graw Hill.

Como consiguiente, de la ecuación del área del triángulo sombreado se tiene.

$$\Delta V_o = \left( \frac{T}{2} \cdot \frac{\Delta i_L}{2} \cdot \frac{1}{2} \right) \frac{1}{C} = \frac{T \Delta i_L}{8 C} \quad 2-26$$

Finalmente, para encontrar el valor del capacitor para un rizado de voltaje específico se reemplaza la ecuación 2-17 o 2-19 en la ecuación 2-26 para obtener.

$$C = \frac{1-D}{8 L (\Delta V_o / V_o) f^2} \quad 2-27$$

### **2.3.2 Consideraciones para la selección de la frecuencia de operación y componentes de una fuente Buck o reductora**

En la selección de componentes pasivos, activos y de control se debe tener en cuenta cómo afectarán a la operación y, si el voltaje y corriente de salida estarán dentro de las especificaciones brindadas.

Entre los principales parámetros que determinan la selección de componentes se tiene la frecuencia de operación de los conmutadores/MOSFETs, la eficiencia de conversión que se quiere obtener y en algunos casos la interferencia electromagnética EMI que emite la fuente.

En los siguientes párrafos se describe brevemente como afectan estos parámetros al comportamiento de una fuente.

#### ***Efectos de la frecuencia de operación en una fuente Buck o reductora***

Al observar la ecuación 2-23 y ecuación 2-27, se observa que el tamaño del inductor y del capacitor es inversamente proporcional a la frecuencia de operación. Es decir, a altas frecuencias de operación el tamaño de los componentes se ve reducido de manera dramática ofreciendo menor huella en la placa y menor costo de fabricación (Hart D. W., DC Power Supplies, 2011):

De igual manera, se observa que para un mismo valor de inductor o capacitor mientras mayor sea la frecuencia de operación menor será la amplitud de corriente y voltaje de rizado respectivamente.

Entonces, para determinar la frecuencia de operación es importante tener en cuenta el espacio que se cuenta para la fuente, el presupuesto y la eficiencia de los MOSFET que se espera alcanzar.

(Hart D. W., DC-DC Converters, 2011) recomienda una frecuencia de operación mayor a 20kHz para evitar ruido de audio, también Hart indica que 500kHz es un buen punto de equilibrio entre componentes pasivos pequeños y eficiencia de la fuente, sin embargo, otros diseñadores mantienen una frecuencia cerca a los 50kHz para mantener las pérdidas de conmutación bajas y otros diseñadores prefieren frecuencias mayores a 1 MHz para evitar pérdidas de conducción. Es por esto que para entender mejor como varía la eficiencia con la

frecuencia y con los elementos de una fuente, como ejemplo, se analizará una fuente Buck desde el punto de vista del consumo de potencia.

### ***Eficiencia de conversión de una fuente Buck o reductora***

La eficiencia es probablemente el parámetro más importante al momento de seleccionar la topología, elementos pasivos y activos, y sistema de compensación del voltaje de salida. Para poder seleccionar correctamente los componentes (ROHM Semiconductor, 2016) identifica nueve causas de pérdida de eficiencia en una fuente de conmutación Buck o reductora que permitirán evaluar y determinar la opción más adecuada, estas causas son:

- a. Pérdidas por conducción causadas por la resistencia de encendido  $R_{on}$  de los MOSFET.
- b. Pérdidas por conmutación en los MOSFET. Debido al crossover o la energía que se pierde en forma de calor.
- c. Pérdida por recuperación inversa en el cuerpo del diodo.
- d. Pérdida por capacitancia de salida llamada también capacitancia drenaje-fuente en el MOSFET.
- e. Pérdida por tiempo muerto. Existe un tiempo muerto que se introduce cuando se apaga los MOSFET para evitar que se forme un camino hacia corto circuito, durante este tiempo la corriente del inductor fluye a través del diodo ubicado en el MOSFET de posición baja.
- f. Pérdidas por carga de los capacitores de la compuerta.
- g. Pérdidas del circuito de control.
- h. Pérdidas por conducción en el inductor. Pérdida por conducción en la resistencia equivalente DCR.
- i. Pérdidas por conducción en el capacitor de salida. Pérdida por conducción en la resistencia equivalente en serie ESR.

Las siguientes ilustraciones nos muestran de una manera gráfica como la eficiencia de una fuente Buck o reductora, con las características de la tabla 2-1, varían con la con la

frecuencia de operación, y con la corriente y voltaje de salida.

**Tabla 2-1** Características de Fuente Buck o reductora..

Voltaje de entrada, $V_{in}$	12VDC
Voltaje de salida, $V_{out}$	5VDC nominal
Frecuencia de operación, $F_{SW}$	1MHz
Valor de inductor, $L$	4.7 $\mu$ H, DCR = 80m $\Omega$
Resistencia de encendido MOSFET posición alta MH, $R_{ON}$	100m $\Omega$
Resistencia de encendido MOSFET posición baja ML, $R_{ON}$	70m $\Omega$

*Nota. Fuente elaboración propia*

*Ilustración de frecuencia de conmutación vs. Eficiencia de la fuente*

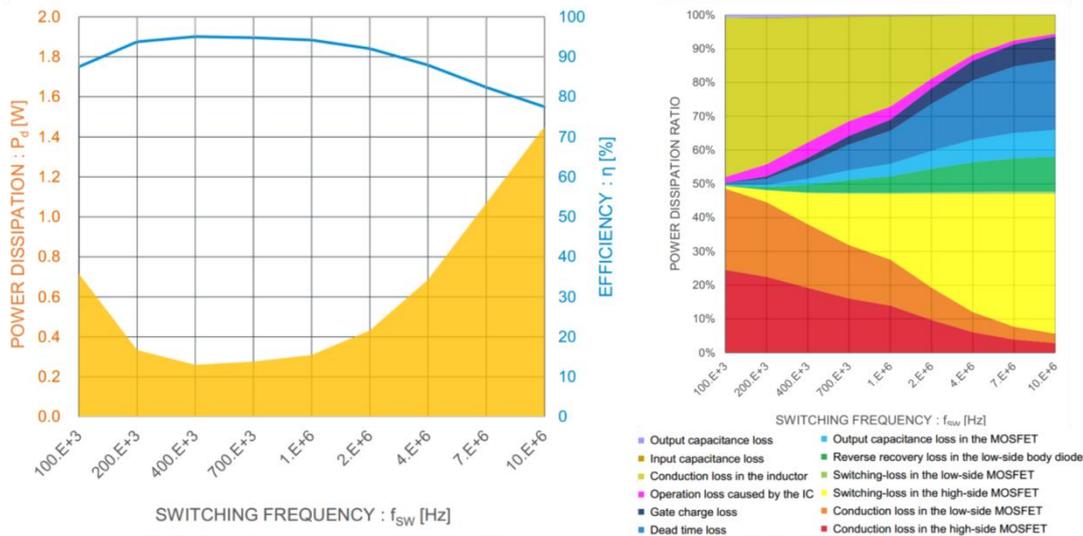
En la ilustración 2-20 se observa que a frecuencias menores a 200kHz y mayores de 1MHz existe mayor pérdida que en las frecuencias medias. Esto se debe a que a altas frecuencias dominan las pérdidas por conmutación y a bajas frecuencias dominan las pérdidas por conducción.

Con más detalle, en un MOSFET el tiempo dedicado a cargar y descargar las capacitancias parasitas, el tiempo dedicado a la recuperación inversa del diodo y el tiempo muerto introducido en la conmutación no varía, es fijo, para una misma corriente y voltaje. Entonces mientras más aumenta la frecuencia mayor es la cantidad de conmutaciones en una unidad de tiempo, lo que se traduce en mayor cantidad de veces que se repite la carga y descarga, la recuperación inversa y los tiempos muertos lo que se traduce en una mayor pérdida por conmutación.

En el caso de la operación a bajas frecuencias las pérdidas de conducción son las dominantes debido a que las pérdidas en la resistencia de encendido  $R_{on}$  del MOSFET en posición alta y baja, la resistencia  $DCR$  del inductor y la resistencia  $ESR$  del capacitor de

salida varían inversamente con la frecuencia ya que la energía disipada en estas resistencias depende del rizado de corriente del inductor y la amplitud del rizado de corriente es inversamente proporcional a la frecuencia de operación.

**Ilustración 2-20** Evolución de la eficiencia cuando se varia la frecuencia de operación.



*Nota. Fuente ROHM Semiconductor. (2016). Efficiency of Buck Converter. ROHM Co., Ltd.*

#### Frecuencia de conmutación vs. Carga (Corriente de salida)

Una de las mayores limitaciones de una fuente Buck o reductora es la baja eficiencia a baja carga y a muy alta carga (Gao, 2015) y (ROHM Semiconductor, 2016).

En el caso de carga alta, corriente de salida o corriente del inductor alta, la principal causa son las pérdidas por conducción en los MOSFET y en el inductor ya que la potencia que se pierde es proporcional al cuadrado de la corriente que circula por las resistencias de los elementos que encuentra en el camino, y también por las pérdidas por crossover en el MOSFET debido a una exposición mayor a altos voltajes y corrientes durante la conmutación.

Para reducir las pérdidas de conducción por carga se puede aumentar el tamaño físico de los MOSFET e inductor ya que a mayor tamaño de estos elementos menor será la resistencia de encendido  $R_{on}$  y la resistencia equivalente  $DCR$  respectivamente. Pero, para tomar esta decisión se debe considerar el espacio físico destinado a la fuente y tener en cuenta que a mayor tamaño del MOSFET mayor será la carga del capacitor parásito de la compuerta lo que se traduce en mayor pérdida en cada conmutación.

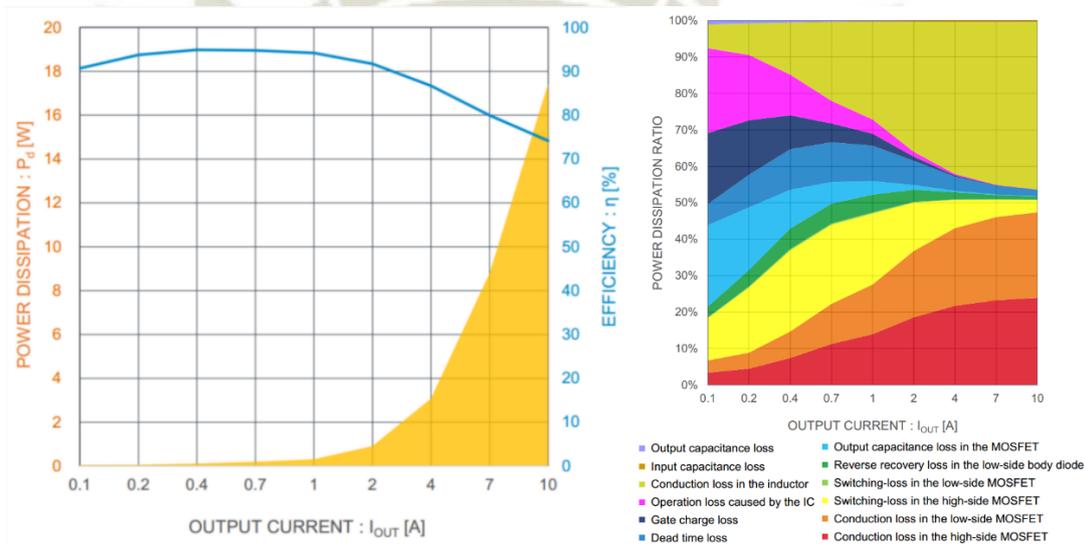
A baja carga la baja eficiencia se debe a las pérdidas de valor constante en el MOSFET

por la conmutación, la capacitancia de salida y la carga de la compuerta, y a esto se suma la potencia perdida en el circuito de control.

La baja eficiencia se puede mejorar utilizando MOSFETs más pequeños, pero como consecuencia la capacidad de conducción de valores altos de corriente de estos disminuye. Por otro lado, también se puede mejorar reduciendo la frecuencia de conmutación solo para cargas bajas ya que la pérdida en estos elementos depende de la frecuencia.

En la ilustración 2-21 se puede evaluar como cada elemento interviene en las pérdidas de una fuente para diferentes valores de carga.

*Ilustración 2-21 Evolución de la eficiencia cuando se varía la carga.*



*Nota. Fuente ROHM Semiconductor. (2016). Efficiency of Buck Converter. ROHM Co., Ltd.*

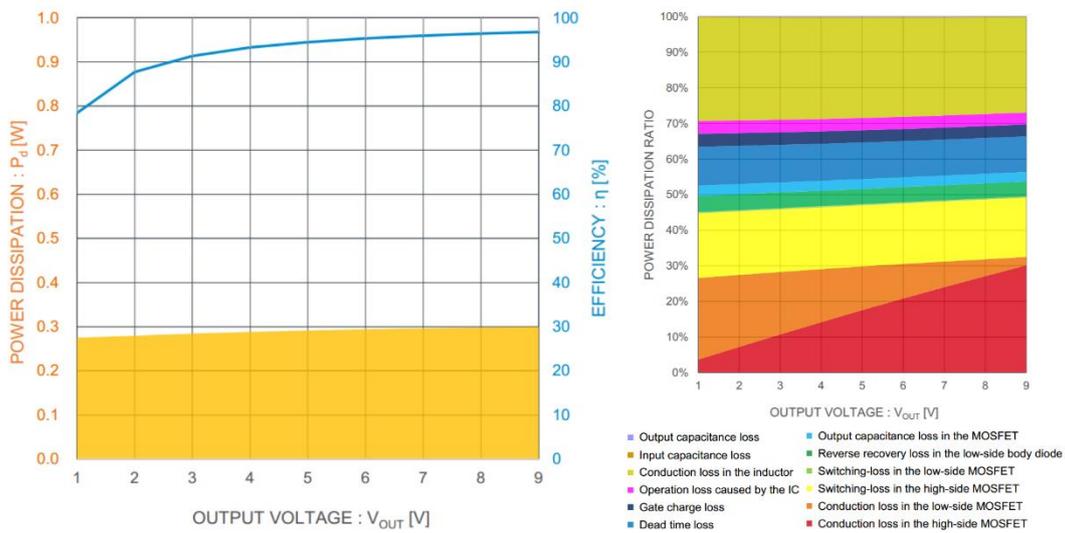
### *Frecuencia de conmutación vs. Voltaje de Salida (Corriente de salida)*

Finalmente, el valor del voltaje de salida también tiene un impacto en la eficiencia de una fuente de conmutación debido a las pérdidas por el ciclo de trabajo o duty cycle, DC.

En detalle, mientras menor sea el ciclo de trabajo mayor será el tiempo en que el MOSFET de la posición baja *ML* permanece cerrado por periodo de tiempo, lo que se traduce en mayor pérdida por conducción en este MOSFET. Y de manera equivalente lo contrario ocurre cuando el ciclo de trabajo se incrementa ya que en este caso es el MOSFET de la posición alta *MH* el que permanece cerrado más tiempo por periodo de tiempo y las pérdidas de conducción se incrementan en este elemento.

Para mejorar la eficiencia por variación del ciclo de trabajo se determina cual será el voltaje de salida nominal y el valor de ciclo de trabajo requerido. Luego, si para regular el voltaje de salida se requiere un bajo ciclo de trabajo se escoge un MOSFET *ML* en posición baja con un valor bajo de resistencia de encendido  $R_{on}$ . De manera similar, si para regular el voltaje de salida se requiere un alto ciclo de trabajo se escoge un MOSFET *MH* en posición alta con un valor bajo de resistencia de encendido  $R_{on}$ . En la ilustración 2-22 se muestra cómo evoluciona la eficiencia cuando se varía el ciclo de trabajo, tener en cuenta que en este ejemplo se ha escogido un MOSFET *MH* de posición alta con una resistencia de encendido  $R_{on}$  muy baja por lo que la eficiencia es alta a altos voltajes.

*Ilustración 2-22 Evolución de la eficiencia cuando se varía el ciclo de trabajo*



*Nota. Fuente ROHM Semiconductor. (2016). Efficiency of Buck Converter. ROHM Co., Ltd.*

### **Interferencia electromagnética EMI**

La excesiva interferencia electromagnética afecta el funcionamiento de los dispositivos electrónicos al acoplarse a través del aire o por contacto directo a través de cables o pistas de la placa de circuito impresa PCB. En el caso de una fuente de conmutación existen dos fuentes de generación de interferencia electromagnética: campo eléctrico alternante o campo magnético alternante.

“La interferencia por campo magnético alternante es la principal fuente de interferencia en las fuentes DC-DC de conmutación no aisladas ya que la corriente fluye a alta frecuencia por nodos y bucles pequeños de baja impedancia, la cual se transforma a campo electromagnético cuando la distancia a la fuente de generación es mayor a 0.16 veces la

longitud de onda de la frecuencia de la radiación del campo magnético” (Richtek Designer, n.d.).

La intensidad del campo electromagnético  $E$  es directamente proporcional a la corriente  $I$ , frecuencia  $f$  y área  $A$  del bucle de corriente, e inversamente proporcional a la distancia  $R$  al bucle donde se genera.

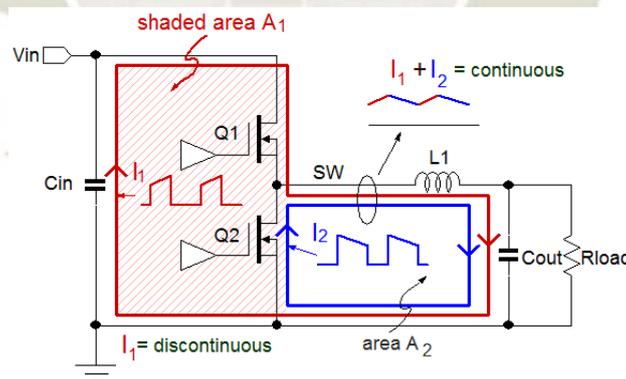
$$E = \frac{13.2 \cdot 10^{-15} f^2 A I}{R} \quad 2-28$$

### *Bucle de corriente de una fuente de conmutación Buck o reductora*

En la fuente de conmutación de la ilustración 2-23 se identifican dos bucles de corriente que son fuente de interferencia magnética. El primero se presenta cuando la fuente opera en el intervalo 1 (bucle de corriente en color rojo), el segundo bucle se presenta cuando la fuente opera en el intervalo 2 (bucle de corriente en color azul).

El bucle de corriente del área sombreada de rojo  $A_1$  es el que genera más frecuencias altas y por lo tanto es el bucle más crítico, por lo que en el momento de diseñar la placa PCB el área formada por el bucle debe ser lo más pequeño posible.

*Ilustración 2-23 Bucles de corriente de la fuente de conmutación Buck o reductora.*



*Nota. Fuente Richtek Designer. (s.f.). Reducing EMI in buck converters. Obtenido de Richtek: <https://www.richtek.com/Design%20Support/Technical%20Document/AN045>*

### *Filtro de entrada y salida*

Cuando se utiliza un capacitor en la entrada se forma un bucle de corriente entre este y la fuente de alimentación. Y de igual manera, cuando se utiliza un capacitor de salida se forma un bucle de corriente entre este y la carga. Entonces para reducir la interferencia electromagnética formada por estos bucles y lograr un mejor filtrado por los capacitores de

entrada y salida se debe escoger capacitores con baja resistencia ESR y baja inductancia ESL, de esta manera se reduce la impedancia que a la vez reduce la caída de voltaje en los mismos por lo que se evita la variación de voltaje y ya no se induce corrientes en la línea de alimentación o en la carga.

### *Reducción de la frecuencia de operación*

En el caso que la interferencia electromagnética no se vea reducida al minimizar el área de los bucles de corriente o mejorando los filtros de entrada y salida, solo queda reducir la frecuencia de operación ya que mientras menor sea menor será la amplitud de los armónicos a altas frecuencias.

### **2.3.3 Deficiencias de una fuente Buck o reductora**

Entre las principales deficiencias se tiene.

- a. Cada vez existen más procesadores que requieren de un voltaje de alimentación en continua de menos de 2 voltios con un flujo de corriente mayor a los 40 amperios, y lamentablemente la topología Buck o reductora no es capaz de satisfacer estos requerimientos sin recurrir al uso de mayor cantidad y tamaño de inductores, capacitores, conmutadores y disipadores de calor sin mencionar la circuitería de control que también debe adaptarse.
- b. Baja eficiencia de la fuente para bajos voltajes. Por ejemplo, para suministrar un voltaje de 0.8VDC a 1.8 VDC de una entrada de 12VDC se requiere un ciclo de trabajo *DC* que varíe de 6.6% a 16.6% aproximadamente para una fuente ideal. Como se vio en la ilustración 2-22, un ciclo de trabajo tan bajo cae dentro del rango de ineficiencia de la fuente.
- c. Baja calidad del voltaje de salida. Para mejorar la calidad del voltaje se puede:
  - Incrementar el tamaño del capacitor para reducir el rizado de voltaje de salida y el sobre impulso durante los transitorios, pero se corre el riesgo de incrementar el costo y tamaño de la fuente.
  - Incrementar el tamaño del inductor para reducir el rizado de corriente y por ende disminuir el rizado de voltaje, pero incrementa el costo y tamaño de la fuente,

y también limita la respuesta transitoria al disminuir la velocidad de transferencia de energía.

- Incrementar la frecuencia de conmutación, lo que disminuiría la eficiencia en caso el incremento requerido este dentro del rango de ineficiencia de la fuente, ilustración 2-20.

Dadas las deficiencias que presenta la topología Buck de una sola fase frente a los requerimientos indicados es que existen múltiples variaciones del circuito para distintos tipos de carga. En los siguientes puntos se desarrollará la topología multifase y posteriormente una breve introducción a la topología Buck multifase con un capacitor conmutado.

## **2.4 Fuente de conmutación Buck multifase**

Una fuente de conmutación Buck multifase es un conjunto de fuentes Buck o reductora en paralelo que comparten los capacitores de entrada y salida, funcionan bajo la misma frecuencia de operación y tienen el mismo ciclo de trabajo, pero la conmutación está desfasada por  $360^\circ/n$ , donde  $n$  es el número de fases que componen la fuente (Parisi, 2017).

### **2.4.1 Diseño de la fuente**

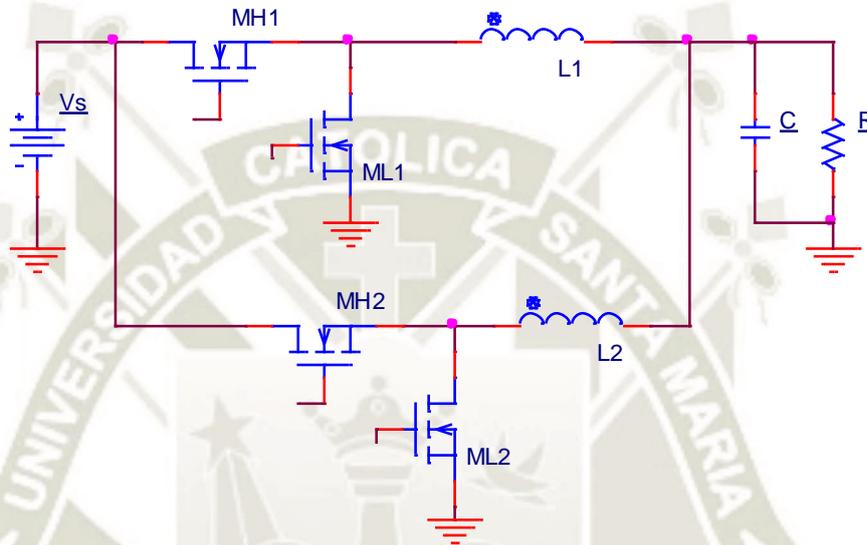
En la ilustración 2-24 tenemos una fuente constituida por dos fases con un desplazamiento de  $180^\circ$  entre la conmutación de cada par de MOSFETs. En este circuito la corriente del capacitor de salida y corriente de carga es la suma de la corriente de cada uno de los inductores,  $L_1$  y  $L_2$ , es decir la suma de la componente en continua y de la componente en alterna que es el rizado de corriente.

Al estar las fases en paralelo y al tener cada fase el mismo ciclo de trabajo, el voltaje de salida es igual al voltaje de salida de una fuente de conmutación Buck de una sola fase, por lo que la ecuación de la relación del ciclo de trabajo es la misma para ambos casos, ecuación 2-20.

En el caso de la corriente de salida, el circuito se diseña de tal manera que la corriente de cada fase sea igual y así distribuir de manera equitativa el estrés térmico para no acelerar el desgaste en un solo grupo de elementos. En el caso de una fuente de dos fases la corriente que fluye por cada inductor es la mitad de la corriente total de salida y sus componentes en

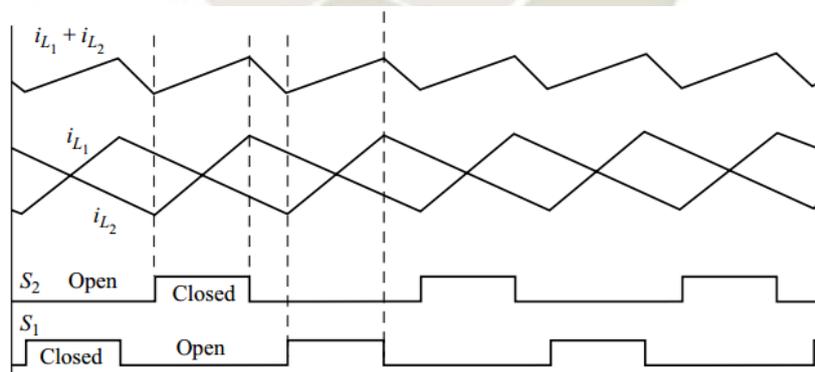
AC o rizado de corriente se suman de tal manera que el rizado de salida se reduce de manera variable según el ciclo de trabajo. En la ilustración 2-25 se muestra la forma de onda de la corriente de cada fase correspondiente al intervalo de operación 1 y 2, y también la suma de ambas corrientes en donde se observa que el rizado de corriente es menor, lo que se traduce en un rizado de voltaje menor.

**Ilustración 2-24** Fuente de conmutación Buck o reductora de dos fases.



Nota. Fuente elaboración propia

**Ilustración 2-25** Suma de los componentes en continua y alterna de las corrientes  $i_{L1}$  e  $i_{L2}$ .



Nota. Fuente Hart, D. W. (2011). *DC-DC Converters*. En D. W. Hart, *Power Electronics* (págs. 196 - 264). Valparaíso: Mc Graw Hill.

Entonces, al incrementar el número de fases se incrementa la cantidad de corriente que se suministra a la carga, y a la vez se disminuye el rizado de corriente y voltaje. Pero se incrementa el número de elementos y la complejidad lo que resulta en incremento del costo.

### *Operación durante el intervalo 1 y 2*

La operación de cada intervalo es exactamente igual a una fuente de una sola fase, la diferencia es el desfase de  $180^\circ$  entre la fase 1 y 2.

### *Cálculo del inductor $L_1$ y $L_2$*

La ecuación para determinar el valor a inductor es la que corresponde a la fuente de una sola fase, ecuación 2-23. Tener en cuenta que el valor de la variación de corriente  $\Delta i_{L1}$  o  $\Delta i_{L2}$  corresponde al rizado de corriente de una sola fase y no al rizado de corriente de la suma de corrientes de ambas fases,  $\Delta i_L$ , que será menor en amplitud.

### *Cálculo del capacitor de salida $C$*

Al igual que en el caso del inductor, la ecuación para el cálculo del capacitor de salida  $C$  es la misma que para una fuente de una sola fase, ecuación 2-27.

## **2.4.2 Ventajas de una fuente multifase vs una fase**

“La limitación fundamental del convertidor Buck de una sola fase convencional es la concesión mutua entre la eficiencia y la frecuencia de conmutación” (Saleemi, Analysis and design of multiphase interleave DC-DC converter with input-output bypass capacitor, 2008).

Para mejorar la respuesta transitoria, la calidad del voltaje y corriente de salida se puede incrementar la frecuencia de operación, sin embargo, incrementar la frecuencia disminuye la eficiencia de la fuente. Una fuente multifase supera estas deficiencias ya que la frecuencia del rizado de corriente y voltaje en el capacitor de salida es el producto del número de fases por la frecuencia de conmutación. Entonces, al verse incrementada la frecuencia en la salida sin recurrir en aumentar la frecuencia de operación la eficiencia no se ve alterada y se puede seleccionar capacitores de entrada y salida de menor tamaño físico, capacidad y baja resistencia ESR. Como consecuencia no solo se reduce el tamaño físico, sino que se mejora el comportamiento transitorio de la fuente sin afectar a la eficiencia.

En los siguientes párrafos se describe las ventajas de una fuente multifase:

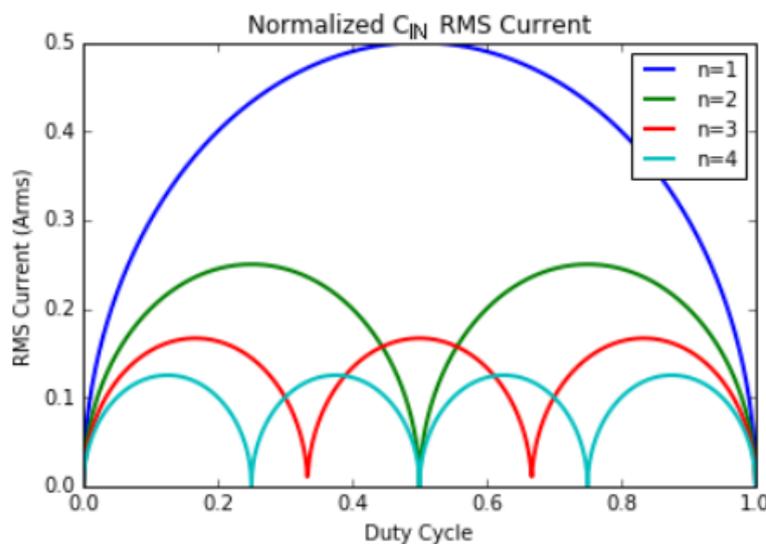
### ***Reducción del rizado del voltaje de entrada***

En una fuente multifase el valor rms (raíz media cuadrática) de la corriente de entrada

y el valor pico pico del rizado de voltaje de entrada tiene valores bajos debido a que la corriente de cada fase es una fracción de la corriente total de salida. Gracias a esta característica es que se requieren menos capacitores de entrada cuya capacitancia y valores de resistencia ESR son menores disminuyendo su contribución a las pérdidas de potencia.

La ilustración 2-26 muestra cómo, para diferentes valores de ciclo de trabajo, la corriente rms de entrada disminuye cuando el número de fases  $n$  aumenta. Se observa también, como para ciertos valores de ciclo de trabajo la corriente rms es cercana a cero debido a que los rizados de corriente están totalmente en desfase y se cancelan.

**Ilustración 2-26** Corriente rms normalizada del capacitor de entrada.



*Nota. Fuente Parisi, C. (2017). Multiphase Buck Design From Start to Finish. Texas Instruments Incorporated.*

### **Reducción del rizado de corriente y de voltaje de salida**

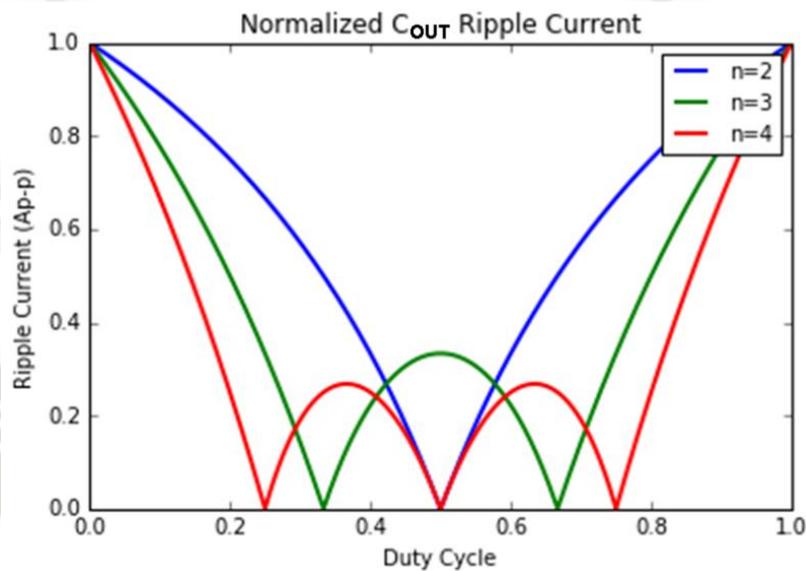
La suma de las corrientes de salida de cada fase, de cada inductor, se suman y el rizado de corriente disminuye de manera considerable. Al disminuir el rizado se puede utilizar inductores de menor tamaño y valor en henrios para mejorar la respuesta transitoria. También, al reducirse el rizado de corriente de la salida el rizado de voltaje disminuye lo que permite que los capacitores de salida puedan responder a mayores variaciones o transitorios de voltaje ya que el rizado utiliza muy poco la carga almacenada en el capacitor.

La ilustración 2-27 muestra cómo, para diferentes valores de ciclo de trabajo, la corriente de salida disminuye cuando el número de fases  $n$  aumenta. Se observa como para ciertos valores de ciclo de trabajo el rizado de la corriente de salida es cercana a cero debido a que los rizados de corriente están totalmente en desfase y se cancelan.

### *Mejoras en la eficiencia y en la pérdida de potencia por calor*

Tener múltiples fases permite distribuir la corriente entre una serie inductores y MOSFETs disminuyendo el costo al evitar el uso de elementos costosos diseñados para que fluyan grandes corrientes por ellos y que puedan disipar grandes cantidades de energía en forma de calor. También se evita concentrar las pérdidas en una pequeña área de la placa PCB ya que la concentración de calor disminuye la eficiencia y eficacia de la fuente.

*Ilustración 2-27* Rizado de corriente normalizada del capacitor de salida.



*Nota. Fuente Parisi, C. (2017). Multiphase Buck Design from Start to Finish. Texas Instruments Incorporated.*

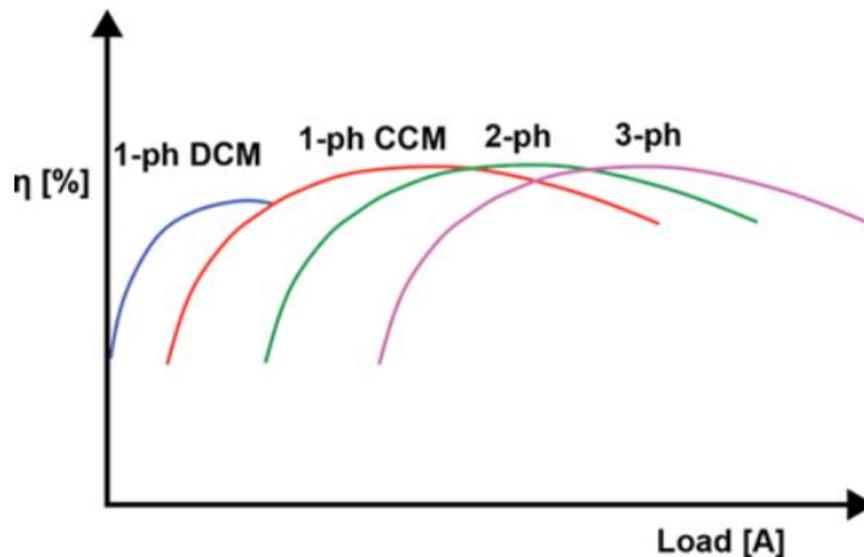
Al distribuirse la carga en múltiples fases es posible diseñar cada fase de la fuente para tener una alta eficiencia a baja carga, de tal manera que cuando se requiere de poca corriente solo se tiene una fase activa y la eficiencia es alta, luego conforme aumenta el requerimiento de corriente se activa otra fase que también es eficiente a baja carga, pero la corriente total es el doble. De esta manera al aumentar el requerimiento de corriente se van activando más fases eficientes a baja carga que suman un total de corriente igual a la suma de la corriente de cada fase sin caer en la ineficiencia.

Entonces, mientras menor sea el requerimiento de corriente menos fases se utilizan para minimizar las pérdidas por conmutación en los MOSFET y las pérdidas de conducción. También, conforme la corriente se incrementa las pérdidas por conducción son mayores que las de conmutación por lo que se activan más fases para mantener la eficiencia, la ilustración 2-28 muestra como al incrementar el número de fases es posible mantener una alta eficiencia para casi todo el rango de carga.

### *Mejoras en la respuesta transitoria*

Para satisfacer los requerimientos de respuesta transitoria de la fuente se debe seleccionar el capacitor de salida y los inductores de tal manera que la respuesta ante un cambio de carga se mantenga dentro de las especificaciones.

*Ilustración 2-28 Eficiencia versus el número de fases.*



*Nota. Fuente Parisi, C. (2017). Multiphase Buck Design from Start to Finish. Texas Instruments Incorporated*

La ventaja de una fuente multifase reside en tener a disposición energía almacenada en dos a más inductores en paralelo, que a su vez tienen cada uno sus resistencias DCR en paralelo por lo que la resistencia equivalente vista desde el nodo de salida se reduce drásticamente. Es por esta razón que cuando cada una de las fases está en el intervalo 1 la corriente de la fuente de entrada fluye rápidamente al inductor, capacitor de salida y carga disminuyendo el sub impulso, y cuando cada una de las fases está en el intervalo 2 el exceso de carga del inductor se traslada rápidamente al capacitor de salida reduciendo el sobre impulso.

#### **2.4.3 Desafíos de una fuente Buck multifase**

Si bien es cierto que la fuente Buck multifase introduce mejoras técnicas sobre una Buck monofase en eficiencia, calidad del voltaje y corriente, y capacidad de manejar altas corrientes también tiene algunas deficiencias las cuales se describan a continuación.

- Incrementar el número de fases aumenta el costo de la fuente. Se debe analizar si el costo de múltiples fases es menor al costo una sola fase que este diseñada

con elementos más robustos que permitan el flujo de corrientes superiores a los 40 amperios y con una mayor cantidad de capacitores de salida para disminuir el rizado de voltaje de salida.

- b. Tamaño de la fuente multifase. Se debe determinar el espacio que se puede utilizar en la placa PCB y determinar la capacidad de estrés térmico que esta puede soportar para ver si conviene tener una fuente multifase la cual es más grande, pero distribuye mejor la temperatura sobre la placa PCB, o tener una fuente de una sola fase que pueda ser más pequeña pero que concentra la temperatura en una menor área.
- c. Sistema de control. Para controlar una fuente se requiere de un sistema complejo que permita:
  - Tener las corrientes de cada fase en balance para evitar concentrar el estrés térmico y distribuirlo en todos los elementos de la fuente.
  - Controlar correctamente el ciclo de trabajo de cada fase y tener un adecuado control del voltaje de salida y asegurar la cancelación del rizado de corriente y voltaje.
  - Cada fase debe entrar y salir de funcionamiento rápidamente cuando la carga lo requiera.

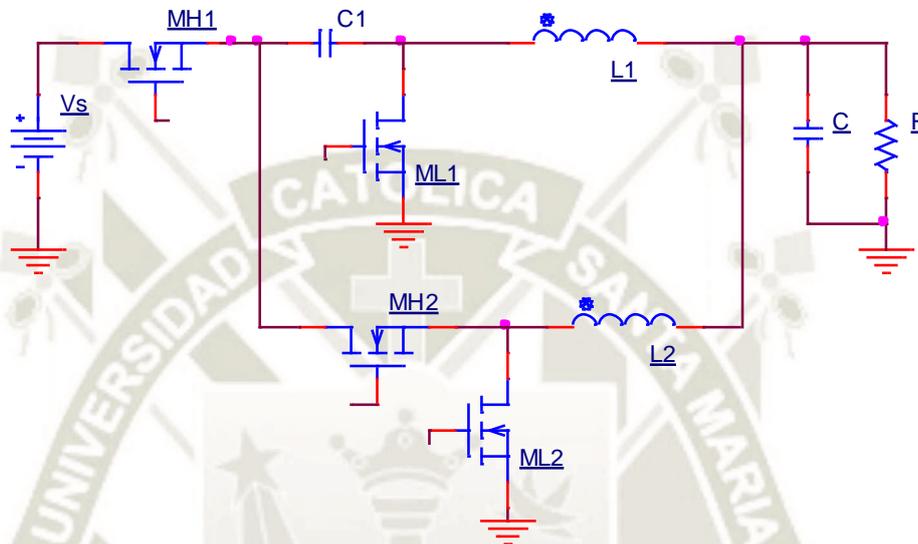
## **2.5 Fuente de conmutación Buck multifase con un capacitor conmutado**

La topología multifase de una fuente Buck ha permitido extender la facilidad de diseño, tamaño y bajo costo de implementación de una fuente de una sola fase a aplicaciones que son sensibles a la calidad del voltaje de salida con cambios rápidos de carga y de alto amperaje, sin contar que además disminuyen la generación de interferencia electromagnética.

Sin embargo, si bien la fuente Buck multifase tiene una buena eficiencia a bajos voltajes esta no es la óptima cuando por ejemplo la fuente de entrada provee un voltaje de 12Vdc (voltaje estándar de las fuentes de alimentación de placas madre) y se requiere un voltaje de salida de 0.8 a 2 VDC a altas corrientes ya que las pérdidas por conmutación son muy altas. Para dar solución a este problema (Shenoy, 2016) introduce un capacitor luego del nodo fuente del MOSFET MH1, posición alta de la primera fase, y desde este mismo nodo se

provee la alimentación a la segunda fase y no directamente de la fuente de entrada. Con esta modificación de la topología Buck multifase, ilustración 2-29, se logra reducir el voltaje de entrada de las fases a la mitad o 6 VDC por lo que se mejoran significativamente las pérdidas de conmutación con una penalidad extra a la eficiencia de tan solo las pérdidas de conducción en la resistencia ESR del capacitor en serie.

**Ilustración 2-29** Fuente de conmutación Buck multifase con un capacitor conmutado.



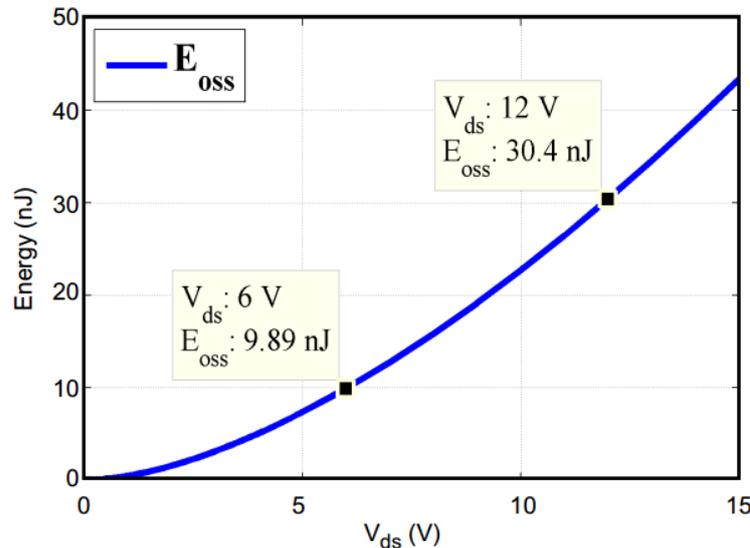
*Nota. Fuente elaboración propia.*

Adicionalmente, las pérdidas por conmutación se ven reducidas gracias que el voltaje entre el drenaje — fuente de los MOSFETs de todas las fases es la mitad del voltaje de entrada (a excepción del MOSFET en posición alta MH1 de la primera fase). Como ejemplo (Shenoy, 2016) nos muestra como las pérdidas de conmutación debido a la capacitancia de salida de los MOSFET se reduce en 67% cuando el voltaje drenaje — fuente disminuye de 12VDC a 6VDC, ilustración 2-30.

Además, puesto que la carga del capacitor en serie debe estar siempre en balance, es decir la energía requerida para la carga y descarga siempre debe ser la misma en un periodo de tiempo, es que automáticamente se introduce una retroalimentación a la carga de los inductores y se les fuerza a igualar sus corrientes. En detalle, si el promedio de la corriente del inductor  $L_1$  de la primera fase es mayor que el promedio de la corriente del inductor  $L_2$  de la segunda fase, el voltaje del capacitor en serie  $C_1$  se eleva, como consecuencia el voltaje promedio del nodo entre el capacitor  $C_1$  y el inductor  $L_1$  disminuye mientras que el voltaje promedio del nodo entre la fuente del MOSFET  $ML_2$  y el inductor  $L_2$  se incrementa. Esta variación de voltajes fuerza la disminución de la corriente del inductor  $L_1$  de la primera fase

y el incremento de la corriente del inductor  $L_2$  de la segunda fase hasta que el voltaje de capacitor en serie  $C_1$  vuelve a estar en balance.

**Ilustración 2-30** Reducción de pérdidas de conmutación por capacitancia de salida en el MOSFET.



*Nota. Fuente Shenoy, P. S. (2016). Introduction to the Series Capacitor Buck Converter. Dallas: Texas Instruments.*

De igual forma, esta variación de la topología nos permite obtener voltajes de salida muy bajos sin tener que bajar el ciclo de trabajo a anchos de pulso muy cortos que se vean afectados por tiempos de retardo propios de los MOSFET (tiempos de encendido y apagado, por ejemplo)

Por último, la única deficiencia de esta topología es que el voltaje de salida se ve limitado a la mitad del voltaje de entrada y a un ciclo de trabajo del 50% como máximo, es decir el voltaje de salida solo puede el 25% del voltaje de entrada.

Entonces, en los siguientes capítulos se presenta el desarrollo de una fuente de conmutación tipo Buck de tres fases con capacitor conmutado con la finalidad de incrementar la capacidad de corriente, disminuir el rizado de voltaje y corriente, y obtener mayor eficiencia que una fuente de dos fases con capacitor conmutado. La fuente además de lo mencionado tendrá dos modos de operación, en el modo 1 solo se activarán dos fases para circunstancias en que la carga sea baja y en el modo 2 se activarán tres fases para circunstancias en que la carga requiera la máxima corriente permitida por el diseño.

## 2.6 Regulación del voltaje de salida y estabilidad de la fuente

Para mantener un voltaje de salida estable y constante a pesar de la influencia de

perturbaciones externas, una fuente de conmutación requiere que continuamente se calcule la desviación del voltaje de salida deseado respecto a una referencia, y luego de acuerdo a la magnitud del error modificar el ciclo de trabajo para que el error tienda a cero y se estabilice.

En los siguientes párrafos se describirá los principios de un sistema de control que regule de manera estable la fuente de conmutación.

### **2.6.1 Regulación del voltaje de salida**

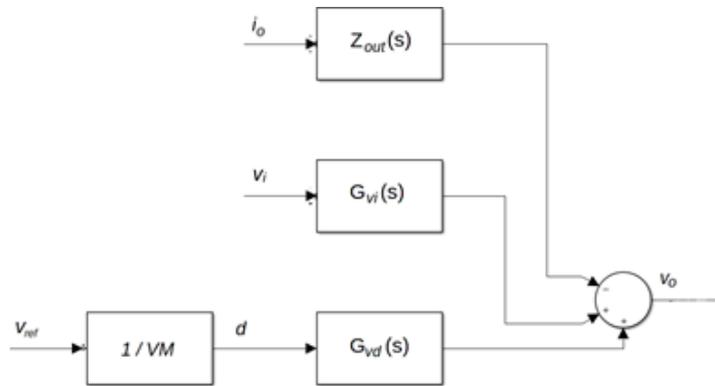
El voltaje de salida de una fuente Buck se establece mediante la selección de un valor de ciclo de trabajo, mientras mayor sea el ciclo de trabajo mayor será el voltaje de salida y viceversa, ecuación 2-20. Sin embargo, ante cualquier variación del voltaje de entrada, variación de la carga, variaciones del comportamiento de los elementos de la fuente por temperatura o degradación, o variaciones por extrema interferencia electromagnética existirá una variación en el voltaje de salida.

Por ejemplo, un incremento en la carga afectará al voltaje de salida ya que para brindar la nueva potencia el inductor incrementará el flujo de corriente que se refleja en el rizado de corriente del inductor que tendrá una mayor pendiente negativa y amplitud de descarga en el segundo intervalo de la operación, ecuación 2-19. Al mismo tiempo el capacitor se descargará rápidamente para tratar de mantener el voltaje requerido, ecuación 2.26. Sin embargo, puede que la carga del inductor o del capacitor baje hasta un punto en que no sean capaces de mantener el flujo requerido por lo que el voltaje y corriente de salida empezaran a disminuir alterando el voltaje de salida promedio hasta que se inicie nuevamente el primer intervalo. En este momento, durante el primer intervalo la fuente volverá a cargar el inductor y al capacitor con la misma energía que tuvieron antes del incremento de carga por lo que para el nuevo segundo intervalo el escenario será el mismo, y lo más probable es que en el primer intervalo el inductor y el capacitor no hayan cargado lo suficiente y el voltaje de salida disminuirá aún más alejándose del valor requerido.

Entonces, se dice que la fuente no es regulada ya que, ante una variación externa, la fuente no cuenta con retroalimentación que modifique el ciclo de trabajo para poder obtener el voltaje de salida deseado de manera constante. La ilustración 2.31 muestra el diagrama de bloques de una fuente sin regulación, la cual a partir de un voltaje de referencia a la entrada del bloque  $I/VM$  (ganancia del modulador de ancho de pulso) genera el valor del ciclo de

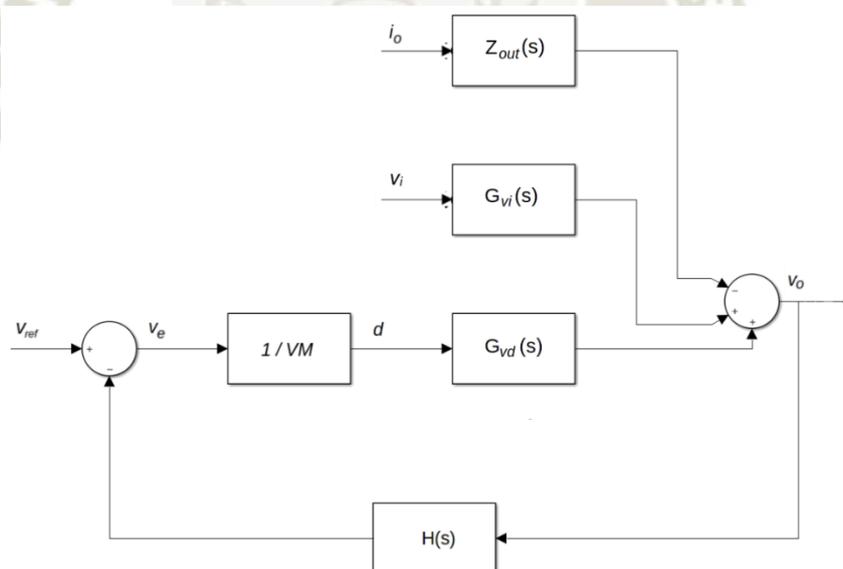
trabajo  $d$  constante que establece los tiempos de conmutación de los MOSFETs del bloque  $G_{vd}(s)$  (que representa a la fuente). Posteriormente, la salida de este bloque se suma al bloque de perturbación generado por el voltaje de entrada  $G_{vi}(s)$  y al bloque de la variación de la carga  $Z_{out}(s)$  para recién obtener el voltaje de salida de la fuente.

**Ilustración 2-31** Diagrama de bloques de una fuente de conmutación Buck no regulada.



*Nota. Fuente Erickson, R. W., & Maksimovi, D. (2004). Controller Design. En R. W. Erickson, & D. Maksimovi, Fundamentals of Power Electronics (págs. 331 - 375). New York: Kluwer Academic Publishers.*

**Ilustración 2-32** Diagrama de bloques de una fuente de conmutación Buck regulada, bucle cerrado.



*Nota. Fuente Erickson, R. W., & Maksimovi, D. (2004). Controller Design. En R. W. Erickson, & D. Maksimovi, Fundamentals of Power Electronics (págs. 331 - 375). New York: Kluwer Academic Publishers.*

Para poder regular el voltaje de salida se requiere introducir una línea de retroalimentación para calcular el error y procesar el nuevo ciclo de trabajo para que los MOSFET conmuten con mayor o menor tiempo de encendido/apagado y de esta manera alcanzar el voltaje de salida deseado. En la ilustración 2-32 se observa la línea de retroalimentación que va desde el voltaje de salida, ingresa al bloque  $H(s)$  en donde se

procesa la señal e ingresa al bloque de suma para que se reste del voltaje de referencia para encontrar el error que se procesa para calcular el nuevo ciclo de trabajo.

### ***Función de transferencia de la fuente de conmutación***

En las ilustraciones 2-31 y 2-32 cada bloque contiene una función matemática que modela el funcionamiento de un sistema a la cual se le llama función de transferencia porque para cada entrada se produce una salida que corresponde al funcionamiento real del sistema que representa.

Una función de transferencia está representada por ecuaciones diferenciales que son lineales y que no varían en el tiempo que se transforman al dominio de Laplace. Esta función está definida por el ratio de la transformada de Laplace de la salida sobre la transformada de Laplace de la entrada, considerando que las condiciones iniciales son cero (Ogata, Closed-Loop Transfer Function, 2010). La ecuación 2-29 representa una función de transferencia.

$$G(s) = \frac{Y(s)}{X(s)} = \frac{b_0s^m + b_1s^{m-1} + \dots + b_{m-1}s + b_m}{a_0s^n + a_1s^{n-1} + \dots + b_{n-1}s + b_n} \quad 2-29$$

Donde,

$n \geq m$  y representan el orden de la ecuación diferencial.

$A$  y  $b$  son los coeficientes constantes de entrada y salida respectivamente.

Una función de transferencia contiene raíces que indican los puntos en el dominio de la frecuencia en donde la magnitud de la señal de salida es atenuada o acentuada por una cierta magnitud. Las raíces del numerador son denominadas ceros y son las responsables de acentuar la señal, y las raíces del denominador son denominados polos y son los responsables de atenuar la señal.

### ***Función de transferencia de un circuito RLC***

Por ejemplo, el circuito de la ilustración 2-33 muestra la etapa de potencia de una fuente de conmutación Buck de una fase. En este caso es un circuito RLC donde la entrada  $V_I(s)$  es el voltaje modulado por el ciclo de trabajo, y para encontrar la función de transferencia se requiere encontrar el voltaje que cae en la resistencia  $R$  y dividirlo sobre el voltaje de

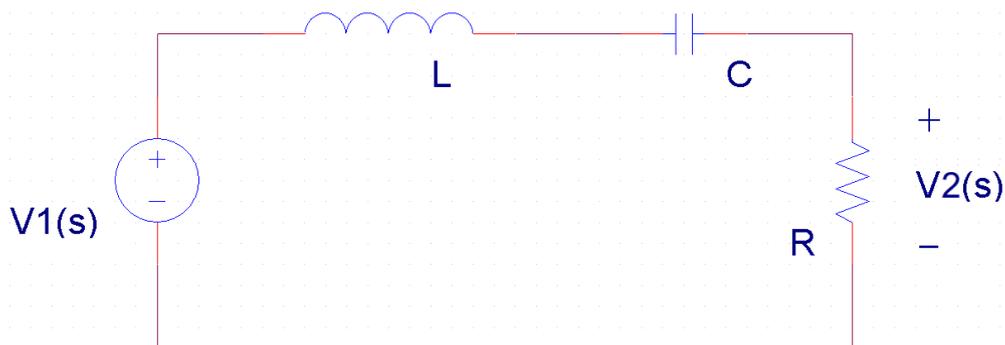
entrada, es decir encontrar la relación del voltaje de salida  $V_2(s)$  sobre el voltaje de entrada  $V_1(s)$ .

Para facilitar el análisis se reemplaza los elementos pasivos por su impedancia equivalente en el dominio de Laplace, ecuaciones 2-30 y 2-31.

$$Z_1 = sL \quad 2-30$$

$$Z_2 = \frac{R}{sCR+1} \quad 2-31$$

*Ilustración 2-33 Circuito de potencia equivalente RLC de la fuente de conmutación Buck de una sola fase.*



*Nota. Fuente elaboración propia.*

Posteriormente mediante la ecuación del divisor de voltaje se calcula el voltaje que cae en la impedancia  $Z_2$ , ecuación 2-32.

$$V_2(s) = V_1(s) \cdot \frac{Z_2}{Z_1+Z_2} \quad 2-32$$

$$V_2(s) = V_1(s) \cdot \frac{R}{s^2LCR+sL+R} \quad 2-33$$

Finalmente se despeja  $V_1(s)$  y se reacomoda para tener la función de transferencia  $G_{V1}(s)$ , ecuación 2-34.

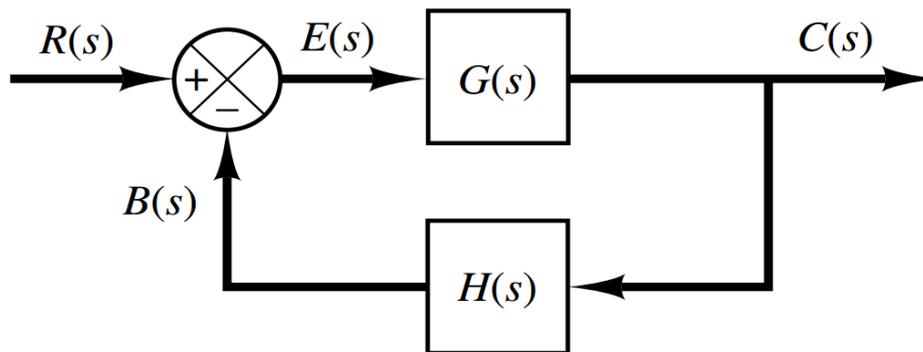
$$G_{V1}(s) = \frac{V_2(s)}{V_1(s)} = \frac{1}{s^2LC+s\frac{L}{R}+1} \quad 2-34$$

Puesto que una función de transferencia modela el comportamiento de un sistema o circuito, con la ecuación 2-34 se puede calcular la magnitud del voltaje de salida para cualquier voltaje de entrada y frecuencia de operación.

*Función de transferencia de bucle cerrado de un sistema*

La ilustración 2-34 muestra el diagrama de bloques de un sistema con una línea de retroalimentación o bucle cerrado. En este diagrama, para todo sistema,  $R(s)$  es la señal de referencia,  $B(s)$  es la señal de retroalimentación,  $E(s)$  es el error y  $C(s)$  es la señal de salida.  $Y$ ,  $G(s)$  representa la función de transferencia del sistema modelado y  $H(s)$  es la función de transferencia que convierte la señal de salida en una señal que puede ser restada de la señal de referencia.

*Ilustración 2-34 Diagrama de bloques de un sistema de lazo cerrado.*



*Nota. Fuente Ogata, K. (2010). Closed-Loop Transfer Function. En K. Ogata, Modern Control Engineering (pág. 19). Upper Saddle River: Prentice Hall.*

La ecuación de la función de transferencia de todo el diagrama de bloques está dada por:

$$C(s) = G(s) \cdot E(s) \tag{2-35}$$

$$E(s) = R(s) - B(s) = R(s) - H(s) \cdot C(s) \tag{2-36}$$

Reemplazando la ecuación 2-31 en 2-30 se obtiene la ecuación 2-32 que representa el comportamiento del sistema con realimentación de bucle cerrado.

$$\frac{C(s)}{R(s)} = \frac{G(s)}{1+G(s) \cdot H(s)} \tag{2-37}$$

**2.6.2 Respuesta transitoria, diagramas de Bode y estabilidad**

Determinar el comportamiento de una fuente de conmutación es vital para asegurar que la carga siempre reciba la alimentación de acuerdo a las especificaciones. En los siguientes párrafos se comentará acerca de dos herramientas que se utilizarán para analizar el comportamiento: En el dominio del tiempo se verá cómo es la respuesta transitoria, y en el dominio de la frecuencia se utilizara el diagrama de bode.

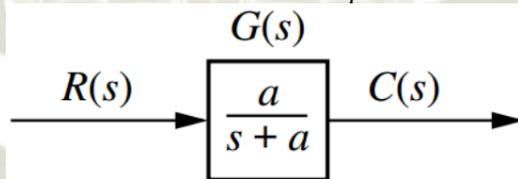
***Respuesta transitoria de sistemas de primer y segundo orden***

Dado que el principio de funcionamiento de una fuente de conmutación está basado en elementos pasivos que almacenan y entregan energía, el voltaje de salida siempre tendrá un desfase con respecto al voltaje de entrada. Es decir, la salida mostrará una respuesta transitoria antes de que llegue a un punto de equilibrio. La respuesta se puede determinar mediante las raíces del denominador de la función de transferencia general de una fuente. Como ejemplo se analizará la respuesta transitoria de sistemas de primer orden y de segundo orden.

En un sistema de primer orden, ilustración 2-35, no se tiene ceros o raíces en el numerador, y la función de transferencia de un sistema de primer orden representa mediante la ecuación 2-38 en donde la entrada es un pulso unitario y  $R(s) = 1/s$ , y si se grafica en el eje real-imaginario se obtiene la ilustración 2-36 que muestra un polo ubicado al lado izquierdo del eje imaginario en la posición  $a$  y otro polo en el infinito también en el lado izquierdo el cual que no está graficado (Nise, Time response, 2015).

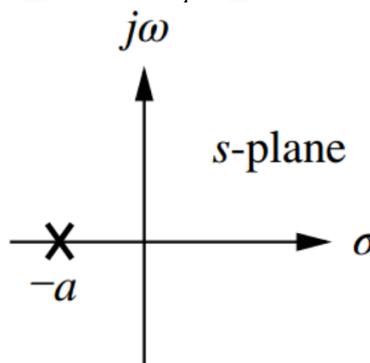
$$C(s) = R(s)G(s) = \frac{a}{s(s+a)} \tag{2-38}$$

*Ilustración 2-35 Sistema de primer orden.*



*Nota. Fuente Nise, N. S. (2015). Time response. En N. S. Nise, Control Systems Engineering (págs. 157 - 234). New Jersey: John Wiley & Sons.*

*Ilustración 2-36 Diagrama de un sistema de primer orden en un diagrama de coordenadas.*



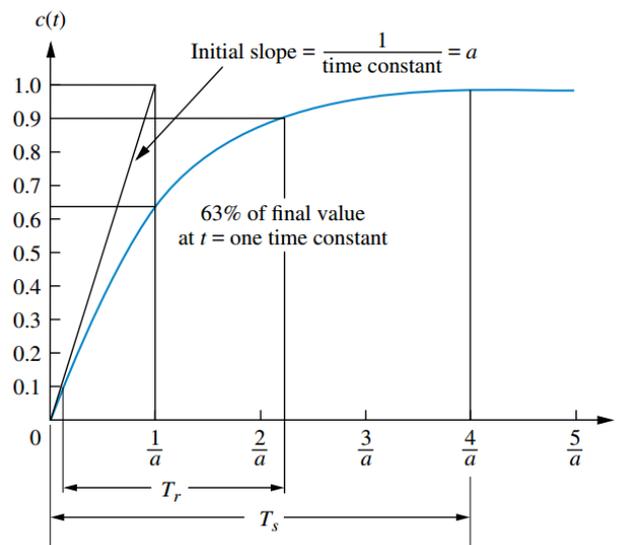
*Nota. Fuente Nise, N. S. (2015). Time response. En N. S. Nise, Control Systems Engineering (págs. 157 - 234). New Jersey: John Wiley & Sons.*

Luego, sacando la transformada inversa de Laplace a la ecuación anterior se obtiene la respuesta en el tiempo en la forma de la ecuación 2-39

$$c(t) = c_f(t) + c_n(t) = 1 - e^{-at} \quad 2-39$$

En este dominio se tienen los siguientes parámetros de tiempo que definen etapas importantes de una función del sistema de primer orden, ilustración 2-37.

**Ilustración 2-37** Respuesta de un sistema de primer orden a un pulso unitario.

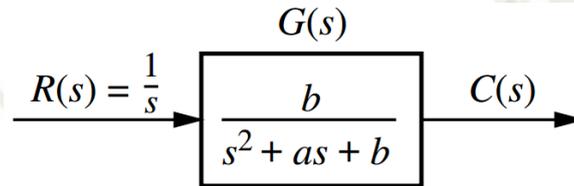


Nota. Fuente Nise, N. S. (2015). Time response. En N. S. Nise, Control Systems Engineering (págs. 157 - 234). New Jersey: John Wiley & Sons.

- Constante de tiempo. En un sistema de primer orden, la constante  $a$  indica la velocidad en que el sistema responde a una entrada de pulso unitario, por lo que mientras más grande sea el valor de  $a$  más rápida será la respuesta al pulso, o más rápida será la respuesta a cualquier transitorio. En la ilustración 2-37 se puede observar cómo al alimentar la función de la ecuación 2-39 con un pulso el sistema alcanzara el 63% de su valor final cuando  $t$  alcanza el valor de  $1/a$ .
- Tiempo de crecimiento,  $T_r$ . Es el tiempo en que la señal crece desde el 10% al 90% del valor final.
- Tiempo de establecimiento,  $T_s$ . Es el tiempo en que la señal alcanza el  $\pm 2\%$  de su valor final.
- Sobre impulso máximo,  $M_p$ . Es la amplitud máxima que la señal sobrepasa el valor de equilibrio.

En el caso de un sistema estándar de segundo orden, la función está compuesta un polinomio cuadrático en el denominador (dos polos) y una constante en el numerador, ilustración 2-38. A diferencia de un sistema de primer orden, en un sistema de segundo orden la respuesta frente a un pulso unitario varía con la posición de las raíces de los polos en el eje real/imaginario, como resultado se obtiene una forma de onda a la salida que es no amortiguada, sub amortiguada, críticamente amortiguada o sobre amortiguada.

**Ilustración 2-38** Sistema de segundo orden.



*Nota. Fuente Nise, N. S. (2015). Time response. En N. S. Nise, Control Systems Engineering (págs. 157 - 234). New Jersey: John Wiley & Sons.*

La magnitud en que la salida es amortiguada es denominada ratio de amortiguación y define la forma de la onda en una base de tiempo cualquiera. (Nise, Time response, 2015) indica:

“Una definición viable para esta magnitud es aquella que compara la frecuencia de caída exponencial de la envolvente con la frecuencia natural. Esta relación es constante independientemente de la escala de tiempo de la respuesta. Además, el recíproco, que es proporcional a la relación entre el período natural y la constante de tiempo exponencial, permanece igual independientemente de la base de tiempo.”

Entonces, el ratio de amortiguamiento  $\zeta$  se puede expresar de la siguiente manera:

$$\zeta = \frac{\text{Frecuencia de caída natural}}{\text{Frecuencia natural } \omega_n \text{ (rad/seg)}} = \frac{1}{2\pi} \frac{\text{Periodo natural (seg)}}{\text{Constante de tiempo exponencial}} \quad 2-40$$

La ecuación de un sistema de segundo orden, ilustración 2-38, puede ser expresada en función de la frecuencia natural  $\omega_n$  y el ratio de amortiguamiento  $\zeta$ . Para lo cual se sabe que por definición:

$$b = \omega_n^2 \quad 2-41$$

$$a = 2\zeta\omega_n \quad 2-42$$

Luego, reemplazando las ecuaciones 2-41 y 2-42 en la ecuación del sistema de segundo orden se obtiene:

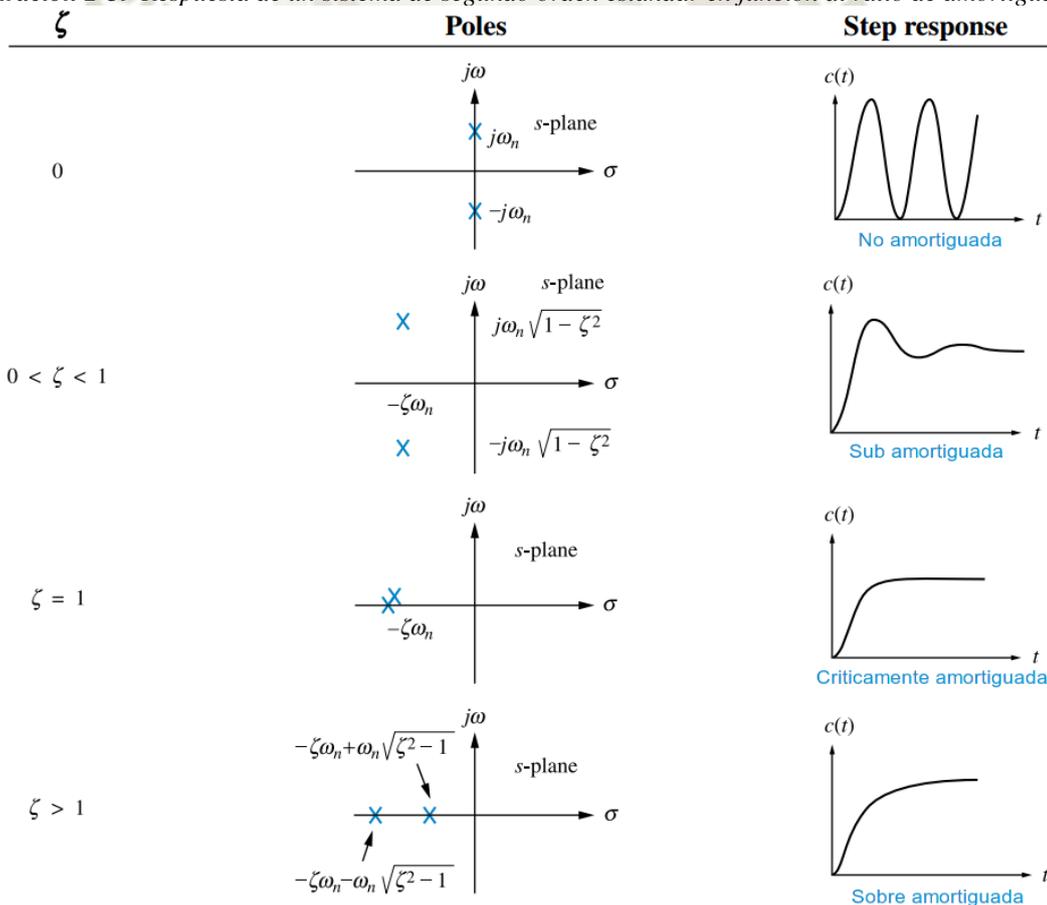
$$G(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad 2-43$$

Y para obtener el valor de las raíces del denominador, polos, se utiliza la formula cuadrática general.

$$s_{1,2} = -\zeta\omega_n \pm \omega_n\sqrt{\zeta^2 - 1} \quad 2-44$$

La representación gráfica de la ecuación 2-43 tanto en el plano real-imaginario como en el tiempo y para distintos valores del ratio de amortiguamiento  $\zeta$  se muestra en la ilustración 2-39. Obsérvese que cuando  $\zeta$  es igual a cero la señal no presenta amortiguación, y conforme  $\zeta$  aumenta el amortiguamiento de la señal y el tiempo de establecimiento  $T_s$  también aumenta. La ilustración 2-40 muestra la forma de la señal para distintos valores del ratio de amortiguamiento  $\zeta$ .

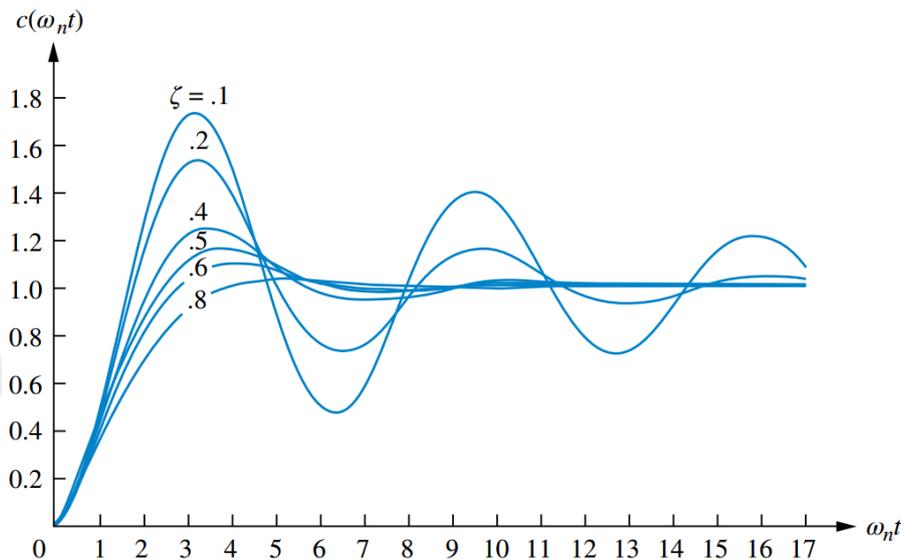
**Ilustración 2-39** Respuesta de un sistema de segundo orden estándar en función al ratio de amortiguación.



Nota. Fuente Nise, N. S. (2015). Time response. En N. S. Nise, Control Systems Engineering (págs. 157 - 234). New Jersey: John Wiley & Sons.

Un sistema de control lineal e invariable en el tiempo estable es capaz de retornar una salida perturbada a su estado original de equilibrio, es decir llevar la señal salida perturbada a un estado de invariabilidad ante la ausencia de perturbaciones o señales de entrada.

**Ilustración 2-40** Representación de la señal de salida para distintos valores del ratio de amortiguamiento  $\zeta$ .



*Nota. Fuente Nise, N. S. (2015). Time response. En N. S. Nise, Control Systems Engineering (págs. 157 - 234). New Jersey: John Wiley & Sons.*

Del análisis de los sistemas de primer y segundo orden se observa que cuando los polos se encuentran en el plano izquierdo del eje real-imaginario la señal decae exponencialmente o es amortiguada en el tiempo. Entonces en un sistema de control si la función de transferencia de lazo cerrado tiene los polos en el lado izquierdo del plano real-imaginario se dice que el sistema es estable.

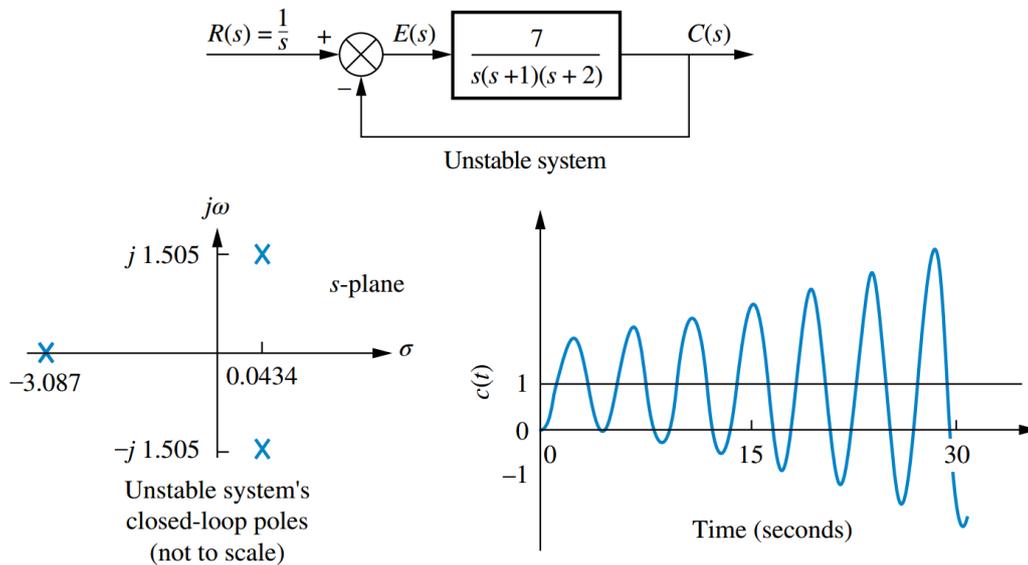
### ***Análisis de estabilidad mediante el análisis transitorio***

Y de manera opuesta si en un sistema de lazo cerrado se presenta uno o más polos en el lado derecho del eje real-imaginario la señal oscilará y la amplitud crecerá de manera incontrolada, entonces cuando la señal de salida diverge del estado de equilibrio sin control se dice que el sistema es inestable.

Finalmente, en caso que se presenten dos o más polos sobre el eje imaginario la señal oscilará sin incremento o decremento de la amplitud. Es decir, cuando la señal de salida presenta oscilaciones que no son amortiguadas en el tiempo se dice que el sistema es críticamente estable. (Ogata, Transient and Steady-State Response Analyses , 2010) y (Nise, Time response, 2015).

Por ejemplo, en la ilustración 2-41 se muestra un sistema de control de lazo cerrado en donde el denominador la función de transferencia de lazo abierto tiene 3 raíces. Dos de las raíces se encuentran ubicados en la región derecha del plano real-imaginario por lo que la señal oscila de manera descontrolada, el sistema es inestable tanto en lazo abierto como lazo cerrado (Nise, Time response, 2015).

**Ilustración 2-41** Sistema de control de bucle cerrado de segundo orden inestable.



Nota. Fuente Nise, N. S. (2015). Time response. En N. S. Nise, Control Systems Engineering (págs. 157 - 234). New Jersey: John Wiley & Sons.

### Diagrama de Bode

Mientras la respuesta transitoria indica cómo se comporta la salida en el tiempo, un diagrama de Bode nos muestra la respuesta de un sistema en estado estable en el dominio de la frecuencia cuando se le inyecta una señal sinusoidal de un rango de frecuencias determinado. Es decir, el diagrama de Bode muestra la magnitud y la fase de la señal de salida vs. La frecuencia, en ambos casos la frecuencia se ubica en el eje X en una escala logarítmica, la magnitud se expresa en decibelios y la fase en grados.

Detenidamente, para toda función de transferencia, un número complejo,  $x + jy$ , se puede expresar en forma de una magnitud  $r$  y un ángulo de fase  $\theta$ ,  $re^{j\theta}$ , en donde:

$$r = \sqrt{x^2 + (jy)^2} \tag{2-45}$$

$$\theta = \tan^{-1}\left(\frac{y}{x}\right) \tag{2-46}$$

Acto seguido, para graficar el diagrama de Bode de una función de transferencia se debe calcular la magnitud en decibelios, ecuación 2-47, y la fase en grados, ecuación 2-46.

$$\text{Magnitud } dB = 20 \log|x + jy| = 20 \log\sqrt{x^2 + (jy)^2} \quad 2-47$$

Como ejemplo, para una función de transferencia de primero orden, ecuación 2-38, se procede primero a transformar la función a una forma estándar.

$$G(s) = \frac{a}{s+a} = \frac{1}{1+1/a s}$$

En donde la magnitud se calcula usando la ecuación 2-47

$$\text{Mag. 1er orden } dB = 20 \log \left| \frac{1}{1 + (1/a)s} \right| = 20 \log \sqrt{1^2} - 20 \log \sqrt{1^2 + ((1/a)s)^2}$$

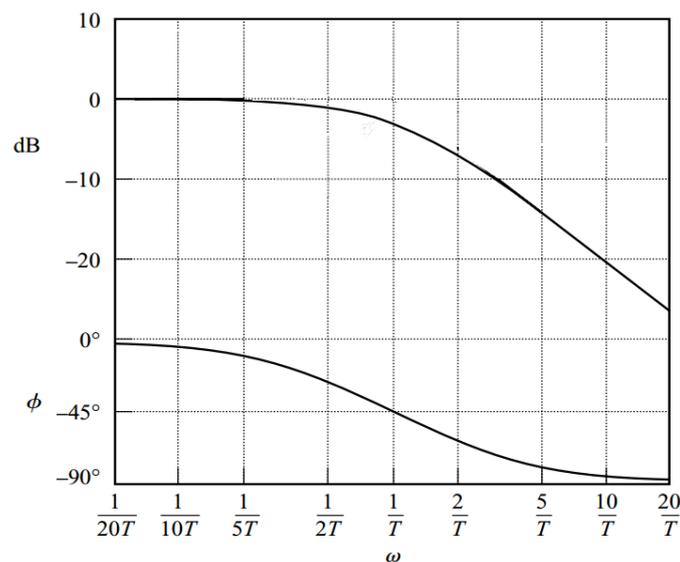
Luego, por definición  $s = j\omega$ , y  $T = 1/a$  (periodo) y reemplazando se obtiene:

$$\text{Magnitud } dB = -20 \log \sqrt{1^2 + (Tj\omega)^2} \quad 2-48$$

$$\theta = -\tan^{-1}(T\omega) \quad 2-49$$

Finalmente graficando la ecuación 2-48 y 2-49 para distintos valores de T y se obtiene la ilustración 2-42.

**Ilustración 2-42** Diagrama de Bode típico para un sistema de primer orden.



*Nota. Fuente Ogata, K. (2010). Control Systems Analysis and Design by the Frequency-Response Method. En K. Ogata, Modern Control Engineering (págs. 398 - 566). New Jersey: Prentice Hall.*

En esta ilustración, la línea superior representa la magnitud de la función de transferencia vs. La frecuencia, el punto en que la magnitud alcanza los  $-3\text{dB}$  es llamado la frecuencia de corte y marca la frecuencia en que la energía que fluye por el sistema empieza a atenuarse. Es importante notar que un sistema de primer orden se comporta como un filtro pasabajo, deja pasar todas las señales con frecuencias menores a la frecuencia de corte sin atenuación, y desde este punto en adelante atenúa las señales.

En la misma ilustración, la línea inferior representa la fase de la señal de salida con respecto a la entrada, se observa que el desfase se inicia aproximadamente dos décadas antes de la frecuencia de corte a la cual llega en  $-45^\circ$  y disminuye hasta alcanzar  $-90^\circ$ .

### ***Análisis de estabilidad mediante el diagrama de Bode***

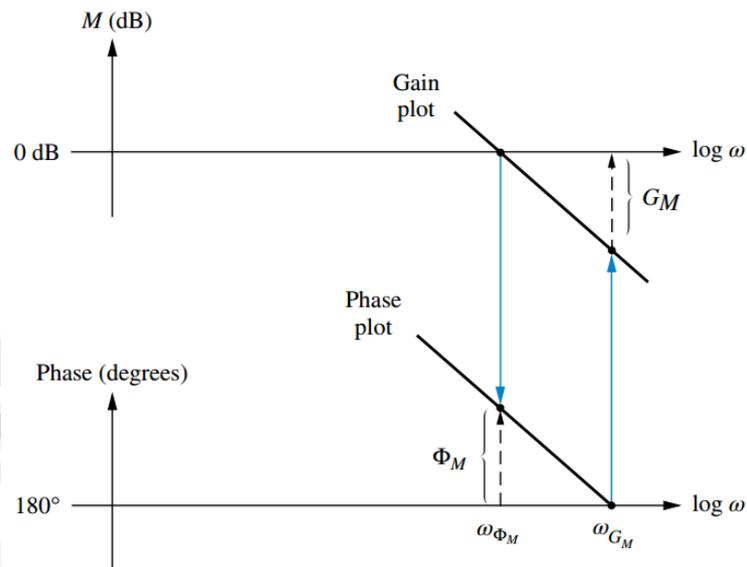
El propósito del análisis de un diagrama de Bode es determinar si un sistema de lazo abierto mantendrá este estado cuando se cierre el lazo. Para lo cual el sistema debe cumplir el siguiente criterio: “en un diagrama de Bode la ganancia debe tener una magnitud menor a  $0\text{dB}$  en el punto de la frecuencia de cruce de fase,  $\omega_{GM}$ ”, ilustración 2-43.

En donde la frecuencia de cruce de fase es la frecuencia en donde la fase es igual a  $-180^\circ$ .

Para asegurar que el criterio se cumpla siempre, teniendo en cuenta el error inherente y desviación de los valores de los componentes que forman la función de transferencia, se debe tener un margen de seguridad. Este margen en ganancia y fase se define de la siguiente manera, ilustración 2-43.

- a. Margen de ganancia,  $G_M$ . Por lo menos se requiere de un valor menor a  $-6\text{dB}$  en la frecuencia de cruce de fase,  $\omega_{GM}$ .
- b. Margen de fase  $\Phi_M$ . Se debe tener un nivel mínimo de seguridad de al menos  $45^\circ$  a  $60^\circ$  en la frecuencia de cruce de ganancia,  $\omega_{\Phi_M}$ , (cuando la ganancia cruza los  $0\text{dB}$ ). Es decir, se debe considerar:  $-180^\circ + 45^\circ(60^\circ) = -135^\circ(-120^\circ)$  en  $0\text{dB}$ .

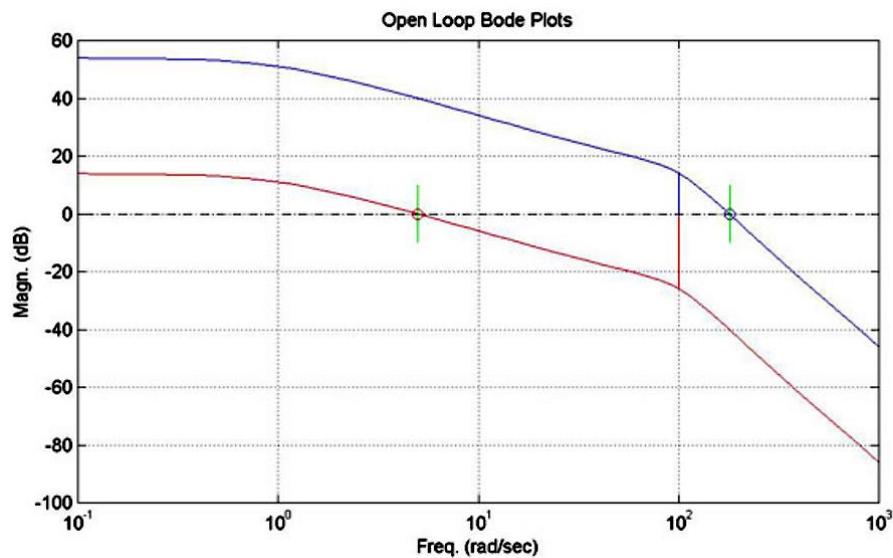
**Ilustración 2-43** Margen de ganancia y fase de un diagrama de Bode.

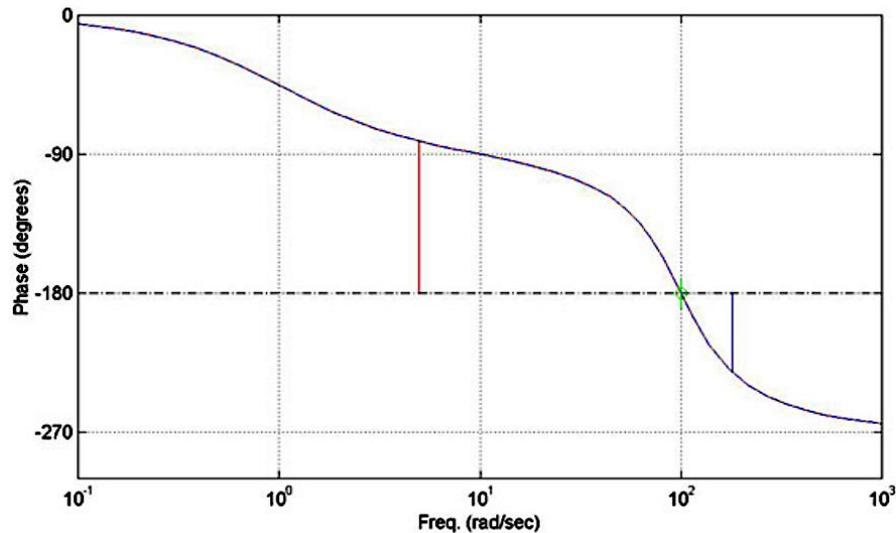


Nota. Fuente Nise, N. S. (2015). *Frequency response techniques*. En N. S. Nise, *Control Systems Engineering* (págs. 525 - 610). New Jersey: John Wiley & Sons.

Por ejemplo, la ilustración 2-44 muestra el diagrama de Bode de una función de transferencia con dos distintas magnitudes dibujadas en rojo y azul. En el caso del diagrama de Bode en rojo se observa que el margen de fase es de  $100^\circ$  y el margen de ganancia es de  $25^\circ$  aproximadamente por lo tanto de acuerdo a los criterios mencionados el bucle de lazo cerrado es estable. Por otro lado, el diagrama en azul tiene un margen de fase de  $-50^\circ$  y margen de ganancia de  $-15^\circ$  por lo tanto el bucle de lazo cerrado es inestable.

**Ilustración 2-44** Diagrama de Bode de un sistema estable e inestable cuando se cierra el lazo.





*Nota. Fuente Lilienkamp, K. (29 de septiembre de 2009). Stability Criteria - (Gain Margin and Phase Margin). Obtenido de Modeling Dynamics and Control III Tutorial - MIT: [https://www.mit.edu/afs.new/athena/course/2/2.010/www\\_f00/psets/hw3\\_dir/tutor3\\_dir/tut3\\_g.html](https://www.mit.edu/afs.new/athena/course/2/2.010/www_f00/psets/hw3_dir/tutor3_dir/tut3_g.html)*

### **Relación entre la respuesta transitoria y la respuesta en la frecuencia**

La relación entre el comportamiento en el tiempo y en la frecuencia de un sistema de lazo cerrado está determinada por:

- a. El ratio de amortiguamiento vs. La velocidad de respuesta ante un estímulo. Mientras menor sea el ratio de amortiguamiento,  $\zeta$ , mayor será la magnitud pico,  $M_p$ , de la ganancia de la función de transferencia en la frecuencia  $\omega_p$ . Para un sistema de segundo orden se tiene las ecuaciones 2-50 y 2-51, y la ilustración 2-45.

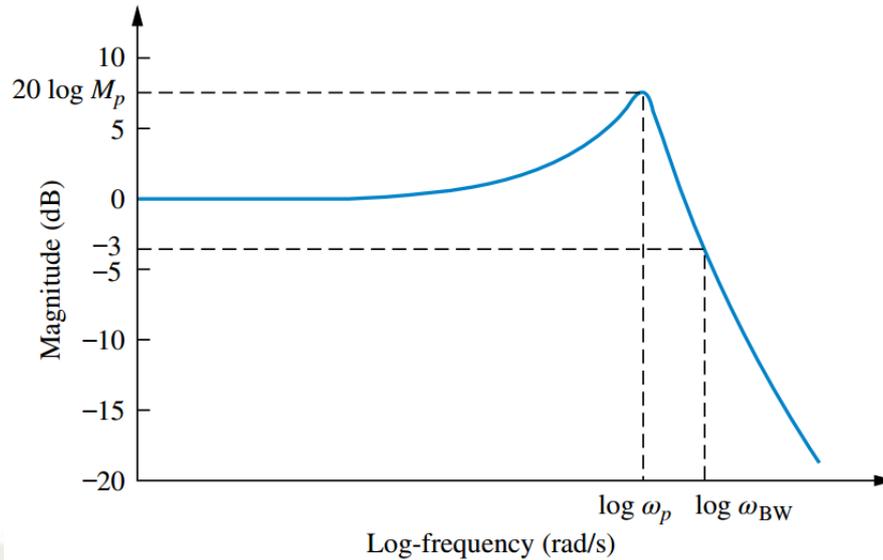
$$M_p = \frac{1}{2 \zeta \sqrt{1 - 2 \zeta^2}} \quad 2-50$$

$$\omega_p = \omega_n \sqrt{1 - 2 \zeta^2} \quad 2-51$$

- b. Ancho de banda vs. La velocidad de respuesta. En este caso mientras mayor sea el ancho de banda,  $\omega_{BW}$  (desde 0 Hertz o rads hasta la frecuencia de corte), mayor será el factor de amortiguamiento (lo que el tiempo está representado por el tiempo de crecimiento,  $T_r$ , establecimiento,  $T_s$ , e impulso máximo  $T_p$ ). Para un sistema de segundo orden se tiene la ecuación 2-52 y la ilustración 2-46:

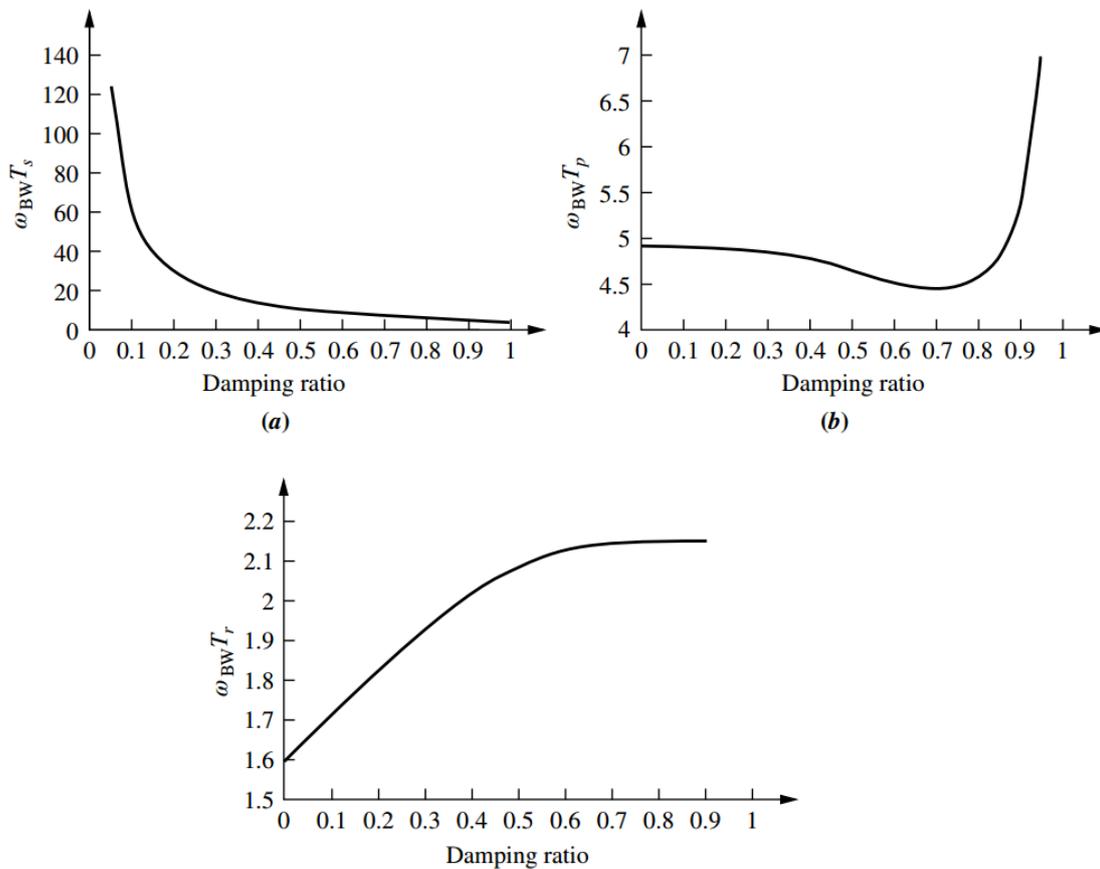
$$\omega_{BW} = \omega_n \sqrt{(1 - 2 \zeta^2) + \sqrt{(4 \zeta^4 - 4 \zeta^2 + 2)}} \quad 2-52$$

**Ilustración 2-45** Diagrama de Bode representando la magnitud pico vs. El ratio de atenuación.



*Nota. Fuente Nise, N. S. (2015). Frequency response techniques. En N. S. Nise, Control Systems Engineering (págs. 525 - 610). New Jersey: John Wiley & Sons.*

**Ilustración 2-46** Efecto del ancho de banda sobre el tiempo de crecimiento,  $T_r$ , establecimiento,  $T_s$ , e impulso máximo  $T_p$ .



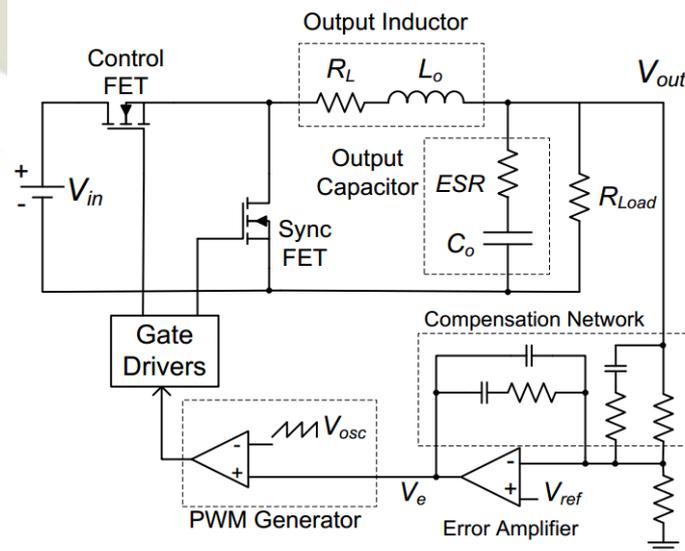
*Nota. Fuente Nise, N. S. (2015). Frequency response techniques. En N. S. Nise, Control Systems Engineering (págs. 525 - 610). New Jersey: John Wiley & Sons*

### 2.2.1 Compensador

Dado que una fuente de conmutación puede ser inestable, críticamente inestable, o por ejemplo puede que sea estable pero el tiempo de respuesta no cumpla con los parámetros establecidos es que se añade un compensador al amplificador del error para modificar la ganancia o fase del sistema original de tal manera que el sistema final se comporte de la manera deseada, estable y con la respuesta en el tiempo requerida.

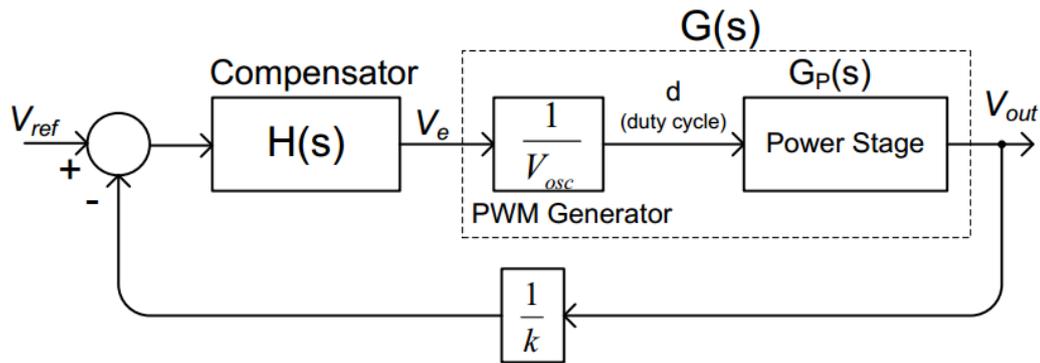
La ilustración 2-47 muestra el circuito representativo de la fuente de conmutación, del amplificador de error con la red de compensación y del generador del modulador de ancho de pulso PWM. Y en la ilustración 2-48 se observa el diagrama de bloques respectivo en donde el bloque  $H(s)$  representa al compensador,  $G(s)$  representa en conjunto la función de transferencia de la fuente  $G_p(s)$  (MOSFETs, inductor y capacitor de salida) y la función de transferencia del generador PWM  $1/V_{osc}$ , donde  $V_{osc}$  es la amplitud pico a pico de la señal de sierra del oscilador de voltaje, y finalmente en la línea de retroalimentación se encuentra la ganancia  $1/k$  que representa la adaptación de la señal de salida para ser restada del voltaje de referencia.

**Ilustración 2-47** Diagrama de una fuente de conmutación Buck y su circuito de control



*Nota. Fuente Rahimi, A. M., Parto, P., & Asadi, P. (s.f.). Application Note AN-1162 - Compensator Design Procedure for Buck Converter with Voltage-Mode Error-Amplifier. International Rectifier.*

*Ilustración 2-48 Diagrama de bloques de una fuente de conmutación Buck.*



*Nota. Fuente Rahimi, A. M., Parto, P., & Asadi, P. (s.f.). Application Note AN-1162 - Compensator Design Procedure for Buck Converter with Voltage-Mode Error-Amplifier. International Rectifier.*

Teniendo en cuenta la resistencia ESR del capacitor y la resistencia DCR del inductor, la función de transferencia  $G(s)$  es representada por la ecuación 2-53:

$$G(s) = G_p(s) \cdot \frac{1}{V_{osc}} = \frac{V_{out}}{d} (s) \cdot \frac{1}{V_{osc}}$$

$$G(s) = \frac{R_{load} (C_o \cdot ESR \cdot s + 1)}{(R_{load} + ESR) L_o C_o \cdot s^2 + (L_o + R_{load} \cdot C_o \cdot ESR) s + R_{load}} \cdot V_{in} \cdot \frac{1}{V_{osc}} \quad 2-53$$

Finalmente, la ganancia de lazo del sistema completo está determinada por:

$$M(s) = \frac{1}{k} \times H(s) \times G(s) \quad 2-54$$

### ***Tipos de controladores y compensadores***

Existe una gran variedad de controladores y compensadores, sin embargo, por su simplicidad y porque pueden ser aplicados a todo sistema de control sobre todo cuando no se conoce el modelo matemático del sistema a compensar se describe brevemente los tipos de controladores PID, los compensadores tipo I, II y III, y los compensadores de adelanto y retraso.

La diferencia entre un controlador y un compensador, es que los controladores están diseñados para mantener un valor determinado a la salida con el mínimo error posible respecto a la referencia y para realizar tareas más complejas como por ejemplo minimizar el consumo de energía durante la operación, mientras que un compensador apunta a modificar la dinámica del sistema para mejorar el comportamiento del sistema de lazo abierto como por ejemplo mejorar la estabilidad, mejorar el comportamiento de la respuesta en el tiempo,

añadir un retardo o adelantar la salida respecto a la señal original, incrementar la ganancia en ciertas frecuencias o incrementar el margen y/o fase de ganancia entre otros. En la tabla 2-2 se resume la estructura de la función de transferencia de los controladores y compensadores más comunes.

*Tabla 2-2 Tipos de controladores y compensadores comunes.*

<b>Compensador de retraso</b>	Contiene un solo polo y un solo cero donde el polo está a una frecuencia más baja que el cero. Por lo general, se usa para reducir el error de estado estable agregando ganancia de baja frecuencia.
<b>Compensador de adelanto</b>	Contiene un solo polo y un solo cero donde el polo está a una frecuencia más alta que el cero. Por lo general, se usa para mejorar los márgenes de estabilidad agregando un adelanto de fase de baja frecuencia desde cero.
<b>Compensador de adelanto/retraso</b>	Contiene dos polos y dos ceros, con los polos intercalando los ceros. Este es esencialmente un compensador de retraso y adelanto en serie.
<b>Compensador Tipo I</b>	Es un control integral puro. Elimina el error en una perturbación de la función escalonada, pero reduce los márgenes de estabilidad. En algunos sistemas, funciona bien, pero generalmente responde con lentitud porque la reducción de los márgenes de estabilidad significa que debe usarse con una ganancia baja.
<b>Compensador Tipo II</b>	Contiene dos polos (uno un integrador) y un cero.
<b>Compensador Tipo III</b>	Contiene tres polos (uno es un integrador) y dos ceros, donde el polo adicional y el cero a menudo se colocan en la misma ubicación que los de un controlador de tipo 2.

**Proporcional derivativo PD** Contiene un solo cero y generalmente se usa en sistemas que ya tienen integración para proporcionar mejores márgenes de estabilidad.

**Proporcional integral PI** Contiene un solo polo (un integrador) y un solo cero. El integrador elimina el error de estado estable a los pasos y el cero mejora los márgenes de estabilidad.

**Proporcional integral derivativo PID** Contiene dos polos (uno es un integrador, otro de alta frecuencia para cortar la derivada y evitar la amplificación del ruido y las señales de paso al infinito) y dos ceros entre ellos.

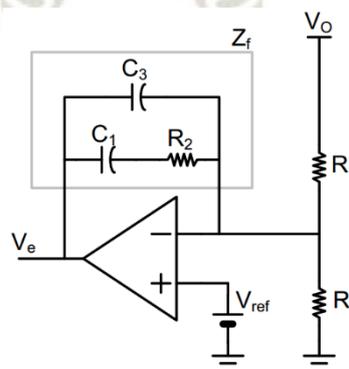
Nota. Fuente *Engineering*. (Septiembre de 2014). *PID controller, Lead/Lag, Type 2 and Type 3 controller*. Obtenido de *Eng-tips*: <https://www.eng-tips.com/viewthread.cfm?qid=370916>

Para una fuente de conmutación, el estándar es utilizar compensadores de tipo II o tipo III dependiendo de los parámetros que se den. En las siguientes líneas se explica brevemente cada uno.

#### *Compensador de tipo II*

El compensador de tipo II se utiliza cuando la frecuencia del cero del capacitor de salida y su resistencia ESR es menor que la frecuencia de corte, y cuando no se requiere ampliar el margen de fase ya que este compensador tiene una fase siempre negativa. La ilustración 2-49 muestra el circuito del compensador de tipo II y la ecuación 2-55 muestra la función de transferencia correspondiente.

**Ilustración 2-49** *Compensador de tipo II.*



Nota. Fuente *Lee, S. (2014). Demystifying Type II and Type III Compensators Using OpAmp and OTA for DC/DC Converters*. Dallas: Texas Instruments.

$$H(s) = \frac{1+C_1R_2 s}{(C_3+C_1)R_1 s+R_1R_2C_1C_3 s^2}$$

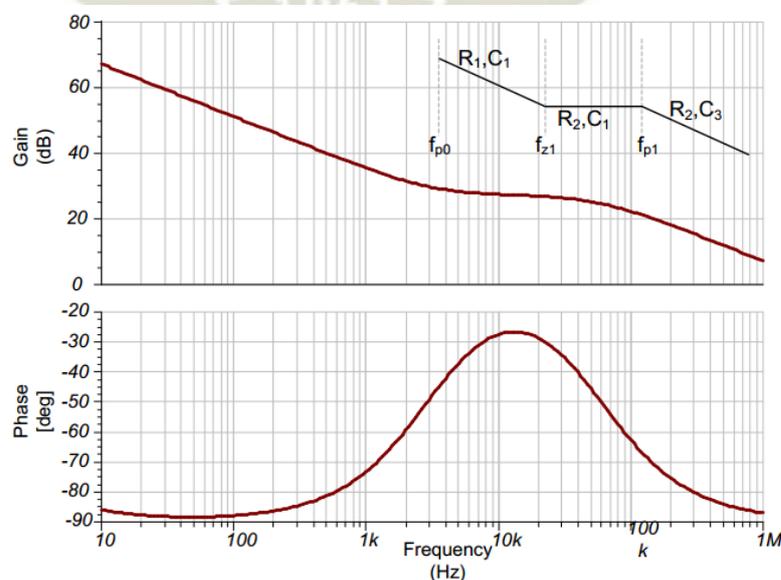
2-55

En el diagrama de Bode del compensador, ilustración 2-50, se observa que el primer polo,  $f_{p0}$ , en el origen añade una ganancia hasta la ubicación del primer cero,  $f_{z1}$ , de la función de transferencia, este cero allana la ganancia para las frecuencias medias hasta la posición del segundo polo,  $f_{p1}$ , y desde este punto en adelante la ganancia se atenúa. En el plano de la fase se observa que siempre tiene una fase negativa que mejora para las frecuencias medias llegando a valores cercanos a cero, pero nunca lo alcanza. Es por esto que este tipo de compensador se utiliza usualmente para fuentes que operan en el modo de conducción discontinua o con control de corriente.

El compensador de tipo III se utiliza cuando se quiere dar solución a un sistema inestable o mejorar un sistema condicionalmente estable en donde no importa el valor de la resistencia ESR del capacitor de salida ya que la posición de los ceros y polos se puede manipular fácilmente.

Un sistema condicionalmente estable es aquel en que la fase disminuye menos de  $-180^\circ$  y luego aumenta más allá de este número antes de la frecuencia de corte. Para estabilizar un sistema que presenta esta característica se utiliza el compensador de tipo III ya que su fase siempre es positiva y aumenta de manera considerable en la vecindad de la frecuencia de cruce de fase lo que permite mejorar el margen de fase del sistema que se quiere compensar.

*Ilustración 2-50 Forma apropiada de un compensador de tipo II.*

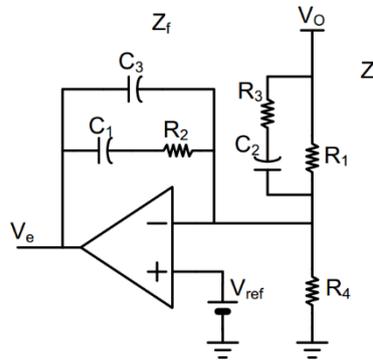


*Nota. Fuente Lee, S. (2014). Demystifying Type II and Type III Compensators Using OpAmp and OTA for DC/DC Converters. Dallas: Texas Instruments.*

La ilustración 2-51 muestra el diagrama del compensador y la ecuación 2-56 describe la función de transferencia.

$$H(s) = \frac{(s C_2 (R_1 + R_3) + 1)(s C_1 R_2 + 1)}{(s R_1 (C_1 + C_3))(s C_2 R_3 + 1) \left( s \left( \frac{C_1 C_3 R_2}{C_1 + C_3} \right) + 1 \right)} \quad 2-56$$

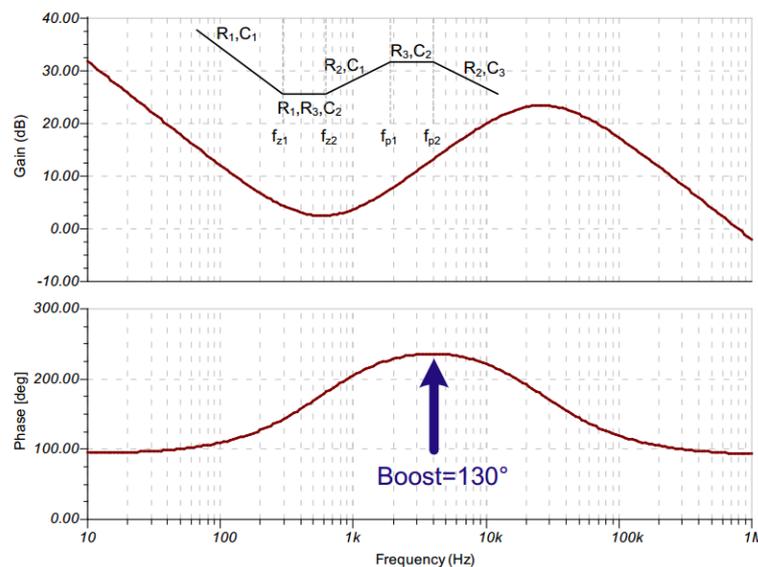
**Ilustración 2-51** Compensador de tipo III.



*Nota. Fuente Lee, S. (2014). Demystifying Type II and Type III Compensators Using OpAmp and OTA for DC/DC Converters. Dallas: Texas Instruments.*

En la ilustración 2-52 se observa que el polo en el origen,  $f_{p0}$ , brinda la ganancia inicial, luego el primer cero,  $f_{z1}$ , allana la ganancia hasta el siguiente cero coincidente,  $f_{z2}$ , que le da un nuevo impulso a la ganancia hasta el segundo polo,  $f_{p1}$ , que vuelve a allanar la ganancia hasta que finalmente el segundo polo,  $f_{p2}$ , atenúa la señal en adelante. Como se mencionó la fase siempre es positiva y aumenta de manera considerable entre el cero  $f_{z1}$  y el polo  $f_{p2}$ .

**Ilustración 2-52** Forma apropiada de un compensador de tipo III.

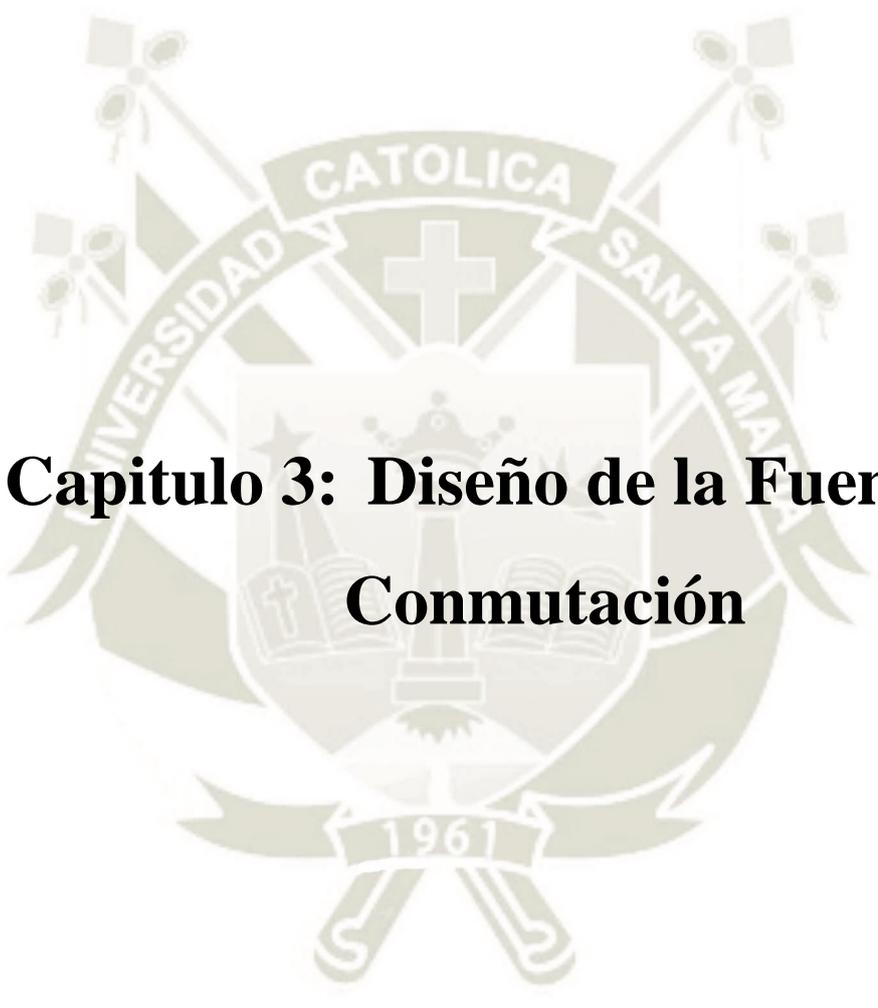


*Nota. Fuente Lee, S. (2014). Demystifying Type II and Type III Compensators Using OpAmp and OTA for DC/DC Converters. Dallas: Texas Instruments.*

## 2.7. Resumen del Capítulo

El presente capítulo presenta una introducción al concepto de fuentes de conmutación y los principios de un sistema de control para regular el voltaje de salida. Se ha mostrado la evolución de un concepto básico de manipulación del voltaje de entrada mediante switches hasta la formación de una fuente de topología Buck o reductora, luego se ha demostrado que una fuente Buck de múltiples fases es capaz de cubrir deficiencias como corrientes mayores a 40 amperios, bajo rizado de corriente y voltaje y pequeño tamaño propios de una fuente de una sola fase Buck, finalmente se propone la modificación de una fuente de conmutación Buck con capacitor en serie de tres fases para evitar las pérdidas de conmutación asociadas con un voltaje de alimentación mucho mayor que el voltaje de salida deseado.

También, se ha descrito brevemente los principios de regulación de voltaje, estabilidad y compensación del error. Es necesario incluir un compensador que permita asegurar la estabilidad de la fuente para lo cual se debe realizar un análisis profundo de la función de transferencia de la fuente de conmutación con la que se esté trabajando para colocar los polos y ceros de tal manera que exista un margen de estabilidad que permita un funcionamiento correcto bajo toda condición.



## Capítulo 3: Diseño de la Fuente de Conmutación

### 3. Diseño de la Fuente de Conmutación

#### 3.1. Especificaciones de la fuente de conmutación

Intel en el documento Voltage Regulator Module (VRM) and Enterprise Voltage Regulator-Down (EVRD) 11.1 Design Guidelines 7 (Intel Corporation, 2009) especifica los principales parámetros de operación para que una fuente alimente de manera satisfactoria a sus microprocesadores. Dentro de estas especificaciones se encuentran los detalles del Regulador de Voltaje Empresarial Reductor o EVRD el cual es una fuente parte de una tarjeta madre.

En base a las especificaciones dadas por Intel se tomarán los parámetros mostrados en la tabla 3-1 para el diseño de la fuente de conmutación.

*Tabla 3-1 Parámetros eléctricos de la fuente Buck multifase con capacitor en serie.*

Símbolo	Parámetro	Mínimo	Típico	Máximo	Unidad
$V_i$	Voltaje de Entrada	11.5	12	12.5	V
$V_o$	Rango de voltaje Modo 1 y Modo 2	0.8	1.52	1.8	V
$I_{O_{Max}}$	Máxima corriente $I_{cc}$	-	-	40	A
$\Delta V_o$	Rizado de voltaje de salida		10		mVpp
$\Delta I_L$	Rizado de corriente de fase		3		App

*Nota. Fuente elaboración propia*

#### 3.2. Esquemáticos de la fuente y sus modos de operación.

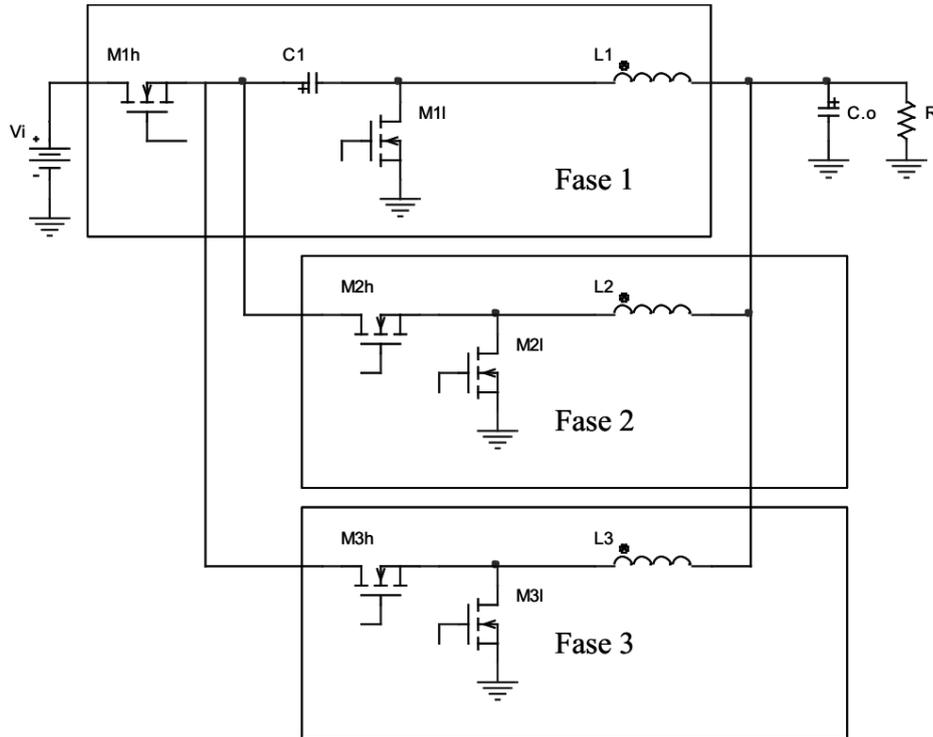
La fuente de conmutación del presente diseño es de topología Buck o reductora de tres fases en donde una de las fases tiene un capacitor en serie  $C_1$  con la fuente de entrada, ilustración 3-1.

Tal como se mencionó en el capítulo anterior la fase 1 actúa como fuente de alimentación para la fase 2 y fase 3 en intervalos distintos de tiempo, y a su vez provee de corriente a la carga cuando se opera en el intervalo 1.

El funcionamiento está determinado por dos modos de operación. El modo 1 opera cuando la corriente requerida por la carga es a menor de 20 amperios, en este modo solo la

fase uno y dos están en operación; y el modo 2 opera cuando la carga es mayor a 20 amperios, en este modo las tres fases están en operación.

*Ilustración 3-1* Conversor Buck multifase con capacitor en serie.



*Nota.* Fuente elaboración propia.

### 3.2.1. Modo de operación 1

El Modo de operación 1 consiste de cuatro intervalos de operación. En donde, durante el intervalo uno y tres los inductores  $L_1$  y  $L_2$  son energizados respectivamente, y durante el intervalo dos y cuatro los mismos inductores descargan su energía en la carga y capacitor de salida. Las curvas de operación del ciclo de trabajo, y de la carga y descarga de los inductores se muestran en la ilustración 3-2.

La secuencia de conmutación de los intervalos de los cuatro MOSFET que gobiernan la fuente se muestran en la tabla 3-2.

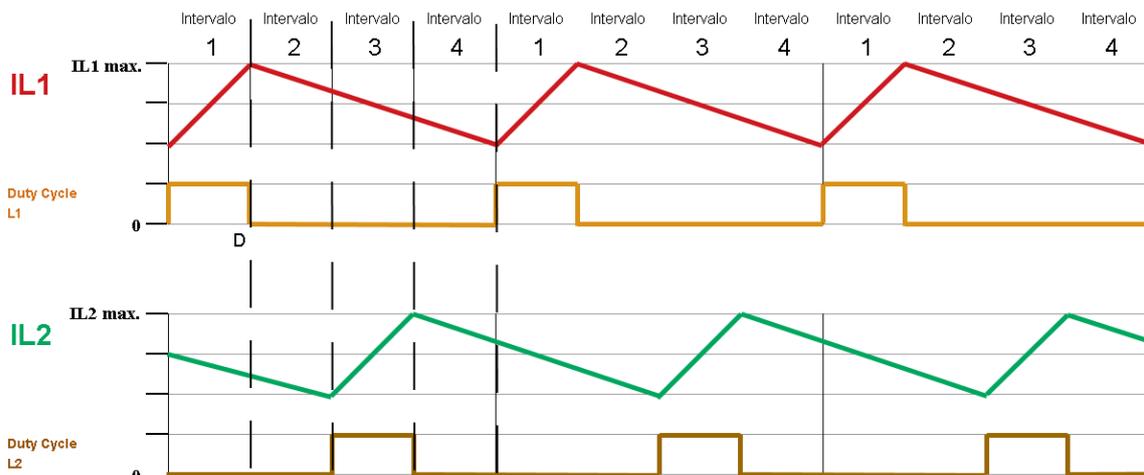
*Tabla 3-2* Secuencia de conmutación Modo 1 — dos Fases.

Intervalo	Fase	MH MOSFET en posición alta	ML MOSFET en posición baja
Intervalo 1	Fase 1	On	Off
	Fase 2	Off	On
	Fase 1	Off	On

Intervalo 2 y 4	Fase 2	Off	On
	Fase 1	Off	On
Intervalo 3	Fase 2	On	Off

Nota. Fuente elaboración propia.

**Ilustración 3-2** Intervalos de operación del modo 1.

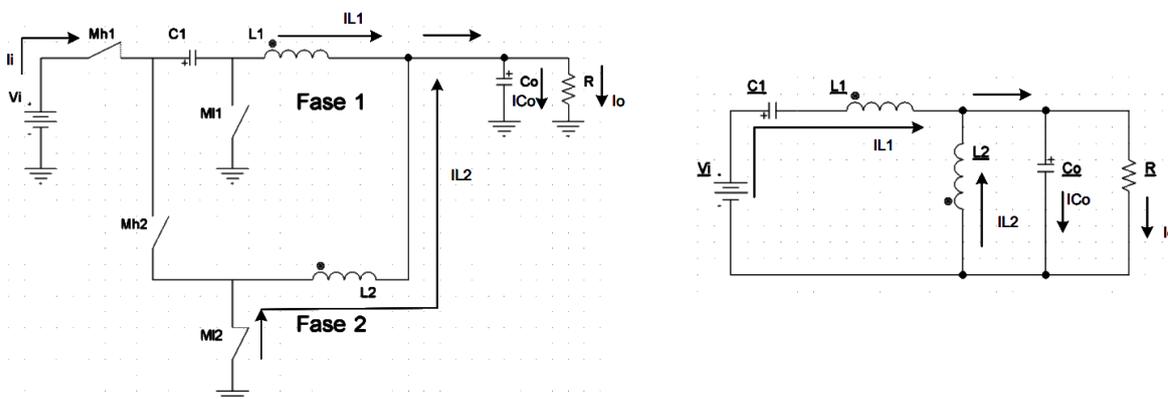


Nota. Fuente elaboración propia.

### 3.2.1.1. Intervalo 1

Durante este intervalo se registran dos actividades: En la fase 1, la fuente de alimentación  $V_i$  energiza al capacitor en serie  $C_1$ , al inductor  $L_1$ , al capacitor  $C_0$  y a la carga  $R$ ; en la fase 2 el inductor  $L_2$  alimenta la carga  $R$ ; y la corriente de salida es la suma de las corrientes de ambos inductores. La ilustración 3-3 muestra el circuito con los MOSFET en el estado indicado en la tabla 3-2.

**Ilustración 3-3** Circuito de la fuente de conmutación en intervalo 1 — modo 1.



Nota. Fuente elaboración propia.

Las ecuaciones descriptivas del circuito se obtienen teniendo en cuenta el método del

modelo de promedio de señal grande o large signal average model en inglés. Mediante este modelo se asume que las señales en continua son mucho mayores que las señales en alterna y por lo tanto se les separa para el análisis.

Para la fase 1 siguiendo el bucle de la corriente  $I_{L1}$  se obtiene la caída de tensión en el inductor  $L_1$ , ecuación 3-1.

$$L_1 \cdot \frac{dI_{L1}}{dt} = V_i - V_{C1} - V_O \quad 3-1$$

Luego, teniendo en cuenta que el ciclo de trabajo para el intervalo 1 se denomina  $DC_1$  y trabajando con el modelo de promedio de señal grande, de la ecuación 3-1 se obtiene:

$$-DC_1 \cdot V_i + DC_1 \cdot V_{C1} + V_{L1} + V_O = 0 \quad 3-2$$

A continuación, para la fase 2, siguiendo el bucle de la corriente  $I_{L2}$  se obtiene la ecuación 3-3

$$L_2 \cdot \frac{dI_{L2}}{dt} = -V_O \quad 3-3$$

Finalmente, la corriente que fluye por el capacitor  $C_o$ , durante la carga del mismo, es la suma de las corrientes de los inductores de la fase 1 y 2 menos la corriente que fluye por la resistencia  $R$ . La ecuación 3-4 siempre será la misma para todos los intervalos de operación.

$$C_o \cdot \frac{dV_{Co}}{dt} = I_{L1} + I_{L2} - I_O \quad 3-4$$

### 3.2.1.2. Intervalo 2 y 4

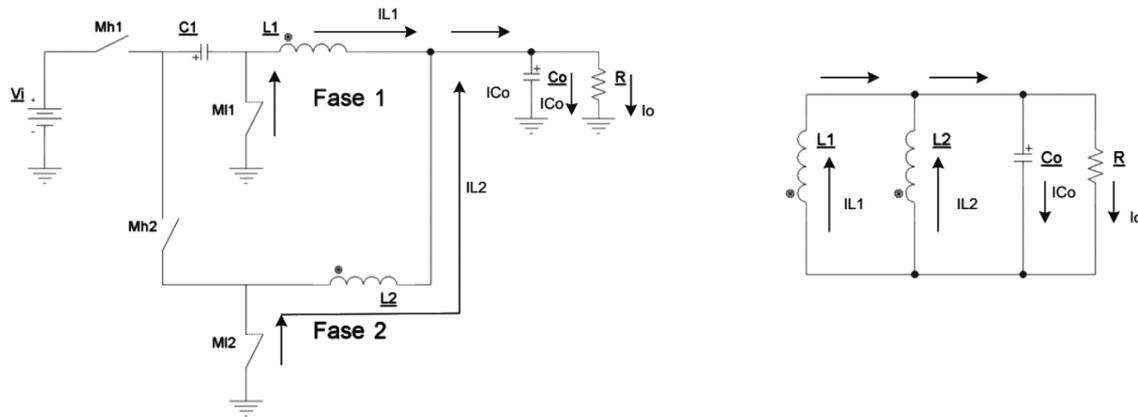
Durante estos intervalos los dos MOSFET en posición alta, MH1 y MH2, de la fase 1 y 2 se encuentran en la posición OFF por lo que tanto la energía almacenada en el inductor  $L_1$  como la energía del inductor  $L_2$  alimentan a la carga  $R$ ; y al igual que en el intervalo 1 la corriente de salida es la suma de las corrientes de ambos inductores. La ilustración 3-4 muestra el circuito operando en los intervalos 2 y 4.

Las ecuaciones del bucle de voltaje para la fase 1 y la fase 2 del circuito son similares:

$$L_1 \cdot \frac{dI_{L1}}{dt} = -V_O \quad 3-5$$

$$L_2 \cdot \frac{dI_{L2}}{dt} = -V_O \quad 3-6$$

**Ilustración 3-4** Circuito de la fuente de conmutación en intervalos 2 y 4 — modo 1

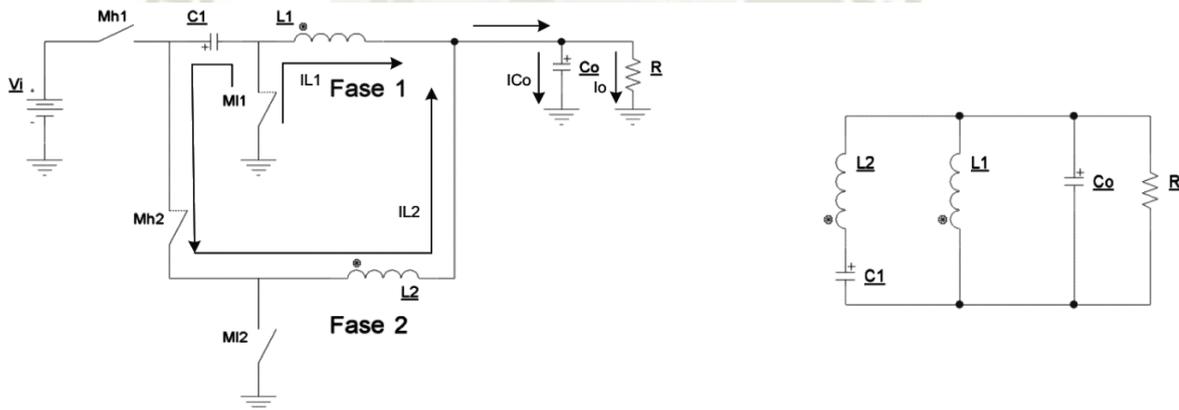


Nota. Fuente elaboración propia.

### 3.2.1.3. Intervalo 3

En el tercer intervalo el capacitor en serie  $C_1$  energiza al inductor  $L_2$ , mientras el inductor  $L_1$  alimenta la carga. Al igual que en los casos anteriores la corriente de salida es la suma de las corrientes de ambos inductores. Ilustración 3-5.

**Ilustración 3-5** Circuito de la fuente de conmutación en intervalo 3 — modo 1.



Nota. Fuente elaboración propia.

El bucle de voltaje de la fase 1 es idéntico al intervalo 2 y 4 por lo que la ecuación 3-5 se mantiene para este intervalo. En el caso de la fase 2, el voltaje en el inductor  $L_2$  está determinado por la diferencia del voltaje del capacitor en serie  $V_{C1}$  y el voltaje de salida  $V_0$ , entonces a diferencia de la ecuación 3-1 en este caso el voltaje de entrada  $V_i$  no es parte del circuito.

$$L_2 \cdot \frac{dI_{L2}}{dt} = V_{C1} - V_0 \quad 3-7$$

Finalmente, teniendo en cuenta que el ciclo de trabajo para el intervalo 2 se denominara  $DC_2$  se obtiene

$$-DC_2 \cdot V_{C1} + V_{L2} + I_O \cdot R_O = 0 \quad 3-8$$

### 3.2.1.4. Ciclo de Trabajo

En el modo 1 de operación, el ciclo de trabajo de la fase 1 es igual al ciclo de trabajo de la fase 2 por lo que:

$$DC = DC_1 = DC_2 \quad 3-9$$

Luego, teniendo en cuenta el modelo del promedio de señal grande, la corriente de los inductores  $L_1$  y  $L_2$  es continua y constante por lo que la derivada de estas es cero, ecuaciones 3-2 y 3-8. Además, sabiendo que en estado estable las corrientes de los inductores deben ser iguales para mantener el balance entre ambas fases es que se igualan los voltajes de los inductores de las ecuaciones 3-2 y 3-8 de la fase 1 y 2 respectivamente y se obtiene:

$$DC \cdot V_i - DC \cdot V_{C1} - V_O = DC \cdot V_{C1} - V_O \quad 3-10$$

Y, despejando el voltaje del capacitor de salida  $V_{C1}$  la expresión se reduce a:

$$V_{C1} = \frac{V_i}{2} \quad 3-11$$

Se observa que el voltaje en el capacitor en serie  $C_1$  es la mitad del voltaje  $V_i$ , que el voltaje de entrada para el inductor  $L_1$  y voltaje de salida  $V_o$  es la diferencia del voltaje  $V_i$  y voltaje  $V_{C1}$ , y finalmente que, para la fase, 2 el voltaje de entrada es solo  $V_{C1}$ . Entonces, se demuestra que el voltaje a conmutar para una fuente de dos fases es la mitad del voltaje de alimentación al circuito.

Luego, reemplazando la ecuación 3-9 y 3-11 en la ecuación 3-1 se obtiene la relación de voltaje de salida y la relación del ciclo de trabajo.

$$0 = DC \cdot V_i - DC \cdot \frac{V_i}{2} - V_O$$

$$V_O = DC \cdot \frac{V_i}{2} \quad 3-12$$

$$DC = 2 \cdot \frac{V_O}{V_i} \quad 3-13$$

Dado que se debe mantener un balance entre carga y descarga del capacitor en serie es que el ciclo de trabajo no debe ser mayor al 50%, como consecuencia el máximo voltaje de

salida teórico corresponde a un cuarto del voltaje de entrada.

$$V_O \leq \frac{V_i}{4} \quad 3-14$$

### 3.2.1.5. Inductor $L_1$ y $L_2$

El valor de las inductancias se calcula de las ecuaciones de los intervalos 1 y 3 cuando el MOSFET en posición alta se encuentra encendido. En estos intervalos el rizado de corriente de los inductores se comporta de manera muy cercana a una pendiente cuyo ratio de crecimiento está dado por el voltaje del inductor sobre el valor del inductor. De la ecuación 3-1 se obtiene

$$L_1 \cdot dI_{L1} = (V_i - V_{C1} - V_O) \cdot T_1 \cdot DC \quad 3-15$$

Donde  $T_1$  es el periodo de operación de la fuente, luego reemplazando 3-11 en 3-15 y despejando el inductor  $L_1$  se obtiene:

$$L_1 = \frac{\left(\frac{V_i}{2} - V_O\right) \cdot DC}{dI_{L1} \cdot f} \quad 3-16$$

Para obtener el valor de la inductancia de la fase 2 se sigue el mismo procedimiento con la ecuación 3-7 y puesto que  $V_{C1}$  es la mitad del valor del voltaje de entrada la ecuación 3-17 es igual a la ecuación 3-16.

$$L_2 = \frac{\left(\frac{V_i}{2} - V_O\right) \cdot DC}{dI_{L2} \cdot f} \quad 3-17$$

Las ecuaciones 3.16 y 3.17 también se pueden escribir de la siguiente manera luego de reemplazar las ecuaciones 3-12 y 3-13 en ellas respectivamente.

$$L_{1/2} = \frac{V_O \left(1 - \frac{2 \cdot V_O}{V_i}\right)}{dI_L \cdot f} \quad 3-18$$

$$L_{1/2} = \frac{V_O(1-DC)}{dI_L \cdot f} \quad 3-19$$

### 3.2.1.6. Rizado de corriente de carga

El rizado de corriente en la carga  $R$  es la suma de los rizados de corriente de los inductores de cada una de las fases, para calcular el rizado de corriente de salida se puede tomar en cuenta la suma de las corrientes del intervalo 1.

$$dI_{Lo} = dI_{L1} + dI_{L2} \quad 3-20$$

Despejando  $dI_{L1}$  y  $dI_{L2}$  de la ecuación 3-3 y 3-15, y luego reemplazando el resultado en 3-20 se obtiene:

$$dI_{Lo} = \frac{(V_i - V_{C1} - V_0)}{L_1} \cdot DC_1 T_1 - \frac{V_0}{L_2} \cdot DC_2 T_2 \quad 3-21$$

Finalmente, teniendo en cuenta los valores y tiempos de inicio y fin de las rampas del rizado de corriente del intervalo 1, la ecuación 3-21, se expresa de la siguiente manera:

$$dI_{Lo} = \begin{cases} dI_{L1} = \frac{(V_i - V_{C1} - V_0)}{L_1} \cdot t, & 0 \leq t \leq DC_1 T_1 \\ dI_{L2} = -\frac{V_0}{L_2} \cdot (t + (T_1 - (T_2/2 + DC_1 T_1))) + \frac{DC_1 T_1 (V_{C1} - V_0)}{L_2}, & 0 \leq t \leq DC_1 T_1 \end{cases} \quad 3-22$$

### 3.2.1.7. Capacitor de salida

La carga  $Q$  de todo capacitor está determinada directamente por el valor del capacitor  $C_o$  en faradios y el voltaje que se le aplica al mismo.

$$Q = C_o \cdot V_0 \quad 3-23$$

Así mismo, la variación de carga en el capacitor  $C_o$  es la variación o rizado del voltaje de salida, por lo que:

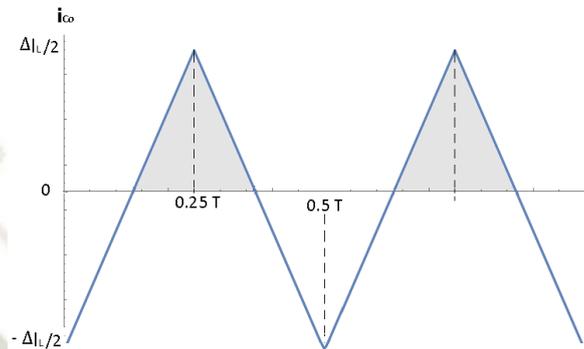
$$dQ = C_o \cdot dV_0 \quad 3-24$$

Entonces, para calcular el valor requerido del capacitor se puede utilizar la ecuación de carga tradicional o el método geométrico. Por practicidad en esta tesis se utilizará el método geométrico.

Para calcular la carga  $Q$  se requiere determinar la forma geométrica que tendrá la corriente en un periodo de tiempo. Entonces, puesto que para el modo 1 la corriente de salida es la suma del rizado de dos corrientes que tienen la misma frecuencia, el rizado de salida tendrá una frecuencia igual al doble de la frecuencia de conmutación. Luego, se observa que el valor máximo de la suma de los rizados de corriente, para dos fases, se da cuando el desfase entre las mismas es de  $180^\circ$ , el resultado se muestra en la ilustración 3-6. Además, en la ilustración el área sombreada representa la carga  $Q$  del capacitor y se observa que el

triángulo sombreado tiene una base igual al 25% del valor del periodo  $T$ . Finalmente, para calcular el área sombreada,  $Q$ , se aplica la ecuación del área de un triángulo, y la ecuación 3-25 es el resultado.

**Ilustración 3-6** Rizo de corriente de salida en un periodo de tiempo y  $DC=25\%$ .



*Nota. Fuente Hart, D. W. (2011). DC-DC Converters. En D. W. Hart, Power Electronics (págs. 196 - 264). Valparaíso: Mc Graw Hill.*

$$dQ = 2 \cdot \frac{T}{4} \cdot \frac{di_L}{2}$$

$$dQ = \frac{T \cdot di_L}{8} \tag{3-25}$$

Para obtener el valor del capacitor se iguala la ecuación 3-21 y 3-25, y se reemplaza en 3-24, reordenando se obtiene:

$$dV_O = \frac{V_O \cdot di_{L0}/2}{8 \cdot C_O \cdot f} \tag{3-26}$$

$$C_O = \frac{V_O \cdot di_{L0}/2}{8 \cdot dV_O \cdot f} \tag{3-27}$$

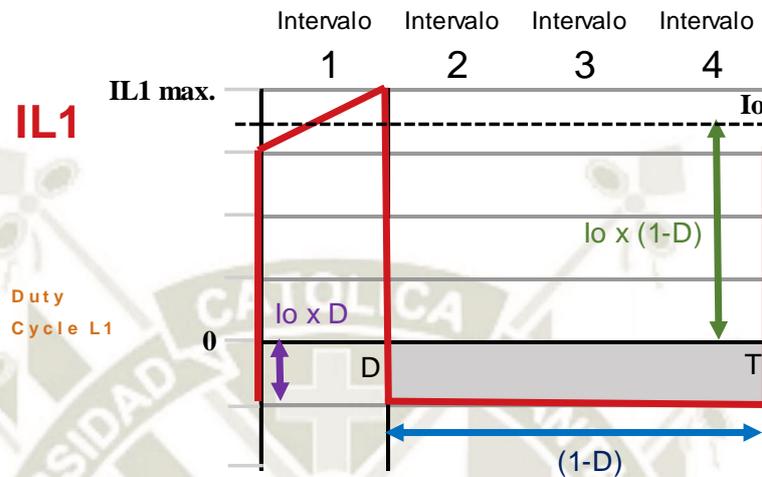
### 3.2.1.8. Capacitor de entrada

El cálculo del valor del capacitor de entrada  $C_i$  está determinado por la carga y el rizado de voltaje de entrada,  $dV_i$ , que se requiere. En la ilustración 3-7 se muestra la corriente que fluye por el capacitor, el área sombreada representa la carga requerida para mantener un  $dV_i$  de acuerdo a especificación.

La base del rectángulo sombreado es el tiempo  $(1-DC) \cdot T$ , y la altura es  $I_O \cdot DC$ , por lo que la carga está determinada por:

$$dQ_{Ci} = (I_o \cdot DC) \cdot (1 - DC) \cdot T \quad 3-28$$

Ilustración 3-7 Corriente en el capacitor de entrada.



Nota. Fuente elaboración propia.

Dado que, solo para la fase 1 y durante un tiempo inicial, la corriente del capacitor de entrada es la corriente del inductor  $I_{L1}$ ; y que la frecuencia es el inverso de un periodo la ecuación 3-28 se puede escribir de la siguiente manera:

$$dQ_{Ci} = \frac{(I_{L1} \cdot DC) \cdot (1 - DC)}{f} \quad 3-29$$

Reemplazando la ecuación 3-29 en 3-24

$$dV_i = \frac{(I_{L1} \cdot DC) \cdot (1 - DC)}{f \cdot C_i} \quad 3-30$$

O

$$C_i = \frac{(I_{L1} \cdot DC) \cdot (1 - DC)}{f \cdot dV_i} \quad 3-31$$

### 3.2.1.9. Capacitor en serie

Para el cálculo del capacitor en serie se utilizará la ley de ohm, entonces se tiene:

$$i_{C1} = C_1 \cdot \frac{dV_{C1}}{dt} \quad 3-32$$

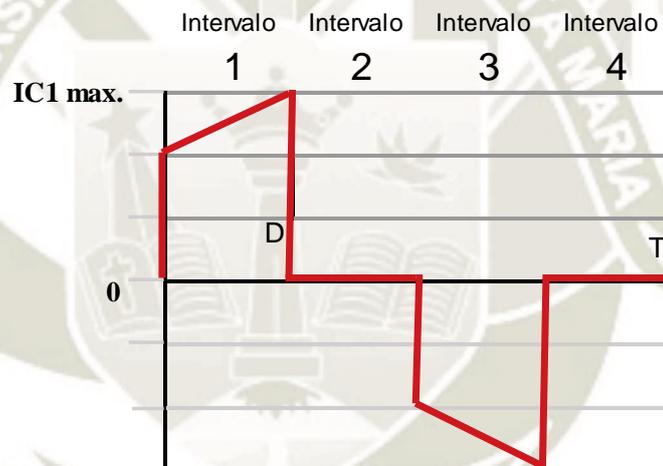
Reordenando.

$$dV_{C1} = \frac{1}{C_1} \cdot i_{C1} \cdot dt \quad 3-33$$

Y puesto que se requiere el área de la corriente del capacitor en serie  $C_1$  durante el tiempo del ciclo de trabajo, la ecuación se puede calcular reemplazando con el promedio de corriente multiplicado el periodo de tiempo indicado. Luego reemplazando el periodo por la frecuencia y sabiendo que en un periodo inicial la corriente del capacitor en serie es la corriente del inductor de la fase 1, se obtiene:

$$dV_{C1} = \frac{I_{CL1} \cdot DC}{C_1 \cdot f} \quad 3-34$$

*Ilustración 3-8 Corriente en el capacitor en serie.*



*Nota. Fuente elaboración propia*

### 3.2.2. Modo de operación 2

En el modo de operación 2, el capacitor en serie  $C_1$  es energizado por la fuente de entrada durante el intervalo 1, y la energía almacenada es transferida al inductor  $L_2$  durante el intervalo 3. Luego el capacitor en serie es cargado nuevamente en el intervalo 5, y esta vez la energía almacenada es transferida al inductor  $L_3$  durante el intervalo 7.

Para que el capacitor pueda cargarse y descargarse en cada inductor en intervalos diferentes y mantener un balance de corrientes es necesario que:

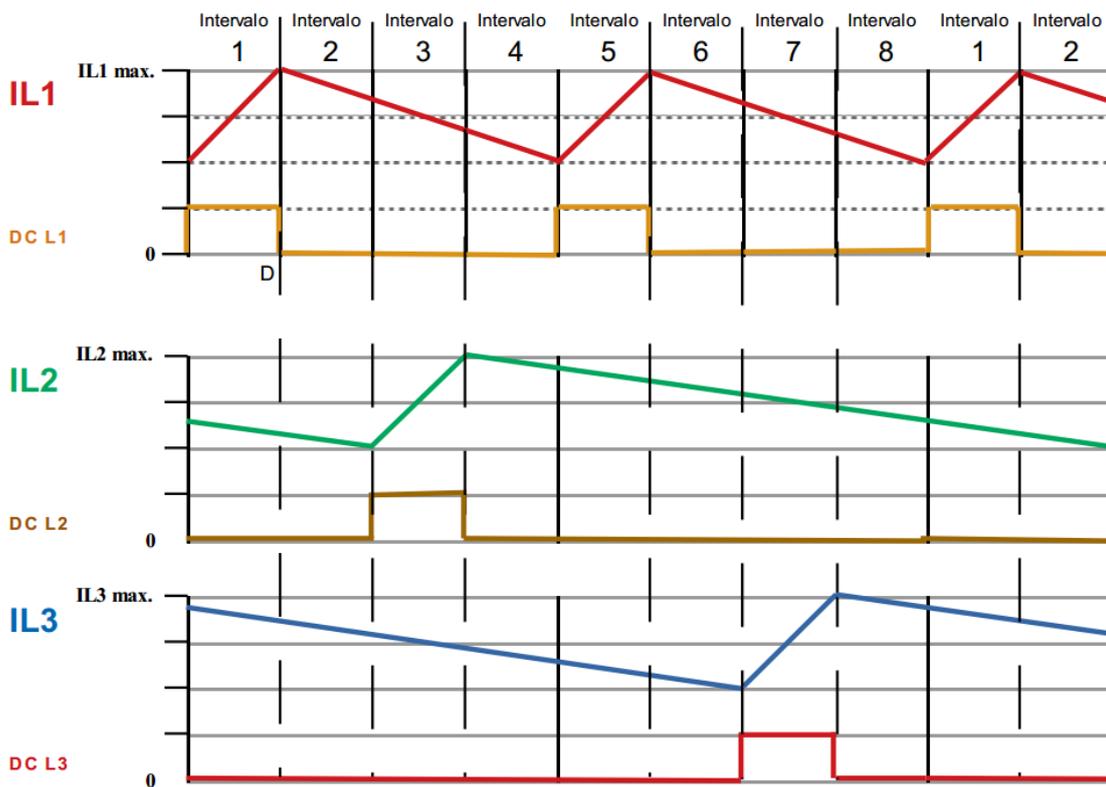
- La frecuencia de trabajo de la fase 1 sea exactamente el doble de la frecuencia

de trabajo de las fases 2 y 3.

- b. El ciclo de trabajo de la fase 1 debe ser el doble del ciclo de trabajo de las fases 2 y 3.
- c. El ciclo de trabajo de la fase 1 debe ser menor de 50% por lo que el ciclo de trabajo de las fases 2 y 3 debe ser menor de 25% para mantener el balance de las cargas de los inductores.

La ilustración 3-9 muestra la corriente de cada inductor y su relación con el ciclo de trabajo. Y, la secuencia de conmutación de los cuatro MOSFET que gobiernan la fuente se muestran en la tabla 3-3.

*Ilustración 3-9 Intervalos de operación del Modo 2.*



*Nota. Fuente elaboración propia.*

**Tabla 3-3** Secuencia de conmutación modo 1 — tres fases.

Intervalo	Fase	MH MOSFET en posición alta	ML MOSFET en posición baja
Intervalo 1 y 5	Fase 1	On	Off
	Fase 2	Off	On
	Fase 3	Off	On

	Fase 1	Off	On
Intervalo 2, 4,6 y 8	Fase 2	Off	On
	Fase 3	Off	On
	Fase 1	Off	On
Intervalo 3	Fase 2	On	Off
	Fase 3	Off	On
	Fase 1	Off	On
Intervalo 7	Fase 2	Off	On
	Fase 3	On	Off

*Nota. Fuente elaboración propia.*

### 3.2.2.1. Operación en intervalo 1 y 5

Durante estos intervalos la fuente de entrada carga al capacitor en serie  $C_1$  y la corriente también fluye por el inductor  $L_1$  y la resistencia  $R$ . En paralelo, los inductores  $L_2$  y  $L_3$  alimentan la carga  $R$ , y la corriente de salida es la suma de la corriente de los inductores de las tres fases. Ilustración 3-10.

Siguiendo los mismos principios que en el modo 1 se obtienen las ecuaciones de operación. Para la fase 1 se tiene.

$$L_1 \cdot \frac{dI_{L1}}{dt} = V_i - V_{C1} - V_O \quad 3-35$$

De donde se deriva:

$$-DC_1 \cdot V_i + DC_1 \cdot V_{C1} + V_{L1} + V_O = 0 \quad 3-36$$

Para la fase 2 y 3.

$$L_2 \cdot \frac{dI_{L2}}{dt} = -V_O \quad 3-37$$

y

$$L_3 \cdot \frac{dI_{L3}}{dt} = -V_O \quad 3-38$$

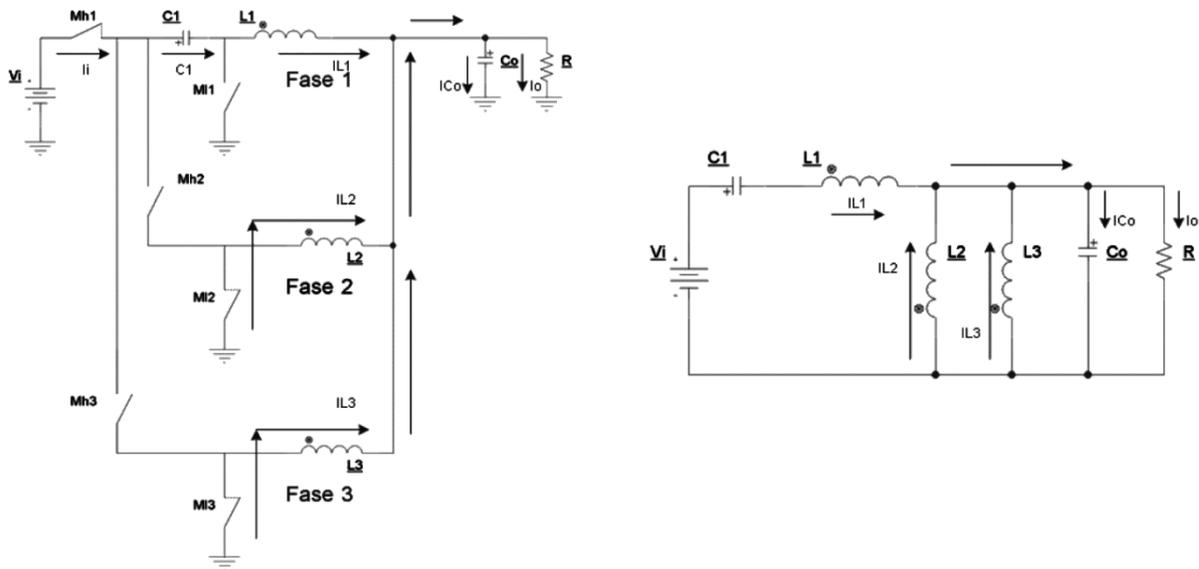
Finalmente, la corriente de salida esta dada por:

$$I_{L1} + I_{L2} + I_{L3} = I_{Co} + I_o \quad 3-39$$

Y, despejando la corriente del capacitor de salida se obtiene:

$$C_o \cdot \frac{dV_{Co}}{dt} = I_{L1} + I_{L2} + I_{L3} - I_o \quad 3-40$$

**Ilustración 3-10** Circuito de la fuente de conmutación en intervalo 1 y 5 — modo 2.



Nota. Fuente elaboración propia.

### 3.2.2.2. Operación en intervalo 2, 4, 6 y 8

Durante estos intervalos los tres MOSFET *MH* en posición alta se encuentran en la posición apagada y los MOSFET *ML* de la posición baja están en posición encendido por lo que la fuente de entrada  $V_i$  esta desconectada del circuito y los inductores  $L_1$ ,  $L_2$  y  $L_3$  alimentan a la carga  $R$ . La corriente de salida es la suma de las corrientes de los tres inductores. Ilustración 3-11.

Las ecuaciones que describen la operación son:

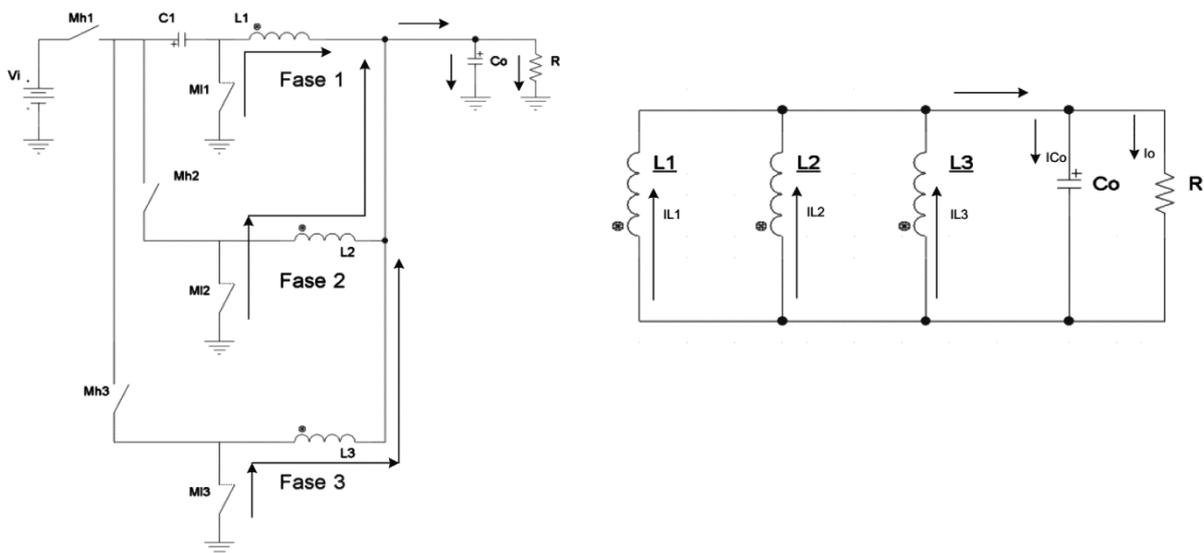
$$L_1 \cdot \frac{dI_{L1}}{dt} = -V_o \quad 3-41$$

$$L_2 \cdot \frac{dI_{L2}}{dt} = -V_o \quad 3-42$$

$$L_3 \cdot \frac{dI_{L3}}{dt} = -V_o \quad 3-43$$

Y la corriente de salida es igual a la ecuación 3-39.

**Ilustración 3-11** Circuito de la fuente de conmutación en intervalo 2, 4, 6 y 8 — modo 2.

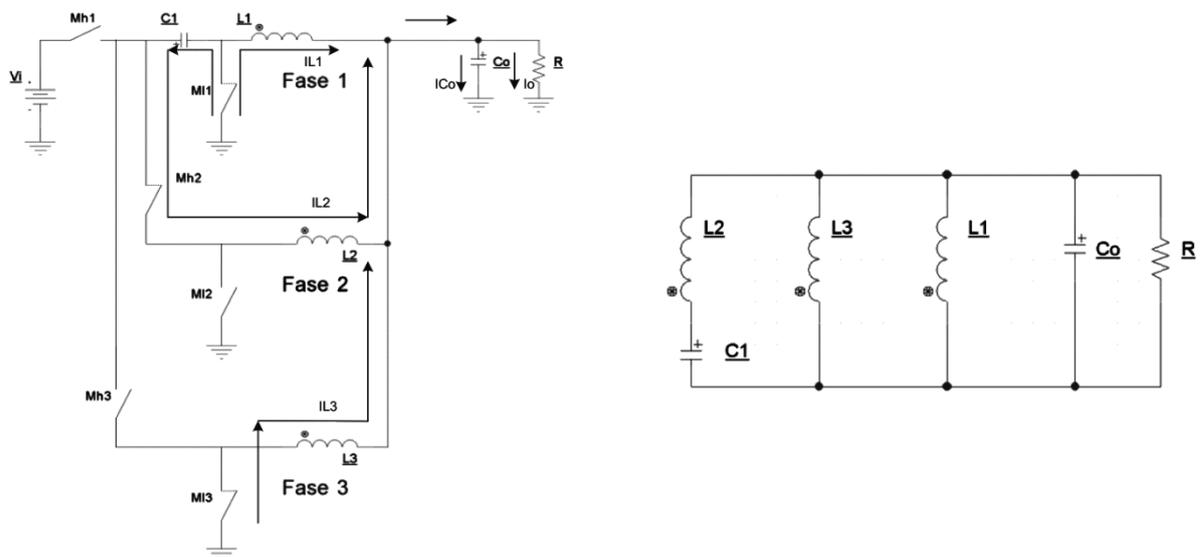


Nota. Fuente elaboración propia.

### 3.2.2.3. Operación en intervalo 3

Este intervalo se comporta igual que el intervalo 3 del modo 1, el capacitor en serie  $C_1$  carga al inductor  $L_2$ , la corriente de salida es igual a la ecuación 3-39. Ilustración 3-12.

**Ilustración 3-12** Circuito de la fuente de conmutación en intervalo 3 — modo 2.



Nota. Fuente elaboración propia.

La ecuación del bucle del voltaje del inductor  $L_2$  es:

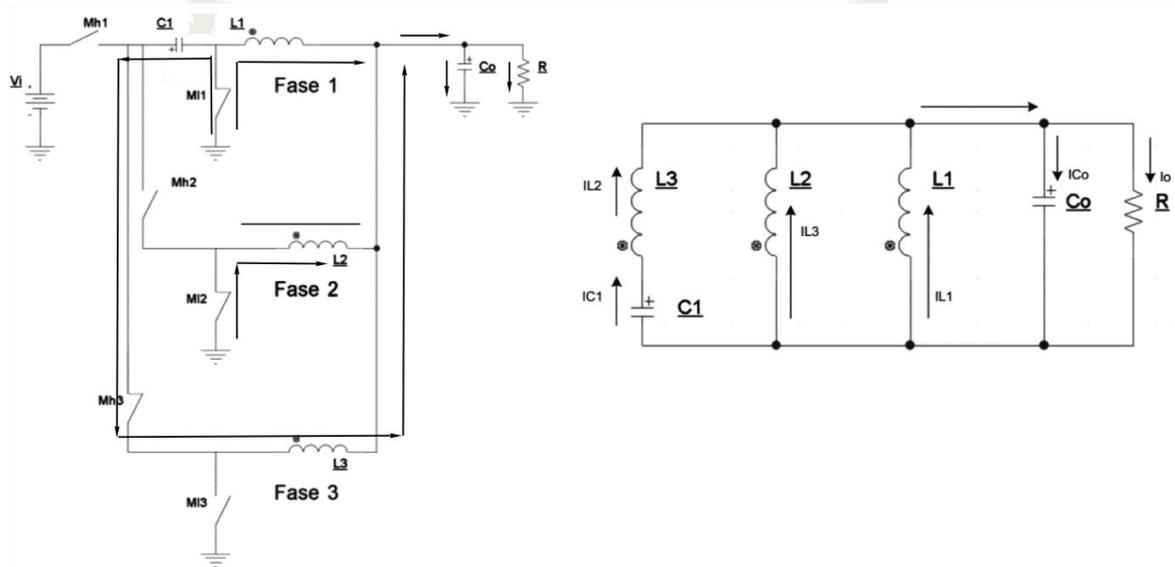
$$L_2 \cdot \frac{dI_{L2}}{dt} = V_{C1} - V_O \quad 3-44$$

### 3.2.2.4. Operación en intervalo 7

En este intervalo a diferencia del intervalo 3, el capacitor en serie  $C_1$  carga al inductor  $L_3$ , y la corriente de salida es igual a la ecuación 3-39. Ilustración 3-13.

$$L_3 \cdot \frac{dI_{L3}}{dt} = V_{C1} - V_O \quad 3-45$$

*Ilustración 3-13 Circuito de la fuente de conmutación en intervalo 7 — modo 2.*



*Nota. Fuente elaboración propia.*

### 3.2.2.5. Ciclo de trabajo

La frecuencia de operación de la fase 1 debe ser el doble que la frecuencia de operación de la fase 2 y 3 para que el capacitor en serie  $C_1$  pueda cargar y descargar los inductores de la fase 2 y 3 en intervalos distintos. Dada esta condición, y para mantener el balance, el ciclo de trabajo de la fase 1 es el doble que el de la fase 2 y 3. Es importante notar que, si bien el ciclo de trabajo es el doble, la duración del tiempo que representan es exactamente igual debido a que la frecuencia de la fase 1 es el doble que el de la fase 2 y 3.

Entonces:

$$D = D_1 = D_2 = D_3 \quad 3-46$$

$$T_1 = \frac{T_2}{2} = \frac{T_3}{2} \quad 3-47$$

$$f_1 = 2 \cdot f_2 = 2 \cdot f_3 \quad 3-48$$

$$DC_1 = 2 \cdot DC_2 = 2 \cdot DC_3 \quad 3-49$$

Donde:

$D$  la duración del ciclo de trabajo en segundos.

$T$  el periodo en segundos.

$f$  la frecuencia en Hertz.

$DC$  el ciclo de trabajo en porcentaje.

Dadas las condiciones de operación establecidas se determina primero el voltaje del capacitor en serie  $V_{C1}$ . Para la fase 1, de la ecuación 3-35 y considerando que el circuito se encuentra en estado estable se determina que

$$0 = \frac{D_1}{T_1} \cdot V_i - \frac{D_1}{T_1} \cdot V_{C1} - V_O \quad 3-50$$

Observar que el ciclo de trabajo ha sido reemplazado por su equivalente en segundos.

Bajo el mismo concepto se deduce el voltaje  $V_{C1}$  para la fase 2 y 3 de la ecuación 3-44 y 3-45.

$$0 = \frac{D_2}{T_2} \cdot V_{C1} - V_O \quad 3-51$$

y

$$0 = \frac{D_3}{T_3} \cdot V_{C1} - V_O \quad 3-52$$

Luego igualando la ecuación 3-50 con 3-51 o 3-52, y teniendo en cuenta las ecuaciones 3-45 y 3-47 se obtiene:

$$2 \cdot \frac{D_1}{\frac{T_2}{2}} \cdot V_i - 2 \cdot \frac{D_1}{\frac{T_2}{2}} \cdot V_{C1} - V_O = \frac{D_2}{T_2} \cdot V_{C1} - V_O$$

Despejando la ecuación anterior para  $V_i$  y  $V_{C1}$ :

$$V_i = \frac{3 \cdot V_{C1}}{2} \quad 3-53$$

y

$$V_{c1} = \frac{2 \cdot V_i}{3} \quad 3-54$$

Se observa que el voltaje del capacitor en serie es 2/3 el voltaje de entrada y no 1/2 como en el caso del Modo 1. Esto se debe a la diferencia de duración del periodo de la fase 1 con la fase 2 y 3.

Reemplazando la ecuación 3-54 en 3-50 se obtiene el ciclo de trabajo para la fase 1 exclusivamente.

$$0 = \frac{D_1}{T_1} \cdot V_i - \frac{D_1}{T_1} \cdot \frac{2 \cdot V_i}{3} - V_O$$

Resolviendo para  $V_O$  y  $DC_1$ .

$$V_O = \frac{D_1}{T_1} \cdot \frac{V_i}{3} \quad 3-55$$

y

$$DC_1 = \frac{3 \cdot V_O}{V_i} \quad 3-56$$

Luego siguiendo el mismo procedimiento para la fase 2 y 3 de las ecuaciones 3.51 y 3.52, se obtiene:

$$DC_2 = \frac{3 \cdot V_O}{2 \cdot V_i} \quad 3-57$$

y

$$DC_3 = \frac{3 \cdot V_O}{2 \cdot V_i} \quad 3-58$$

### 3.2.2.6. Cálculo del inductor $L_1$

De la ecuación 3-35 se despeja el valor del inductor  $L_1$ , y se obtiene la ecuación 3-59

$$L_1 = \frac{(V_i - V_{c1} - V_O)}{dI_{L1}} \cdot T_1 \cdot DC \quad 3-59$$

Luego, reemplazando la ecuación 3-54 en 3-59, y reordenando para obtener la variación de corriente o rizado de corriente del inductor  $L_1$  se obtiene.

$$dI_{L1} = \left( \frac{\frac{V_i - V_o}{3}}{L_1 \cdot f_1} \right) \cdot DC_1 \quad 3-60$$

Despejando el inductor:

$$L_1 = \left( \frac{\frac{V_i - V_o}{3}}{dI_{L1} \cdot f_1} \right) \cdot DC_1 \quad 3-61$$

Para obtener las ecuaciones en función del ciclo de trabajo  $DC_1$  o en función de la relación de transformación  $V_o/V_i$ , se reemplaza las ecuaciones 3-55 y 3-57 en 3-61.

$$L_1 = V_o \cdot \frac{\left(1 - \frac{3 \cdot V_o}{V_i}\right)}{dI_{L1} \cdot f_1} \quad 3-62$$

o

$$L_1 = V_o \cdot \frac{(1 - DC_1)}{dI_{L1} \cdot f_1} \quad 3-63$$

y

$$dI_{L1} = V_o \cdot \frac{(1 - DC_1)}{L_1 \cdot f_1} \quad 3-64$$

### 3.2.2.7. Cálculo del inductor $L_2$ y $L_3$

Para obtener las ecuaciones del valor de los inductores  $L_2$  y  $L_3$  se sigue el mismo procedimiento que para el inductor  $L_1$ . En este caso se trabaja con las ecuaciones 3-44 y 3-45.

$$L_2 = \frac{(V_{C1} - V_o)}{dI_{L2}} \cdot T_2 \cdot DC \quad 3-65$$

$$L_3 = \frac{(V_{C1} - V_o)}{dI_{L3}} \cdot T_3 \cdot DC \quad 3-66$$

Reemplazando 3-54 en 3-65 y 3-66

$$L_{2,3} = \frac{V_o \cdot \left(1 - \frac{3 \cdot V_o}{2 \cdot V_i}\right)}{dI_{L2,3} \cdot f_{2,3}} \quad 3-67$$

y

$$dI_{L2,3} = \frac{V_o \cdot \left(1 - \frac{3 \cdot V_o}{2 \cdot V_i}\right)}{L_{2,3} \cdot f_{2,3}} \quad 3-68$$

Finalmente reemplazando 3-57 y 3-58 en 3-68:

$$dI_{L2,3} = V_o \cdot \left(\frac{1 - DC_{2,3}}{L_{2,3} \cdot f_{2,3}}\right) \quad 3-69$$

### 3.2.2.8. Rizado de corriente en carga

Para el modo 2, el máximo valor del rizado de la corriente de carga  $dI_{Lo}$  es la suma de los rizados de la corriente de los tres inductores en uno de los intervalos, para el presente diseño se toma del primer intervalo de operación definido por el tiempo de ciclo de trabajo de la primera fase.

$$dI_{Lo} = dI_{L1} + dI_{L2} + dI_{L3} \quad 3-70$$

De las ecuaciones 3-35, 3-37 y 3-38 se despeja el rizado de corriente de cada inductor, se reemplaza en 3-70, y se obtiene

$$dI_{Lo} = \frac{(V_i - V_{C1} - V_o)}{L_1} \cdot DC_1 T_1 - \frac{V_o}{L_2} \cdot DC_2 T_2 - \frac{V_o}{L_3} \cdot DC_3 T_3 \quad 3-71$$

Finalmente, teniendo en cuenta los valores y tiempos de inicio y fin de las rampas del rizado de corriente del intervalo 1, la ecuación 3-71, se expresa de la siguiente manera:

$$dI_{Lo} = \begin{cases} dI_{L1} = \frac{(V_i - V_{C1} - V_o)}{L_1} \cdot t, & 0 \leq t \leq DC_1 T_1 \\ dI_{L2} = -\frac{V_o}{L_2} \cdot (t + (T_2 - (T_2/4 + DC_1 T_1))) + \frac{DC_2 T_2 (V_{C1} - V_o)}{L_2}, & 0 \leq t \leq DC_1 T_1 \\ dI_{L3} = -\frac{V_o}{L_3} \cdot (t + (T_2/4 - DC_1 T_1)) + \frac{DC_3 T_3 (V_{C1} - V_o)}{L_3}, & 0 \leq t \leq DC_1 T_1 \end{cases} \quad 3-72$$

### 3.2.2.9. Cálculo del capacitor de salida

Al igual que en el modo 1 el valor del capacitor de salida se calcula en base a la ecuación de la carga y al grafico del rizo de corriente de salida, por lo que la ecuación 3-26 y 3-27 también son válidas para el modo 2 con la única diferencia que el rizado de corriente es la suma de las corrientes de los 3 inductores  $L_1$ ,  $L_2$  y  $L_3$ .

### 3.2.2.10. Cálculo del capacitor de entrada y del capacitor en serie

Las condiciones de operación para el cálculo del capacitor en serie y el capacitor en serie del modo 1 son las mismas para el modo 2, por lo que las ecuaciones 3-26, 3-27 y 3-34 son válidas para ambos modos.

### 3.2.3. Ecuaciones de diseño Modo 1 y 2

En las siguientes tablas se resumen las ecuaciones de diseño que se aplicaran para determinar los componentes de la fuente de conmutación.

Para el modo 1 se tienen las siguientes ecuaciones:

Tabla 3-4 Resumen de ecuaciones modo 1.

Operación de la fuente	Intervalo 1	Intervalo 2 y 4	Intervalo 3
Fase 1	$L_1 \cdot \frac{dI_{L1}}{dt} = V_i - V_{C1} - V_o$	$L_1 \cdot \frac{dI_{L1}}{dt} = -V_o$	$L_1 \cdot \frac{dI_{L1}}{dt} = -V_o$
Fase 2	$L_2 \cdot \frac{dI_{L2}}{dt} = -V_o$	$L_2 \cdot \frac{dI_{L2}}{dt} = -V_o$	$L_2 \cdot \frac{dI_{L2}}{dt} = V_{C1} - V_o$
Salida a carga	$C_o \cdot \frac{dV_{C_o}}{dt} = I_{L1} + I_{L2} - I_o$		
<b>Ciclo de trabajo y voltaje</b> $V_{C1}$	<b>Tiempo de encendido del conmutador</b> $D = D_1 = D_2$	<b>Ciclo de trabajo</b> $DC = 2 \cdot \frac{V_o}{V_i}$	<b>Voltaje de capacitor en serie</b> $V_{C1} = \frac{V_i}{2}$
<b>Inductor</b>	<b>Fase 1</b>	<b>Fase 2</b>	
Valor del inductor	$L_1 = \frac{\left(\frac{V_i}{2} - V_o\right) \cdot DC}{dI_{L1} \cdot f}$	$L_2 = \frac{\left(\frac{V_i}{2} - V_o\right) \cdot DC}{dI_{L2} \cdot f}$	

<b>Rizado de corriente</b>	<b>Fase 1</b>	<b>Fase 2</b>
Rizado	$\frac{dI_{L1}}{dt} = \frac{(V_i - V_{C1} - V_0)}{L_1} \cdot DC_1 T_1$	$dI_{L2} = -\frac{V_0}{L_2} \cdot DC_2 T_2$
<b>Rizado de corriente a la salida</b>	$dI_{L0} = \begin{cases} dI_{L1} = \frac{(V_i - V_{C1} - V_0)}{L_1} \cdot t, & 0 \leq t \leq DC_1 T_1 \\ dI_{L2} = -\frac{V_0}{L_2} \cdot (t + (T_1 - (T_2/2 + DC_1 T_1))) + \frac{DC_1 T_1 (V_{C1} - V_0)}{L_2}, & 0 \leq t \leq DC_1 T_1 \end{cases}$	
<b>Capacitor de Salida</b>	<b>Valor del capacitor de salida</b>	<b>Rizado de Voltaje de salida</b>
	$C_o = \frac{V_o \cdot dI_{L0}/2}{8 \cdot dV_o \cdot f}$	$dV_o = \frac{V_o \cdot dI_{L0}/2}{8 \cdot C_o \cdot f}$
<b>Capacitor de entrada</b>	<b>Valor del capacitor de entrada</b>	<b>Rizado de Voltaje de entrada</b>
	$C_i = \frac{(I_{L1} \cdot DC) \cdot (1 - DC)}{f \cdot dV_i}$	$dV_i = \frac{(I_{L1} \cdot DC) \cdot (1 - DC)}{f \cdot C_i}$
<b>Capacitor en serie</b>	<b>Valor del capacitor en serie</b>	<b>Rizado de Voltaje de capacitor en serie</b>
	$C_1 = \frac{I_{CL1} \cdot DC}{dV_{C1} \cdot f}$	$dV_{C1} = \frac{I_{CL1} \cdot DC}{C_1 \cdot f}$

*Nota. Fuente elaboración propia.*

Para el Modo 2 se tienen las siguientes ecuaciones:

*Tabla 3-5 Resumen de ecuaciones modo 2.*

<b>Operación de la fuente</b>	<b>Intervalo 1 y 5</b>	<b>Intervalo 2, 4, 6 y 8</b>	<b>Intervalo 3</b>	<b>Intervalo 7</b>
Fase 1	$L_1 \cdot \frac{dI_{L1}}{dt} = V_i - V_{C1} - V_0$	$L_1 \cdot \frac{dI_{L1}}{dt} = -V_0$	$L_1 \cdot \frac{dI_{L1}}{dt} = -V_0$	$L_1 \cdot \frac{dI_{L1}}{dt} = -V_0$

Fase 2	$L_2 \cdot \frac{dL_2}{dt} = -V_0$	$L_2 \cdot \frac{dI_{L2}}{dt} = -V_0$	$L_2 \cdot \frac{I_{L2}}{dt} = V_{C1} - V_0$	$L_2 \cdot \frac{dI_{L2}}{dt} = -V_0$
Fase 3	$I_{L3} \cdot \frac{dL_3}{dt} = -V_0$	$I_{L3} \cdot \frac{dL_3}{dt} = -V_0$	$I_{L3} \cdot \frac{dL_3}{dt} = -V_0$	$L_3 \cdot \frac{I_{L3}}{dt} = V_{C1} - V_0$
Salida a carga	$C_o \cdot \frac{dV_{C_o}}{dt} = I_{L1} + I_{L2} + I_{L3} - I_0$			

<b>Relación de periodo y ciclo de trabajo</b>	<b>Tiempo de encendido del conmutador</b>	<b>Periodo de fase 1,2 y 3</b>	<b>Frecuencia de fase 1,2 y 3</b>
	$D = D_1 = D_2 = D_3$	$T_1 = \frac{T_2}{2} = \frac{T_3}{2}$	$f_1 = 2 \cdot f_2 = 2 \cdot f_3$

<b>Ciclo de trabajo y voltaje <math>V_{C1}</math></b>	<b>Fase 1</b>	<b>Fase 2</b>	<b>Fase 3</b>	<b>Voltaje de capacitor en serie</b>
	$DC_1 = \frac{3 \cdot V_0}{V_i}$	$DC_2 = \frac{3 \cdot V_0}{2 \cdot V_i}$	$DC_3 = \frac{3 \cdot V_0}{2 \cdot V_i}$	

<b>Inductor</b>	<b>Fase 1</b>	<b>Fase 2</b>	<b>Fase 3</b>
	<b>Valor del inductor</b>	$L_1 = V_0 \cdot \frac{(1 - DC_1)}{dI_{L1} \cdot f_1}$	$L_2 = V_0 \cdot \frac{(1 - DC_2)}{dI_{L2} \cdot f_2}$

<b>Rizado de corriente</b>	<b>Fase 1</b>	<b>Fase 2</b>	<b>Fase 3</b>
	<b>Rizado</b>	$\frac{dI_{L1}}{L_1 \cdot f_1} = V_0 \cdot \frac{(1 - DC_1)}{L_1 \cdot f_1}$	$\frac{dI_{L2}}{L_2 \cdot f_2} = V_0 \cdot \frac{(1 - DC_2)}{L_2 \cdot f_2}$

<b>Rizado de corriente a la salida</b>	$dI_{L_o}$	
	$= \begin{cases} dI_{L1} = \frac{(V_i - V_{C1} - V_0)}{L_1} \cdot t, & 0 \leq t \leq DC_1 T_1 \\ dI_{L2} = -\frac{V_0}{L_2} \cdot (t + (T_2 - (T_2/4 + DC_1 T_1))) + \frac{DC_2 T_2 (V_{C1} - V_0)}{L_2}, & 0 \leq t \leq DC_1 T_1 \\ dI_{L3} = -\frac{V_0}{L_3} \cdot (t + (T_2/4 - DC_1 T_1)) + \frac{DC_3 T_3 (V_{C1} - V_0)}{L_3}, & 0 \leq t \leq DC_1 T_1 \end{cases}$	

	Valor del capacitor de salida	Rizado de Voltaje de salida
<b>Capacitor de Salida</b>	$C_o = \frac{V_o \cdot dI_{Lo}/2}{8 \cdot dV_o \cdot f}$	$dV_o = \frac{V_o \cdot dI_{Lo}/2}{8 \cdot C_o \cdot f}$

	Valor del capacitor de entrada	Rizado de Voltaje de entrada
<b>Capacitor de entrada</b>	$C_i = \frac{(I_{L1} \cdot DC) \cdot (1 - D)}{f \cdot dV_i}$	$dV_i = \frac{(I_{L1} \cdot DC) \cdot (1 - D)}{f \cdot C_i}$

	Valor del capacitor en serie	Rizado de Voltaje de capacitor en serie
<b>Capacitor en serie</b>	$C_1 = \frac{I_{CL1} \cdot DC}{dV_{C1} \cdot f}$	$dV_{C1} = \frac{I_{CL1} \cdot DC}{C_1 \cdot f}$

*Nota. Fuente elaboración propia.*

### 3.3. Selección de componentes de la fuente de conmutación

Los parámetros eléctricos para el diseño son los presentados en la tabla 3-1. Como frecuencia de conmutación se seguirá la recomendación de (Hart D. W., DC-DC Converters, 2011) y se considerará 500kHz para la fase 1 y fase 2 del modo de operación 1, y para el modo de operación 2 se tendrá dos frecuencias de conmutación para mantener el balance de corriente como se describió en el punto 3.2.2 Modo de operación, estas frecuencias serán de 500kHz para la fase 1 y 250kHz para la fase 2 y 3.

Los pasos a seguir para el diseño son:

- El valor de los componentes se determinará para cada modo de operación de manera independiente
- Se graficarán los voltajes y corrientes para determinar el valor adecuado para ambos modos de operación.
- Se determinará el valor comercial.
- Se verificará que los valores comerciales concuerden con lo establecido.

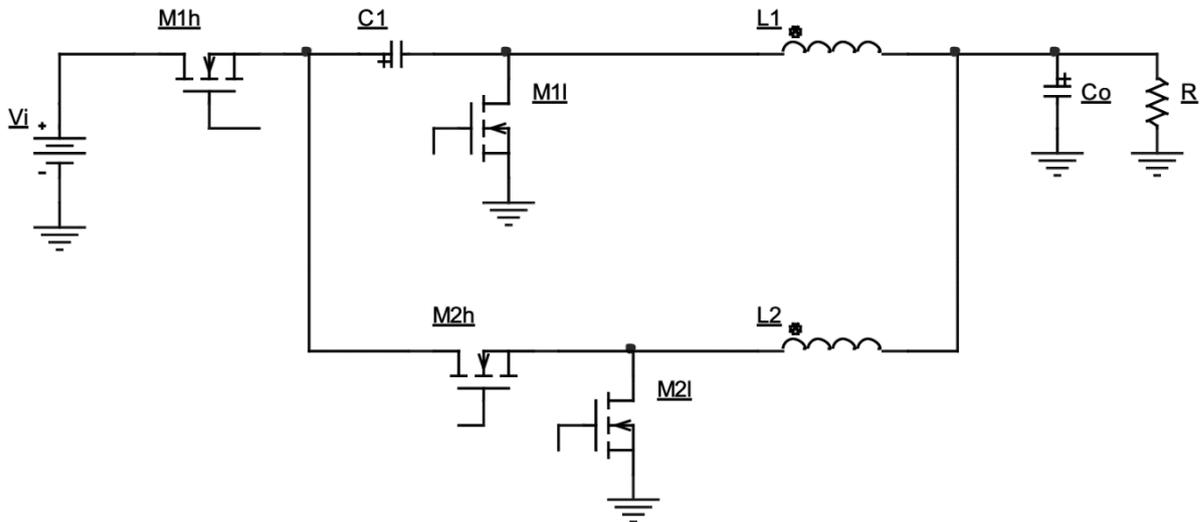
#### 3.3.1. Cálculo de valor de componentes del Modo 1

El Modo 1 de operación se diseña para suministrar 20 amperios como máxima corriente

de salida, lo que corresponde al 50% del valor máximo de 40 amperios de la fuente en modo

2. La ilustración 3-14 muestra el circuito en modo 1 donde solo operan la fase 1 y 2.

*Ilustración 3-14 Circuito de la fuente de conmutación modo 1.*



*Nota. Fuente elaboración propia.*

Para el diseño se considera una máxima corriente de operación del 30% adicional en caso de sobre corriente por lo que:

$$I_{L1} + 30\% = I_{L2} + 30\% = 10 + 10 * 30\% = 13 \text{ Amperios}$$

Luego se procede al cálculo de ciclo de trabajo para ambas fases cuando el voltaje de salida es el nominal de 1.52Vdc, de la ecuación 3-13.

$$DC_1 = DC_2 = \frac{V_0 \cdot 2}{V_i} = \frac{1.52 \cdot 2}{12} = 0.253$$

Y de la ecuación 3-11 se determina el voltaje del capacitor en serie.

$$V_{c1} = \frac{V_i}{2} = \frac{12}{2} = 6 \text{ Vdc}$$

### 3.3.1.1. Inductor L1 y L2

Como parámetro de diseño se establece que el máximo rizado de corriente de los inductores L1 y L2 debe ser menor al 30% de la máxima corriente de fase, para un voltaje de salida nominal de operación,  $V_o = 1.52\text{Vdc}$ , entonces:

$$dIL1 = dIL2 = 10 * 30\% = 3 \text{ Amperios}$$

Para calcular el valor de los inductores se reemplazan los valores en la ecuación 3-16 o 3-17 y se encuentra que el valor de los inductores es de 755.6nH.

$$L_1 = L_2 = \frac{\left(\frac{V_i}{2} - V_o\right) \cdot DC_1}{dI_{L1} \cdot f} = \frac{\left(\frac{12}{2} - 1.52\right) \cdot 0.253}{3 \cdot 500000} = 755.6 \text{ nH}$$

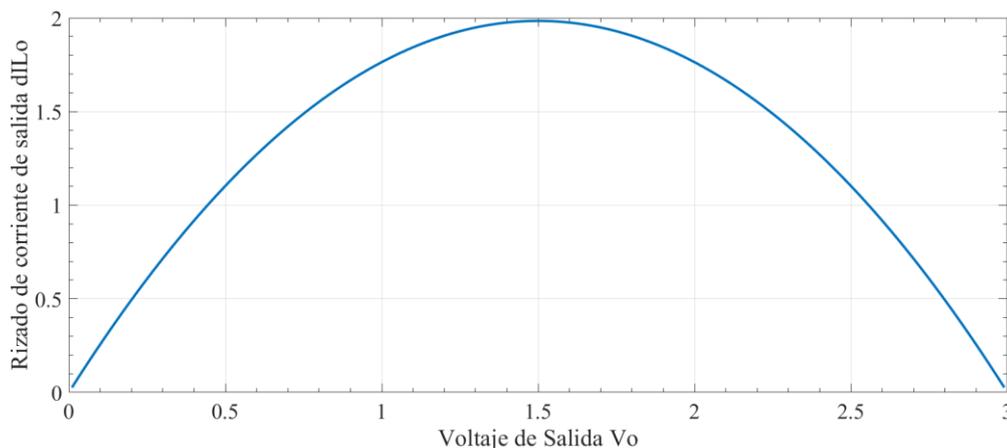
### 3.3.1.2. Capacitor de Salida $C_o$

El valor del capacitor de salida  $C_o$  se calcula a partir del valor máximo de rizado de voltaje permitido, y de la combinación de calcular el máximo valor del voltaje de salida y el rizado de corriente que se tendrá a la salida.

Para el rizado de voltaje se considera un valor máximo de 10mVpp como parámetro de diseño, en el cálculo se tendrá en cuenta 7mV, 30% de margen de seguridad.

Por otro lado, el rizado de corriente de salida es la suma de los rizados de las corrientes de los inductores, y para determinar el comportamiento del rizado de corriente respecto al voltaje de salida se ilustra la ecuación 3-22, y se observa que el máximo rizado de corriente se da cuando el voltaje de salida es 1.5Vdc lo que corresponde a un ciclo de trabajo de 25%, ilustración 3-15.

*Ilustración 3-15 Rizado de corriente de salida respecto al voltaje de salida,*



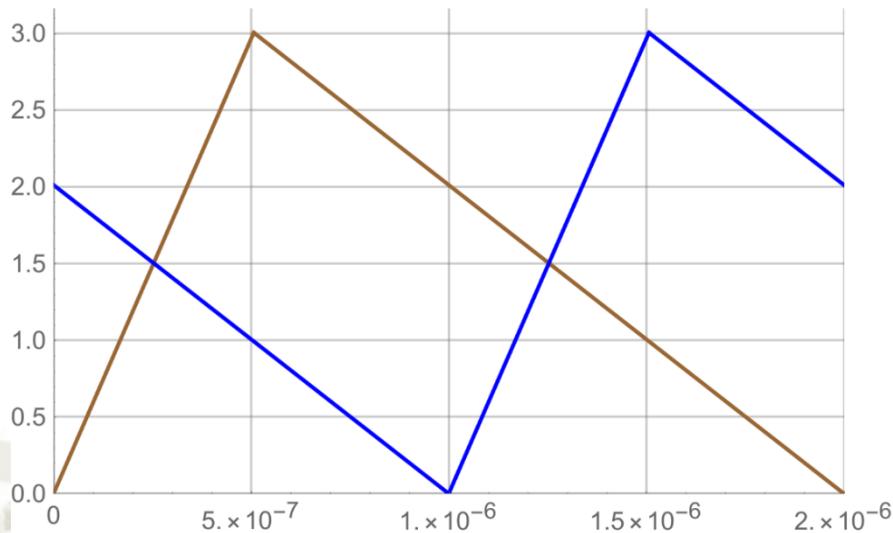
*Nota. Fuente elaboración propia.*

Para un ciclo de trabajo del 25% del periodo  $T$ , la ilustración 3-16 y 3-17 muestran la forma de onda del rizado de corriente de los inductores  $L_1$  y  $L_2$  y la suma de estos rizados respectivamente.

Para calcular el valor del capacitor de salida  $C_o$  se hace uso de la ecuación 3-27, en donde se observa que para obtener un valor mínimo de rizado de voltaje se debe tener un valor grande del capacitor  $C_o$ , por lo tanto, dado que el denominador es un valor constante definido por parámetros de diseño, es en el numerador donde se debe encontrar el producto de voltaje de salida y rizado de corriente que den el valor más alto posible. Para esto se grafica la ecuación 3-27 para diferentes valores de  $V_o$  y de  $dI_{Lo}$  y el resultado se observa en

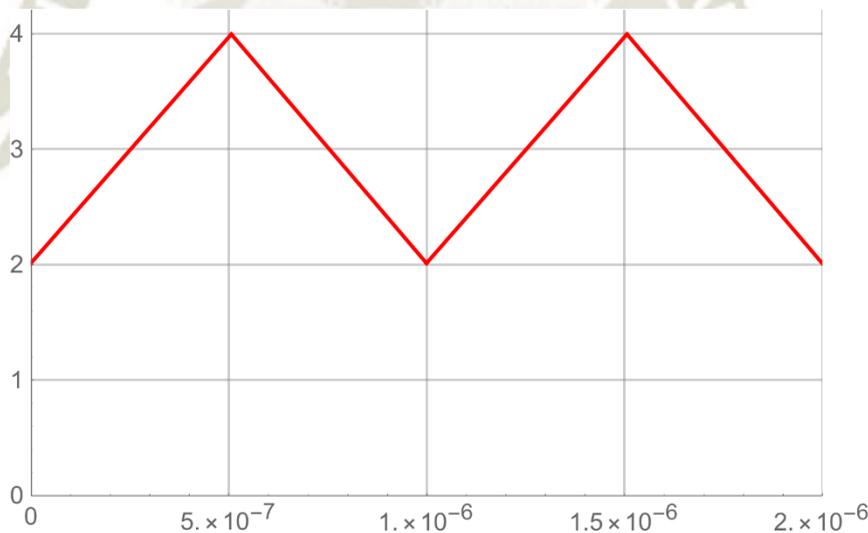
la ilustración 3-18.

**Ilustración 3-16** Rizado de corriente de los inductores  $L_1$  y  $L_2$ ,  $DC=25\%$ .



Nota. Fuente elaboración propia.

**Ilustración 3-17** Rizado de corriente de salida  $dI_{Lo}$ ,  $DC=25\%$ .



Nota. Fuente elaboración propia.

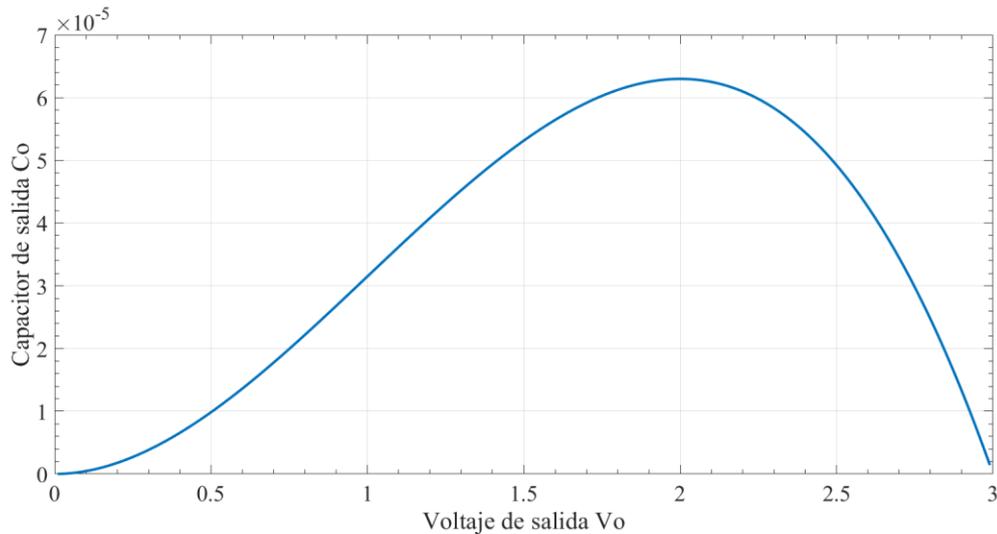
De la ilustración 3-18 se determina que el valor de voltaje de salida  $V_o$  de 2Vdc asegura un valor mínimo de capacitor de salida  $C_o$  para obtener un rizado de voltaje menor a 7mV.

Y, de la ilustración 3-15 se determina que el valor de rizado de corriente para el voltaje de salida de 2Vdc es 1.764 amperios.

Entonces, habiendo ya definido los valores necesarios para el cálculo de la ecuación 3-27 se obtiene el valor del capacitor de salida  $C_o$

$$C_o = \frac{V_o \cdot dI_{Lo}/2}{8 \cdot dV_o \cdot f} = \frac{2 \cdot 1.764/2}{8 \cdot 0.007 \cdot 500000} = 63 \mu F$$

**Ilustración 3-18** Capacitor de salida  $C_o$  versus voltaje de salida  $V_o$ . Modo 1



Nota. Fuente elaboración propia.

### 3.3.1.3. Capacitor en serie $C_1$

Para encontrar el valor del capacitor en serie se emplea la ecuación 3-34, en donde se determina que el máximo rizado de voltaje en el capacitor en serie  $V_{C1}$  debe ser menor a 150mV, la corriente que fluye por este capacitor es la máxima corriente del inductor  $I_L$ , y el ciclo de trabajo debe ser 50% para el máximo voltaje de salida de 3Vdc. Entonces el valor del capacitor es:

$$C_1 = \frac{I_{L1} \cdot DC_1}{dV_{C1} \cdot f} = \frac{13 \cdot 0.5}{0.15 \cdot 500000} = 86.7 \mu F$$

### 3.3.1.4. Capacitor de entrada $C_i$

Para el capacitor en serie se determina que el máximo rizado de voltaje debe ser menor a 100mV, la máxima corriente de también es la máxima corriente del inductor  $I_L$ , y el ciclo de trabajo debe ser 50%. Entonces de la ecuación 3-31 se obtiene:

$$C_i = \frac{(I_{L1} \cdot DC) \cdot (1 - DC)}{f \cdot dV_i} = \frac{(13 \cdot 0.5) \cdot (1 - 0.5)}{500000 \cdot 0.10} = 65 \mu F$$

### 3.3.2. Cálculo de valor de componentes del Modo 2

En el Modo 2 de operación la fuente debe ser capaz de manejo de hasta 40 amperios, lo que equivale a un aproximado de 13.3 amperios máximo por fase. En la ilustración 3-1

muestra el circuito donde operan las tres fases de la fuente.

Los parámetros de diseño son los mismos que para el Modo 1 de operación con la diferencia que la máxima corriente por inductor es el un tercio del 30% adicional a 40 amperios, es decir:

$$I_{L1} + 30\% = I_{L2} + 30\% = I_{L3} + 30\% = 13.3 + 13.3 \cdot 0.3 = 17.3 \text{ Amperios}$$

El voltaje de salida nominal  $V_o$  se mantiene en  $152 V_{dc}$  y el cálculo del ciclo de trabajo para la fase 1, 2 y 3 se calcula con las ecuaciones 3-56, 3-57 y 3-58 respectivamente.

Para la fase 1 se tiene un ciclo de trabajo igual a:

$$DC_1 = \frac{V_o \cdot 3}{V_i} = \frac{1.52 \cdot 3}{12} = 0.38$$

Y para la fase 2 y 3, el ciclo de trabajo es la mitad que el ciclo de trabajo de la fase 1, y es igual a:

$$DC_{2,3} = \frac{V_o \cdot 3}{V_i \cdot 2} = \frac{1.52 \cdot 3}{12 \cdot 2} = 0.19$$

Y el voltaje del capacitor en serie está determinado por la ecuación 3-54, y es igual a:

$$V_{c1} = \frac{V_i \cdot 2}{3} = \frac{12 \cdot 2}{3} = 8 V_{dc}$$

La causa por la cual el voltaje del capacitor en serie no corresponde a la mitad del voltaje de entrada como en el caso del modo 1 es porque la frecuencia de operación de la fase 1 es el doble que la frecuencia de operación de la fase 2 y 3, esto para permitir que el capacitor en serie de la fase 1 se cargue y descargue en intervalos independientes para brindar la energía necesaria y de manera independiente a los inductores  $L_1$  y  $L_2$  dentro de un periodo de tiempo establecido por la frecuencia  $f_1$ . Este modo de operación si bien tiene la ventaja de manejar más corriente sacrifica eficiencia por pérdidas de conmutación debido al incremento del voltaje de entrada a para las fases 2 y 3.

### 3.3.2.1. Inductor $L_1$ , $L_2$ y $L_3$

Para mantener el mismo valor de rizado de corriente que en el modo 1, se determina que para el modo 2 el rizado de corriente de cada inductor debe igual a 3 amperios para el voltaje de salida nominal de operación,  $V_o = 1.52V_{dc}$ .

Y de las ecuaciones 3-63 y 3-69 se obtiene:

$$L_1 = V_o \cdot \frac{(1-DC_1)}{dI_{L1} \cdot f_1} = 1.52 \cdot \frac{(1-0.38)}{3 \cdot 500000} = 628nH$$

y

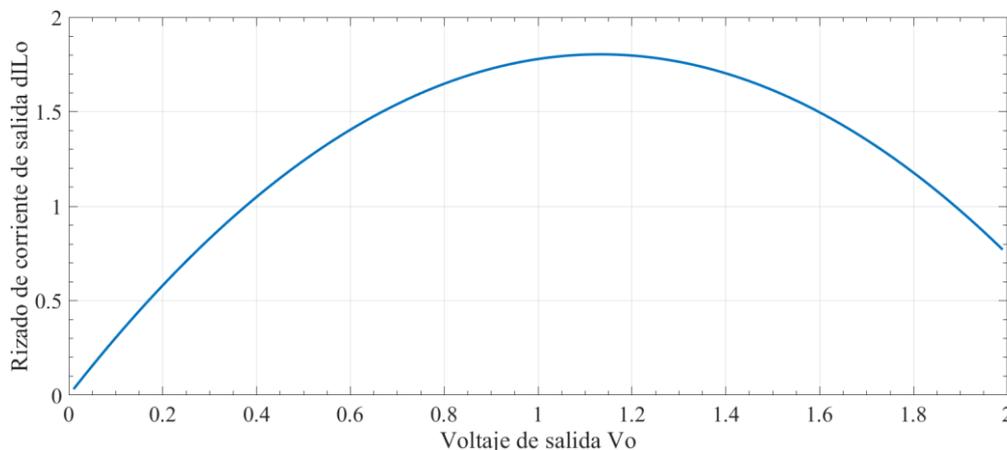
$$L_{2,3} = V_o \cdot \left( \frac{1-DC_{2,3}}{dI_{L2,3} \cdot f_{2,3}} \right) = 1.52 \cdot \left( \frac{1-0.19}{3 \cdot 250000} \right) = 1.64\mu H$$

### 3.3.2.2. Capacitor de salida $C_o$

Al igual que en caso del modo 1, el rizado de voltaje debe tener un valor máximo de 10mVpp y se calcula con un valor de 7mVpp.

Para identificar el máximo rizado de corriente posible se ilustra la ecuación 3-72 y se observa que el máximo valor ocurre cuando el voltaje de salida  $V_o$  es 1.13 Vdc y su correspondiente ciclo de trabajo es 0.28, ilustración 3-19.

*Ilustración 3-19 Rizado de corriente de salida respecto al voltaje de salida.*



*Nota. Fuente elaboración propia.*

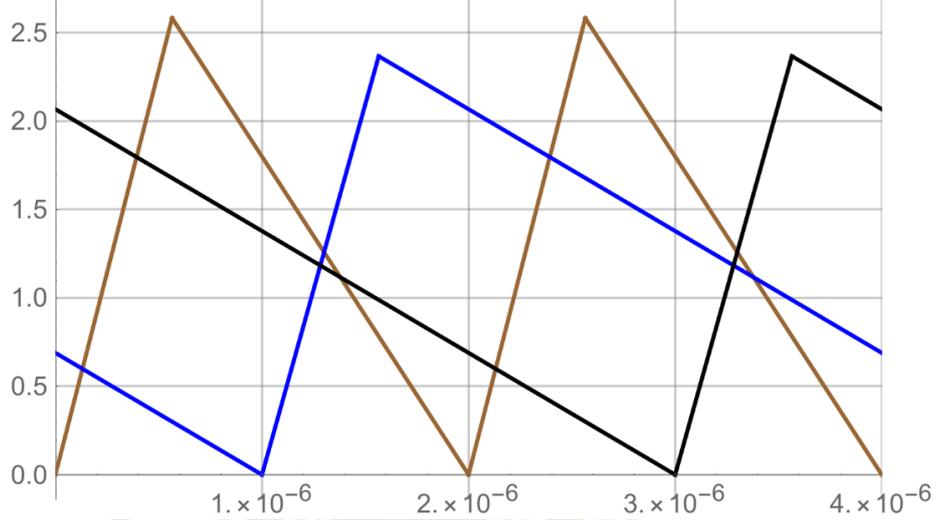
Luego, para un ciclo de trabajo del 28% del periodo T, la ilustración 3-20 y 3-21 muestran la forma de onda del rizado de corriente de los inductores L1, L2 y L3, y la suma de estos rizados respectivamente

Al igual que en el modo 1 se ilustra los distintos valores del capacitor de salida  $C_o$  calculados para diversos voltajes de salida  $V_o$ . De la ilustración 3-22 se observa que el voltaje de salida que requiere el capacitor más grande es de 1.51Vdc, y de la ilustración 3.19 se ve que el rizado de corriente que corresponde es de 1.6 amperios.

Entonces, de la ecuación 3-27 se obtiene:

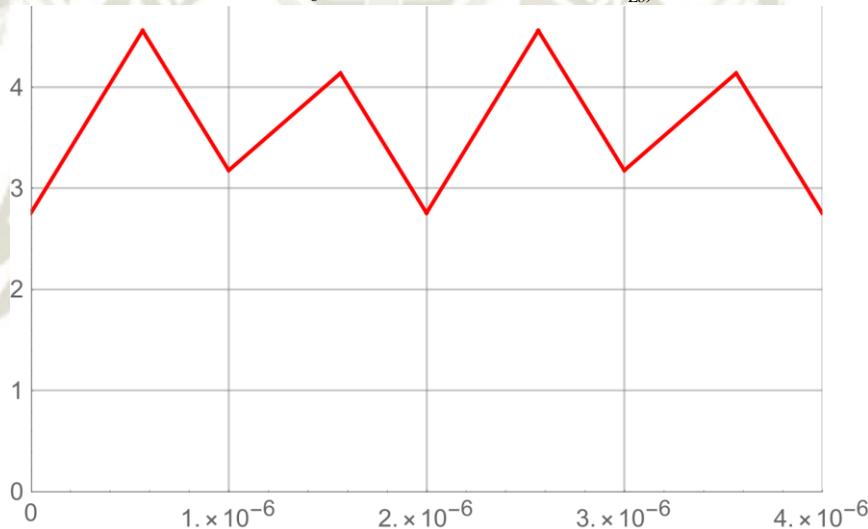
$$C_o = \frac{V_o \cdot dI_{Lo}/2}{8 \cdot dV_o \cdot f} = \frac{1.51 \cdot 1.6/2}{8 \cdot 0.007 \cdot 500000} = 43\mu F$$

**Ilustración 3-20** Rizado de corriente los inductores  $L_1$ ,  $L_2$  y  $L_3$ ,  $DC1=0.28$ .



Nota. Fuente elaboración propia.

**Ilustración 3-21** Rizado de corriente de salida  $dI_{Lo}$ ,  $DC1=0.28$ .



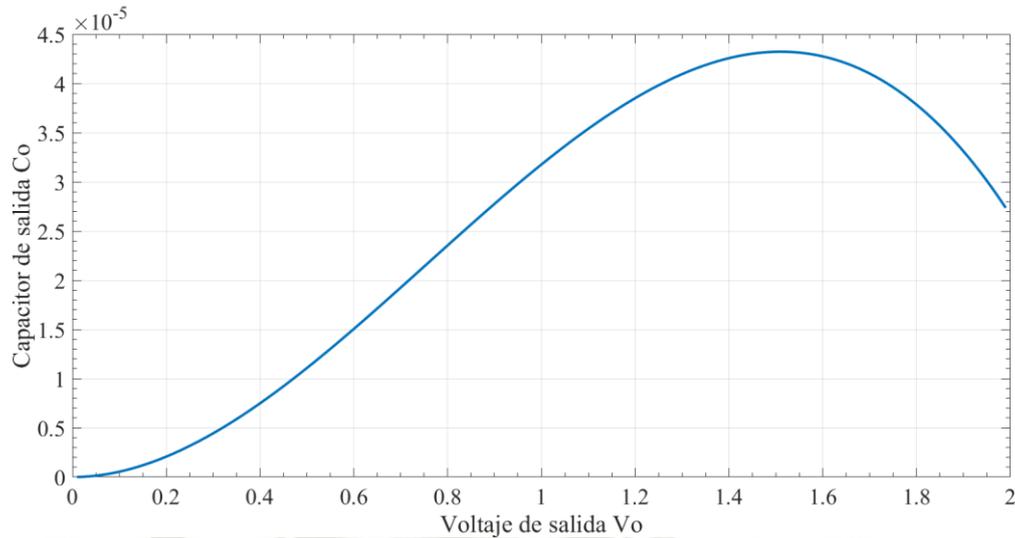
Nota. Fuente elaboración propia.

### 3.3.2.3. Capacitor en serie $C_1$

Para el modo 2 se utiliza la ecuación 3-34 al igual que en el modo 1. En este modo la máxima corriente de operación del inductor  $L_1$  es de 17.3 amperios, el máximo rizado de voltaje en el capacitor en serie  $V_{C1}$  debe ser menor a 150mV, y el ciclo de trabajo corresponde a 50% para un máximo voltaje de salida de 2Vdc. El valor del capacitor es:

$$C_1 = \frac{I_{CL1} \cdot DC_1}{dV_{C1} \cdot f} = \frac{17.3 \cdot 0.5}{0.15 \cdot 500000} = 115.5 \mu F$$

**Ilustración 3-22** Capacitor de salida  $C_o$  versus voltaje de salida  $V_o$ , modo 2



Nota. Fuente elaboración propia.

### 3.3.2.4. Capacitor en entrada $C_i$

Para el modo 2 al igual que en el modo 1, el máximo rizado de voltaje es de 100mV, la máxima corriente del inductor  $L_1$  para el modo 2 es de 17.3 amperios, y el ciclo de trabajo es de 50%. De la ecuación 3-31 se obtiene:

$$C_i = \frac{(I_{L1} \cdot DC) \cdot (1 - DC)}{f \cdot \Delta V_i} = \frac{(17.3 \cdot 0.5) \cdot (1 - 0.5)}{500000 \cdot 0.1} = 86.5 \mu F$$

### 3.3.3. Selección de componentes para el Modo 1 y Modo 2

La tabla 3-6 muestra los valores calculados de los componentes pasivos de la fuente de conmutación. Se muestra para el modo 1 y 2.

**Tabla 3-6** Resumen de valores de componentes del modo 1 y 2 de operación.

Modo de Operación	Inductor L1 (H)	Inductor L2 (H)	Capacitor de Salida $C_o$ (F)	Capacitor en Serie $C_1$ (F)	Capacitor de Entrada $C_i$ (F)
<b>Modo 1:</b> 500KHz <sup>1</sup>	755.6E-09	755.6E-09	63.0E-06	86.7E-06	65.0E-06
<b>Modo 2:</b> 500KHz <sup>2</sup> /250KHz <sup>3</sup>	628.0E-09	1.64E-06	43.0E-06	115.5E-06	86.5E-06

Nota. Fuente elaboración propia.

<sup>1</sup> Frecuencia de conmutación de la fase 1 y 2 del modo 1

<sup>2</sup> Frecuencia de conmutación de la fase 1 del modo 2

<sup>3</sup> Frecuencia de conmutación de la fase 2 del modo 2

Para que la fuente de conmutación trabaje de manera óptima y cumpliendo los

parámetros de operación se debe seleccionar entre los valores de los componentes calculados aquellos que sean adecuados para ambos modos.

### 3.3.3.1. Inductores $L_1$ , $L_2$ y $L_3$

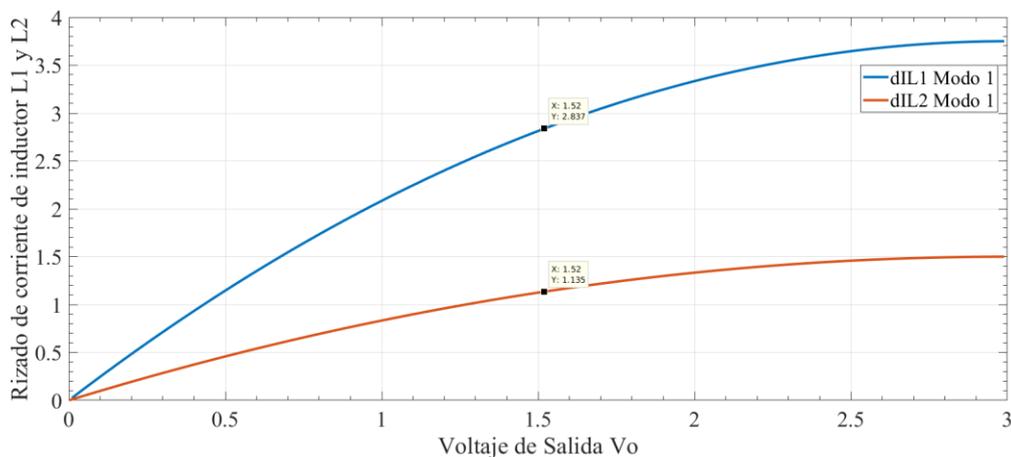
El objetivo de los inductores es almacenar energía en un intervalo para luego suministrar la misma energía al capacitor de salida  $C_o$  y a la carga  $R$  en un intervalo distinto, mientras mayor sea el valor del inductor en henrios mayor será su capacidad de almacenar energía, sin embargo, también se incrementará el tiempo de respuesta a los transitorios y mayor será la resistencia DCR por lo que se incrementarán las pérdidas por conducción.

Para la presente tesis se tiene como parámetro que el rizado de corriente de los inductores no debe ser mayor a 3 amperios cuando el voltaje de salida es el nominal de 1.52Vdc., por lo tanto, para cumplir con esta limitante se debe escoger el valor mayor de los inductores calculados para el modo 1 y 2, y luego buscar el equivalente estándar comercial superior.

En este caso se selecciona el valor de 800nH para el inductor  $L_1$  y 2 $\mu$ H para el inductor  $L_2$  y  $L_3$ , estos valores tendrán un valor superior de resistencia DCR sin embargo estas estarán en paralelo por lo que la eficiencia no se verá afectada, y la posible demora a la respuesta transitoria se corregirá con el uso del compensador de la retroalimentación del error en el sistema de control.

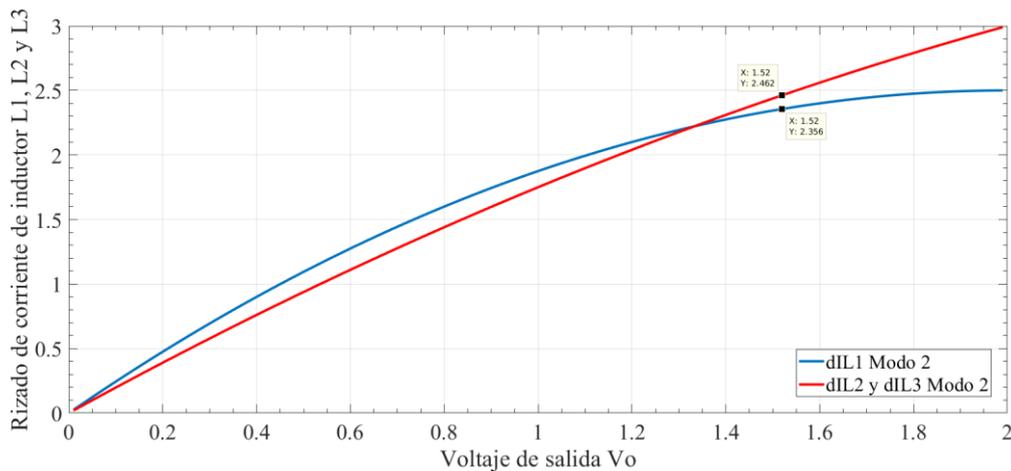
Para verificar que los valores seleccionados cumplan con el parámetro de diseño se ilustra las ecuaciones 3-19 para el modo 1, y las ecuaciones 3-64 y 3-69 para el modo 2. Como resultado se observa que en ambos modos el rizado de corriente nunca pasa los 3 amperios cuando el voltaje de salida es 1.52Vdc, ilustración 3-23 y 3-24.

*Ilustración 3-23 Rizado de corriente de los inductores  $L_1$  y  $L_2$  en el modo 1.*



*Nota. Fuente elaboración propia.*

**Ilustración 3-24** Rizado de corriente de los inductores  $L1$ ,  $L2$  y  $L3$  en el modo 2.



Nota. Fuente elaboración propia.

### 3.3.3.2. Capacitor de salida $C_o$

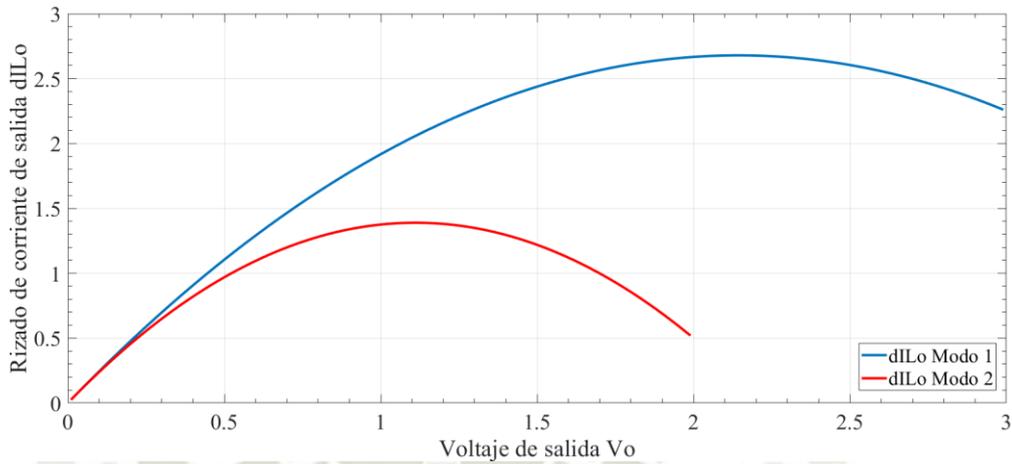
Dado que, al seleccionar inductores estándar comerciales cuyos valores son distintos a los calculados la amplitud del rizado de corriente de cada fase y la amplitud del rizado de corriente de salida varía, por lo que se requiere recalcularse el valor del capacitor de salida  $C_o$ .

La ilustración 3-25 muestra el rizado de corriente de salida  $dI_{Lo}$  para el modo 1 y 2 de operación. Se observa que en el modo 1 la amplitud del rizado de corriente de salida es casi dos veces la amplitud del rizado del modo 2, esto se debe a que:

- Al ser el valor del inductor  $L1$  menos de la mitad que el valor del inductor  $L2$  es que el rizado del primero es casi el doble que el rizado del segundo por lo que al sumarse los rizados no se cancelan como cuando las corrientes tienen la misma amplitud, ver la ilustración 3-16 como referencia.
- El rizado de corriente de salida del modo 2 es la suma de tres corrientes con amplitudes similares por lo que estas sí se cancelan parcialmente.

Entonces para el cálculo del capacitor de salida  $C_o$  primero es necesario identificar el máximo rizado de corriente de salida  $dI_{Lo}$ . Para esto, en el capítulo 1 se indicó que el máximo voltaje de salida será de 1.8Vdc, sin embargo, en el modo 1 la fuente es capaz de brindar un voltaje de hasta 3Vdc, por lo que para las aplicaciones que así lo requieran (teniendo en cuenta una máxima corriente de 20 amperios) se calculará el capacitor cuando el voltaje tiene un máximo valor de 3Vdc. En la ilustración 3-25 se observa la variación del rizado de corriente de salida respecto al voltaje de salida.

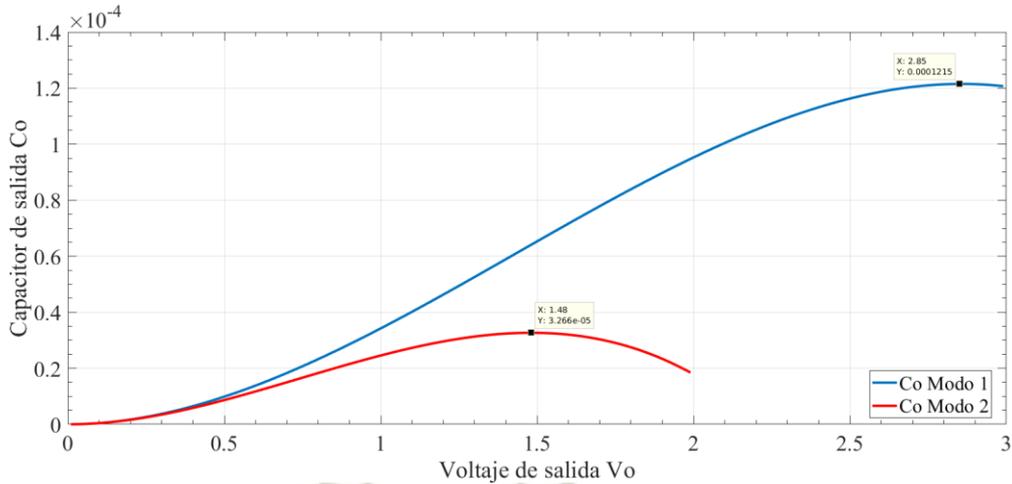
**Ilustración 3-25** Rizado de la corriente de salida  $dI_{Lo}$  para el modo 1 y 2 con valores de inductores estándar comerciales.



Nota. Fuente elaboración propia.

Y en la ilustración 3-26 se observa que el máximo valor del capacitor es de  $122\mu\text{F}$  y se da cuando el voltaje es de 2.85 Vdc. El valor estándar comercial que se escoge es de  $147\mu\text{F}$ .

**Ilustración 3-26** Capacitor de salida  $C_o$  respecto al voltaje de salida  $V_o$ .



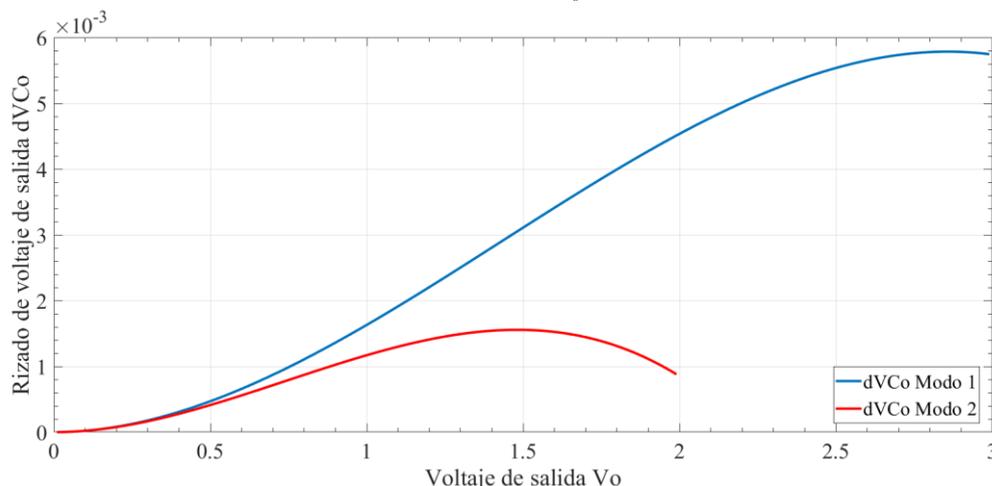
Nota. Fuente elaboración propia.

Finalmente, con el nuevo valor del capacitor se verifica la amplitud del rizado de voltaje y en la ilustración 3-27 se observa que este es menor a los 10mV establecidos en los parámetros.

### 3.3.3.3. Capacitores $C_1$ y $C_i$

En el caso del capacitor en serie  $C_1$  y del capacitor de entrada  $C_i$  se selecciona el capacitor de valor estándar comercial inmediato superior por lo que, para el capacitor  $C_1$  se selecciona uno de  $147\mu\text{F}$  y para el capacitor  $C_i$  se selecciona  $100\mu\text{F}$ .

**Ilustración 3-27** Rizado de voltaje de salida  $V_o$ .



*Nota. Fuente elaboración propia.*

### 3.4. Comportamiento eléctrico en el tiempo

La tabla 3-7 muestra un resumen de los valores estándar comerciales de los elementos de la fuente, y la ilustración 3-28 muestra el esquemático final de la fuente de conmutación.

**Tabla 3-7** Valores de componentes estándar.

	Inductor L1 (H)	Inductor L2 y L3 (H)	Capacitor de Salida Co (F)	Capacitor en Serie C1 (F)	Capacitor de Entrada Ci (F)
<b>Valores Calculados</b>	755.6E-09	1.64E-06	122.0E-06	115.5E-06	86.5E-06
<b>Valores Estándar</b>	800.0E-09	2.0E-06	147.0E-06	147.0E-06	100.0E-06

*Nota. Fuente elaboración propia.*

#### 3.4.1. Simulación de la fuente

Una vez que el esquemático de la fuente de conmutación esta completo se procede a realizar la simulación para verificar que el cálculo de los elementos pasivos corresponde con los parámetros establecidos para la operación de la fuente. Las siguientes ilustraciones muestran el funcionamiento, sin regulación, a máxima carga a un voltaje de salida de 1.52Vdc aproximadamente en el modo 1 y 2 de operación.

En la ilustración 3-29 se observa el arranque de la fuente y su respuesta transitoria. En ambos modos la fuente es estable y presenta un voltaje sub amortiguado.

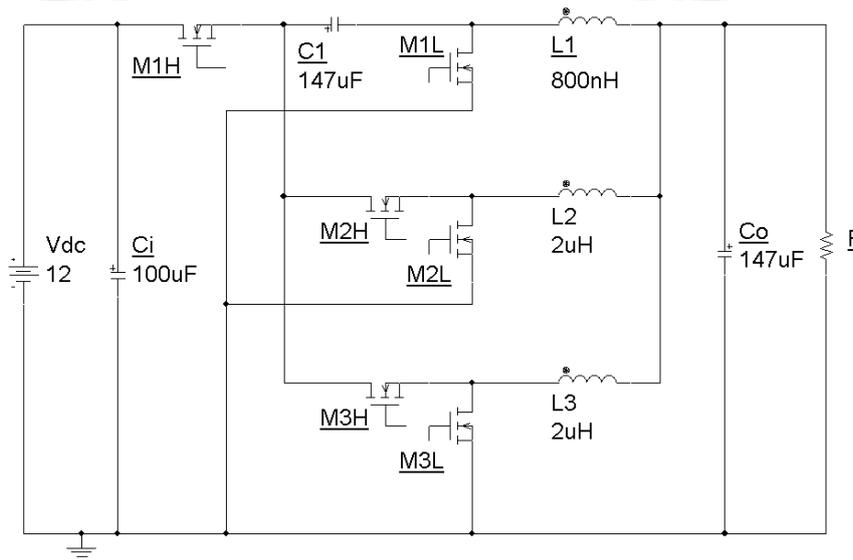
Los parámetros de respuesta se muestran en la tabla 3-8.

Tabla 3-8 Parámetros de la respuesta transitoria.

	Tiempo de crecimiento $T_r$	Tiempo de establecimiento $T_s$	Sobre impulso máximo $M_p$
<b>Modo 1</b>	9.34 $\mu$ sec.	855 nsec.	59.7%
<b>Modo 2</b>	7.30 $\mu$ sec.	587 nsec.	46.7%

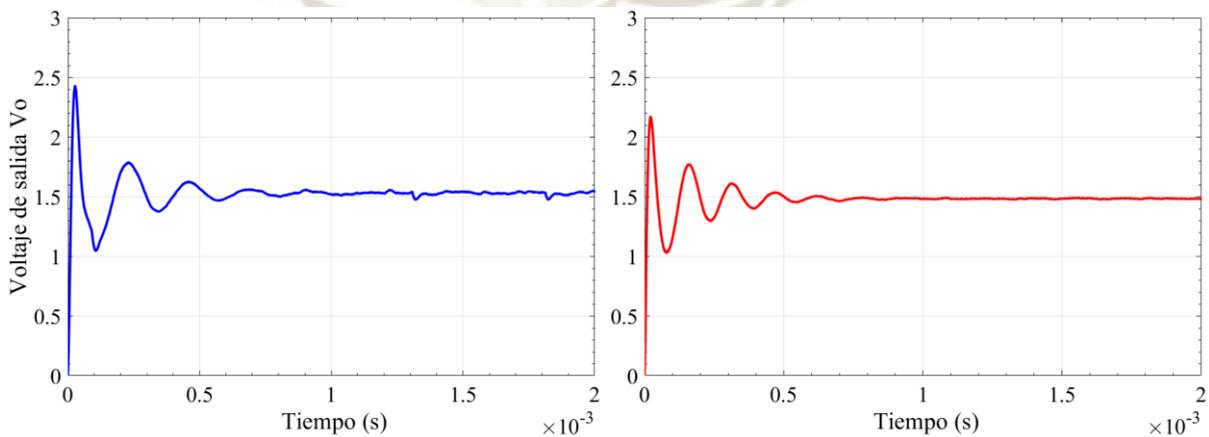
Nota. Fuente elaboración propia.

Ilustración 3-28 Esquemático de la fuente de conmutación.



Nota. Fuente elaboración propia.

Ilustración 3-29 Respuesta transitoria del voltaje de operación del modo 1 en azul y modo 2 en rojo.

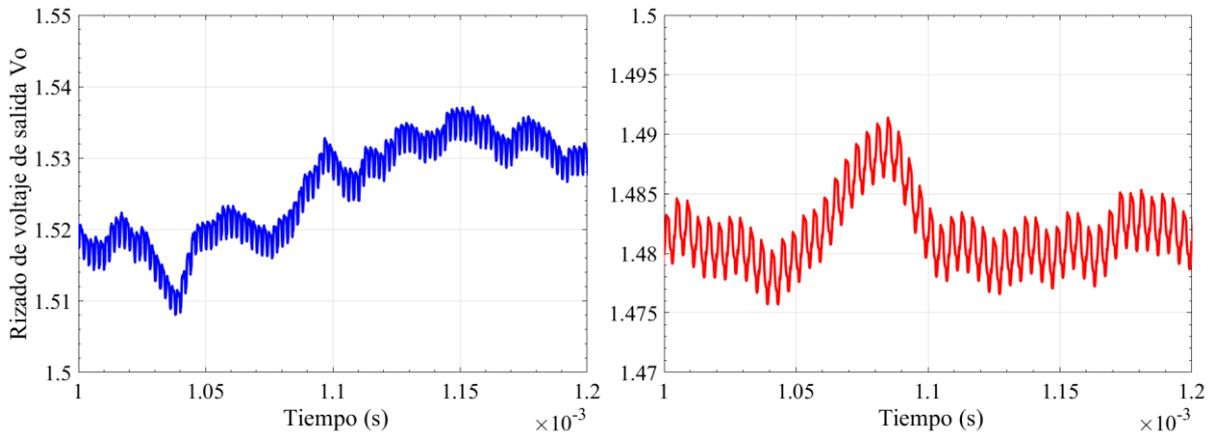


Nota. Fuente elaboración propia.

Para ambos modos se observa que la oscilación del voltaje disminuye, pero no desaparece. En la ilustración 3.30 se observa una oscilación de  $\pm 15$ mV y un rizado de voltaje de 4mVpp para el modo 1, y una oscilación de  $\pm 8$ mV y un rizado de voltaje de 6mVpp para

el modo 2. En ambos casos la fuente produce un rizado menor al establecido en el diseño de 10mV (o de 7mV utilizado en el cálculo). Sin embargo, existe una oscilación no deseada en ambos modos que disminuirá cuando se introduzca el compensador en el sistema de regulación.

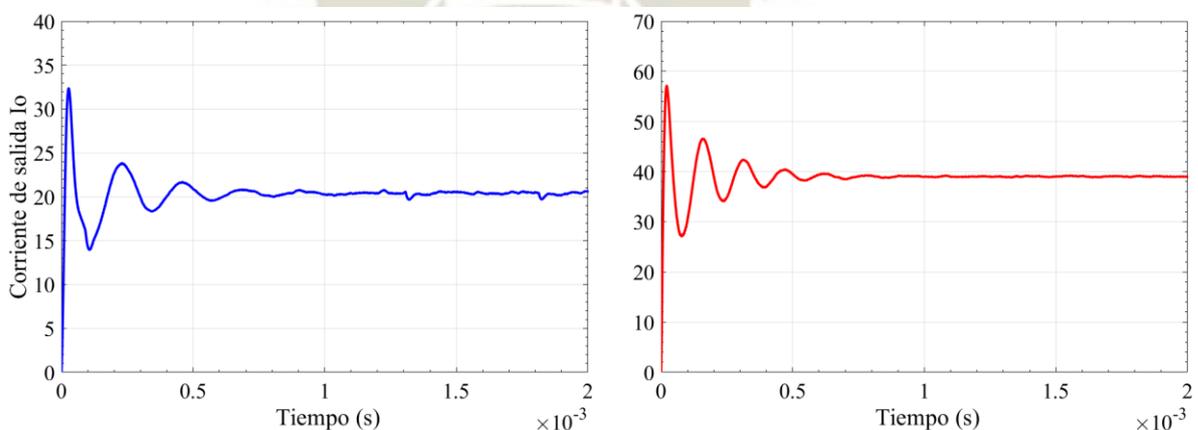
**Ilustración 3-30** Rizado y oscilación del voltaje de salida para el modo 1 en azul y modo 2 en rojo.



*Nota. Fuente elaboración propia.*

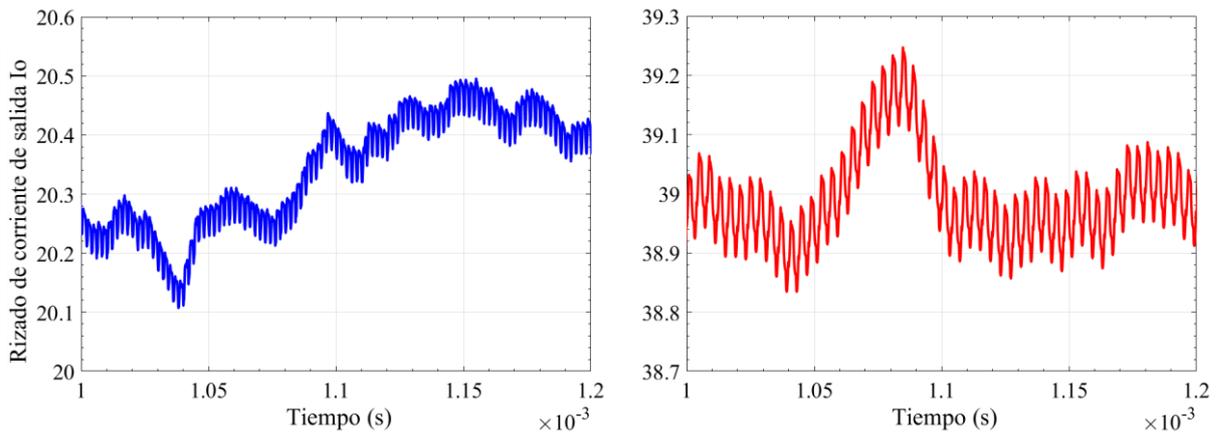
En el caso de la corriente de salida, la ilustración 3-31 nos muestra la respuesta transitoria igual a la respuesta del voltaje. En la ilustración 3.32, para el modo 1 cuando la corriente es 20 amperios se observa una oscilación de  $\pm 200\text{mA}$  y un rizado de corriente de salida de 80mApp, y para el modo 2 cuando la corriente es de 40 amperios la oscilación es de  $\pm 400\text{mA}$  y un rizado de corriente de salida de 120mApp.

**Ilustración 3-31** Respuesta transitoria de operación del modo 1 en azul y modo 2 en rojo



*Nota. Fuente elaboración propia.*

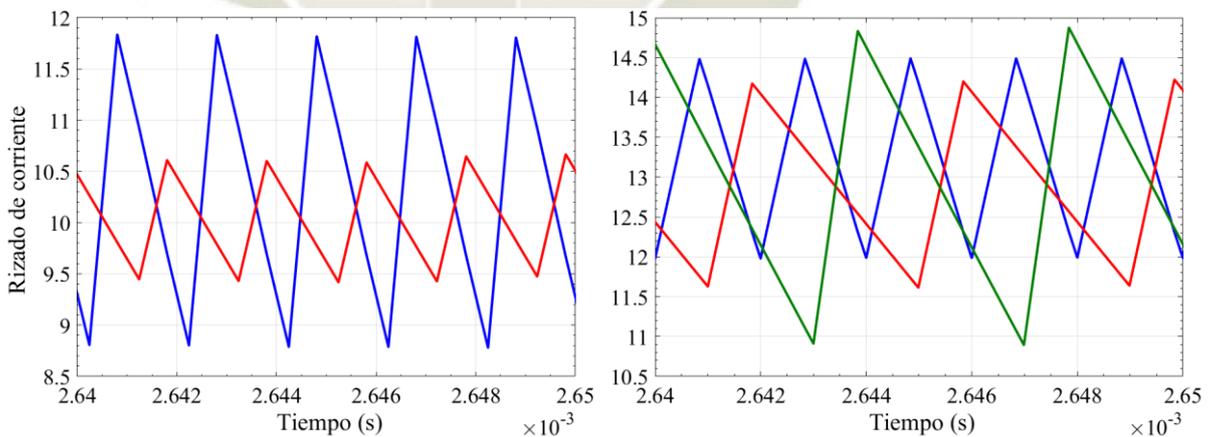
**Ilustración 3-32** Rizado y oscilación de la corriente de salida para el modo 1 en azul y modo 2 en rojo.



*Nota. Fuente elaboración propia.*

En la ilustración 3-33 se observa el rizado de corriente de los inductores  $L_1$ ,  $L_2$  y  $L_3$  en el modo 1 y 2 de operación. En el modo 1, lado izquierdo, se observa que el rizado del inductor  $L_1$  es más del doble que el del inductor  $L_2$ , esto se debe a que el valor del primer inductor es 2.5 veces más grande que el segundo. En el modo 2, lado derecho, la amplitud de los rizados es más uniforme a pesar que el inductor  $L_1$  es 2.5 veces el inductor  $L_2$  y  $L_3$ , esto se debe a que la frecuencia de operación de la fase 1 es el doble que la frecuencia de operación de la fase 2 y 3, ver ecuaciones 3-63 y 3-69.

**Ilustración 3-33** Rizado de corriente de los inductores  $L_1$ ,  $L_2$  y  $L_3$ , en modo 1 y modo 2.



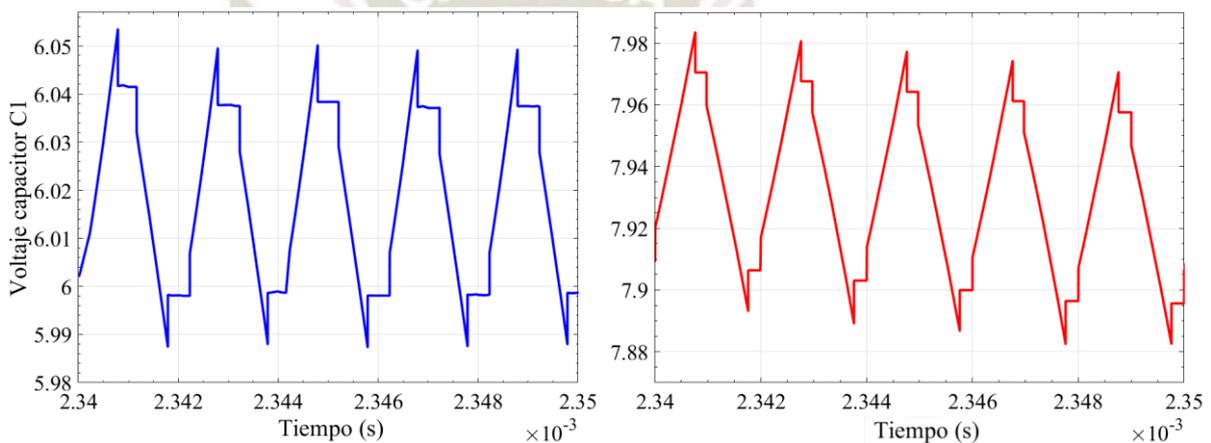
*Nota. Fuente elaboración propia.*

El rizado de todas las corrientes es menor o igual a 3 amperios, salvo el rizado de uno de los inductores, en verde, cuando opera en modo 2. En este caso el rizado alcanza 3.94 amperios debido a que los inductores tienen un error de  $\pm 10\%$  en la simulación, sin embargo, para el presente diseño no se considera un problema y se continua con los valores seleccionados.

Una de las principales ventajas de una fuente de conmutación Buck o reductora multifase con un capacitor en serie es que el voltaje de entrada se ve reducido a la mitad en el modo 1 de operación y hasta dos tercios en el modo 2 de operación, ecuaciones 3-11 y 3-54.

La ilustración 3-34 muestra el voltaje del capacitor  $V_{CI}$ . En el modo 1, lado izquierdo, se observa que el voltaje bajo de 12Vdc a 6Vdc en promedio; y en el modo 2, lado derecho, se observa que el voltaje está a casi 8Vdc lo que corresponde a los dos tercios del voltaje de entrada de 12Vdc.

*Ilustración 3-34 Voltaje del capacitor en serie  $V_{CI}$  para el modo 1 en azul y el modo 2 en rojo.*



*Nota. Fuente elaboración propia.*

Finalmente, en la ilustración 3.35 se muestra la respuesta del voltaje y la corriente de salida frente a un cambio de la carga del 30%, se observa que cuando se incrementa y decremanta la carga:

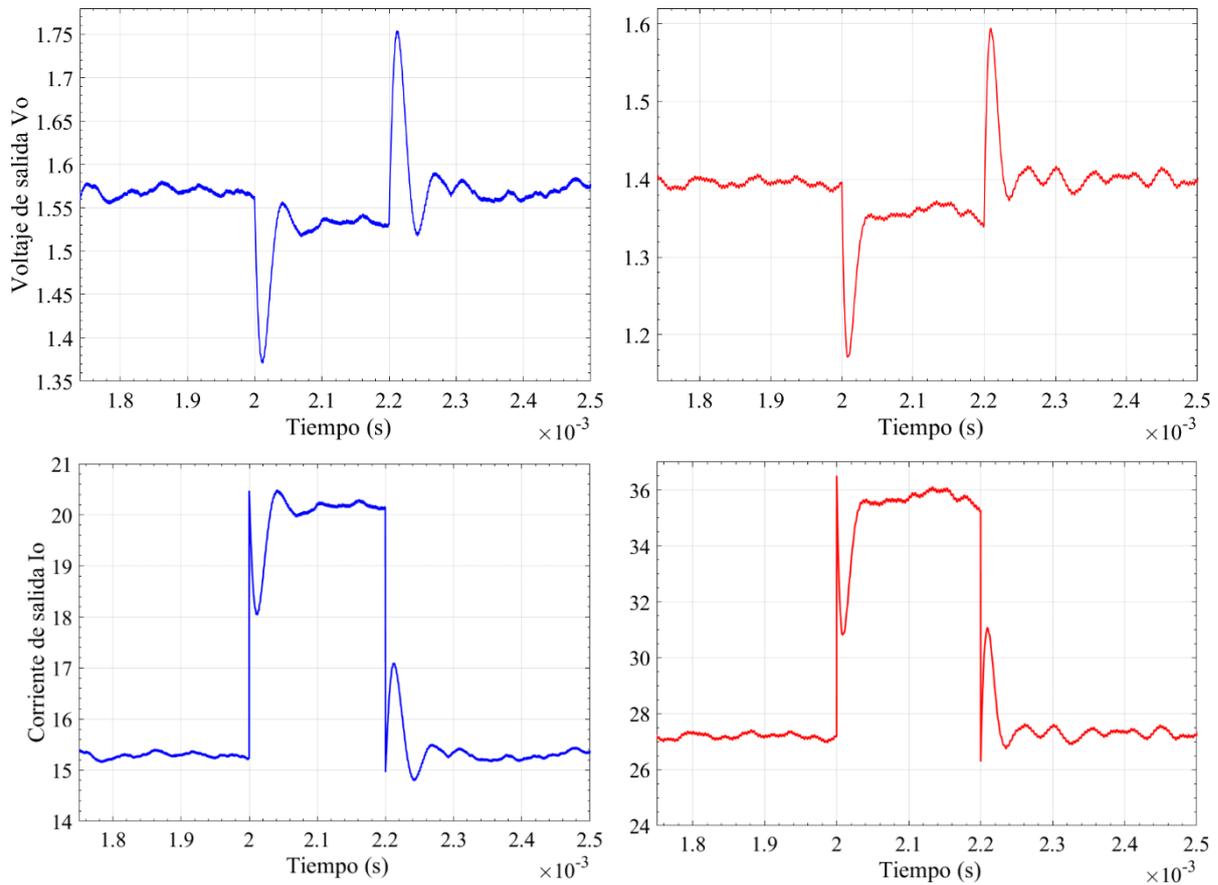
- a. En el modo 1 existe un sobre impulso  $M_p$  de voltaje del 14% con un tiempo de establecimiento  $T_s$  de  $67\mu\text{sec}$  aproximadamente.
- b. En el modo 2 existe un sobre impulso  $M_p$  de voltaje del 19% con un tiempo de establecimiento  $T_s$  de  $37\mu\text{sec}$  aproximadamente.

### 3.5. Eficiencia teórica

Para el cálculo de la eficiencia teórica se sigue el procedimiento de (ROHM Semiconductor, 2016) para el cálculo de las pérdidas de cada uno de los componentes seleccionados que conforman la etapa de fuerza de la fuente. En el cálculo teórico no se tendrá en consideración la pérdida generada por el circuito de control. En las tablas 3-9, 3-10 y 3-11 se especifican los parámetros requeridos para calcular las pérdidas de cada

elemento.

**Ilustración 3-35** Respuesta del voltaje y corriente de salida frente a una variación del 30% de la carga para el modo 1 y modo 2.



*Nota. Fuente elaboración propia.*

**Tabla 3-9** Parámetros eléctricos de los MOSFET en posición alta y baja.

Parámetro	Descripción	CSD17302Q5A	CSD17303Q5
		MOSFET posición alta	MOSFET posición baja
$C_{oss}$	Capacitancia de salida	390 pF	1440 pF
$Q_g$	Carga de la compuerta	5.4 nC	18 nC
$Q_{RR}$	Carga de recuperación inversa	15.4 nC	50 nC
$R_{on}$	Resistencia de encendido	7.3 mΩ	2 mΩ
$t_{d(off)}$	Tiempo muerto de bajada	10.6 ns	27 ns

$t_{d(on)}$	Tiempo muerto de subida	5.2 ns	11.4 ns
$t_f$	Tiempo de bajada	3.1 ns	10.4 ns
$t_r$	Tiempo de subida	8.4 ns	16 ns
$V_D$	Voltaje de polarización directa	0.85 V	0.8 V

*Nota. Fuente elaboración propia.*

**Tabla 3-10 Resistencia de los inductores.**

Inductor	Inductor L1 de 0.8uH	Inductor L2 de 2uH	Inductor L2 de 2uH
	MLC1565-801ML_	SER2009-202ML_	SER2009-202ML_
Resistencia DCR	1.4 mΩ	1 mΩ	1 mΩ

*Nota. Fuente elaboración propia.*

**Tabla 3-11 Resistencia de los capacitores.**

Capacitor	Capacitor 47uF	Capacitor 100uF	Capacitor 10uF
	EMK325ABJ476KMHP	LMK325AC6107MM-P	EMK212BBJ106KGHT
Resistencia ESR	2.3 mΩ*	1.8 mΩ*	3 mΩ*

*Nota. Fuente elaboración propia.*

\* Valor de resistencia a 500kHz

### 3.5.1. Pérdidas en los MOSFET

En las siguientes líneas se calcula las pérdidas de los MOSFET tanto en la posición alta como en la posición baja de cada una de las fases tanto en el Modo 1 y 2 de operación.

#### **Pérdidas por conducción por la resistencia de encendido $R_{on}$**

La pérdida en la resistencia  $R_{on}$  está determinada por la amplitud de la corriente y el tiempo que esta fluye a través de ella. Para el modo 1y 2 se utiliza la máxima amplitud de corriente por fase y el máximo ciclo de trabajo posible DC de 0.5.

En la tabla 3-9 se observa que los MOSFET han sido seleccionados de tal manera que el valor de la resistencia  $R_{on}$  es menor en el elemento de la posición baja comparado con el de posición alta para reducir las pérdidas por conducción por fase. Esto se debe a que el tiempo en que el MOSFET en posición baja este encendido siempre es mayor a el tiempo en

que el MOSFET en posición alta este encendido. Por ejemplo, en el modo 1 para obtener el voltaje de salida nominal de 1.52Vdc se requiere un ciclo de trabajo igual a 0.253, por lo que mientras el MOSFET en posición alta este encendido 25.3% del tiempo el MOSFET en posición baja estará encendido el 74.7% del tiempo por periodo. Entonces para disminuir las pérdidas por conducción se escoge un MOSFET en posición baja que tenga el menor valor de resistencia de encendido posible.

Para el cálculo de pérdida se utiliza la ecuación 3-73 y 3-74 para cada MOSFET de acuerdo a su ubicación.

$$P_{ON-MH} = I_L^2 \cdot R_{ON-MH} \cdot DC \quad 3-73$$

$$P_{ON-ML} = I_L^2 \cdot R_{ON-ML} \cdot DC' \quad 3-74$$

En donde,

$I_L$ , corriente del inductor

$R_{ON-MH}$ , resistencia de encendido del MOSFET en posición alta

$R_{ON-ML}$ , resistencia de encendido del MOSFET en posición baja

$DC$ , ciclo de trabajo

$DC'$ , complemento del ciclo de trabajo

Reemplazando los valores en las ecuaciones se obtiene la ilustración 3-36 para el modo 1 y 2 de operación.

### **Perdidas por conmutación**

Las pérdidas por conmutación se dan cuando uno de los MOSFET se enciende o apagada y en la transición se da un cruce de voltaje y corriente que generan pérdidas en forma de calor. Las ecuaciones 3-75 y 3-76 son utilizadas para el cálculo de los MOSFET en posición alta y baja respectivamente.

$$P_{SW-MH} = \frac{1}{2} \cdot V_i \cdot I_L \cdot (t_{r-MH} + t_{f-MH}) \cdot f \quad 3-75$$

$$P_{SW-ML} = \frac{1}{2} \cdot V_D \cdot I_L \cdot (t_{r-ML} + t_{f-ML}) \cdot f \quad 3-76$$

En donde,

$V_i$ , voltaje de entrada

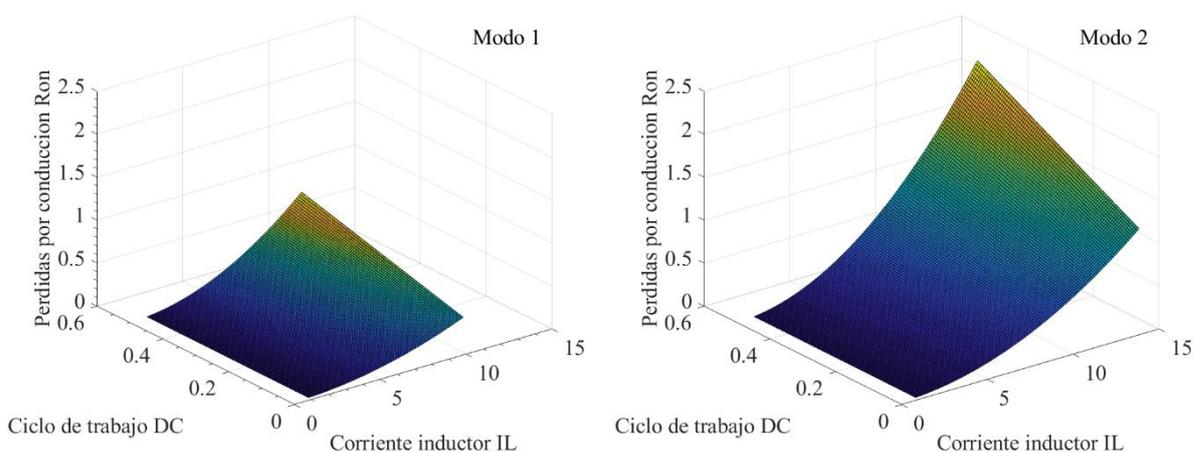
$t_{r-M}$ , tiempo de subida del MOSFET

$t_{f-M}$ , tiempo de bajada del MOSFET

$V_D$  caída de tensión en polarización directa

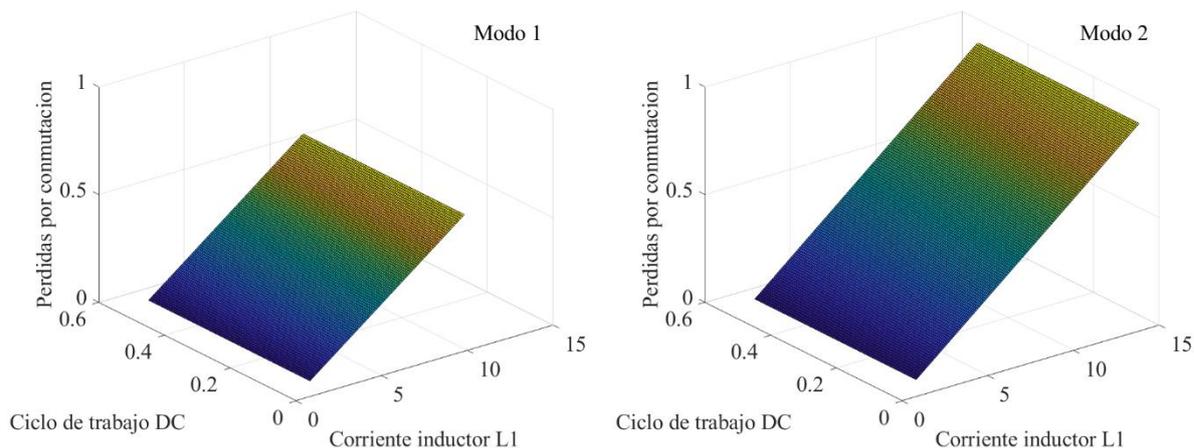
Reemplazando los valores se obtiene la ilustración 3-37.

**Ilustración 3-36** Perdidas por conducción en resistencia  $R_{on}$ .



*Nota. Fuente elaboración propia.*

**Ilustración 3-37** Perdidas por conmutación en el MOSFET.



*Nota. Fuente elaboración propia.*

**Perdidas por recuperación inversa en el cuerpo del diodo.**

Cuando se apaga el MOSFET de la posición baja, el diodo en paralelo pasa de un estado de polarización directa a polarización inversa poniéndose en un estado de recuperación inversa causando pérdidas en el cuerpo.

Las pérdidas dependen de la corriente de recuperación inversa y del tiempo que dura la

recuperación. La hoja de datos solo brinda la carga de recuperación inversa por lo que reemplazando la ecuación 3-78 en la ecuación 3-77 se obtiene la ecuación final 3-79.

$$P_D = \frac{1}{2} \cdot V_i \cdot I_{RR} \cdot t_{rr} \cdot f \quad 3-77$$

$$Q_{RR} \cong \frac{1}{2} \cdot I_{RR} \cdot t_{rr} \quad 3-78$$

$$P_D = V_i \cdot Q_{RR} \cdot f \quad 3-79$$

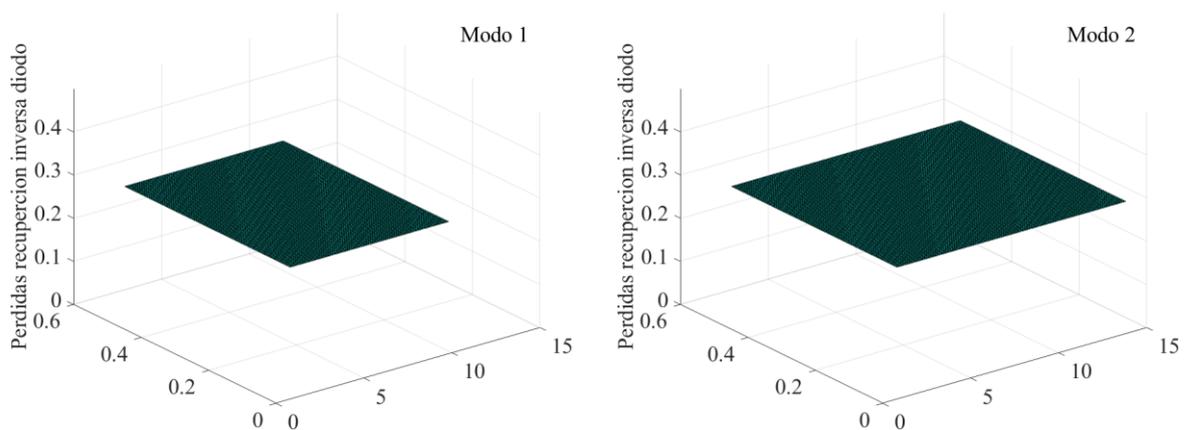
En donde,

$I_{RR}$ , valor pico de la corriente de recuperación inversa

$t_{RR}$ , tiempo de la recuperación inversa

Reemplazando los valores se obtiene la ilustración 3-38.

*Ilustración 3-38* Perdidas por recuperación inversa en el diodo.



*Nota. Fuente elaboración propia.*

### Perdidas por capacitancia de salida

Las pérdidas se dan por la carga acumulada en los capacitores parásitos del drenaje-fuente y compuerta-drenaje. Para el cálculo se utiliza la ecuación 3-80.

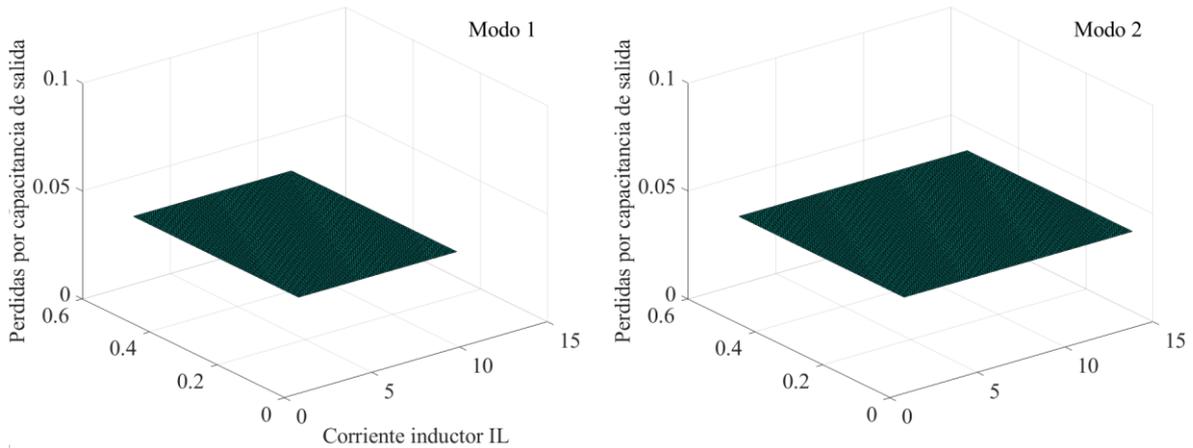
$$P_{COSS} = \frac{1}{2} \cdot (C_{OSS-ML} + C_{OSS-MH}) \cdot V_i^2 \cdot f \quad 3-80$$

En donde,

$C_{OSS-M}$ , capacitancia de salida del MOSFET

Y reemplazando se obtiene la ilustración 3-39.

*Ilustración 3-39* Perdidas por capacitancia de salida.



*Nota. Fuente elaboración propia.*

### Perdidas por tiempo muerto

Cuando los MOSFET conmutan se introduce un tiempo para permitir que estos totalmente se apaguen o prendan. La corriente que circula durante este tiempo y la caída de tensión en ellos son los que ocasionen las pérdidas por tiempo muerto. La ecuación 3-81 es la que se utiliza para el cálculo.

$$P_{DT} = V_D \cdot I_L \cdot (t_{Dr} + t_{Df}) \cdot f \quad 3-81$$

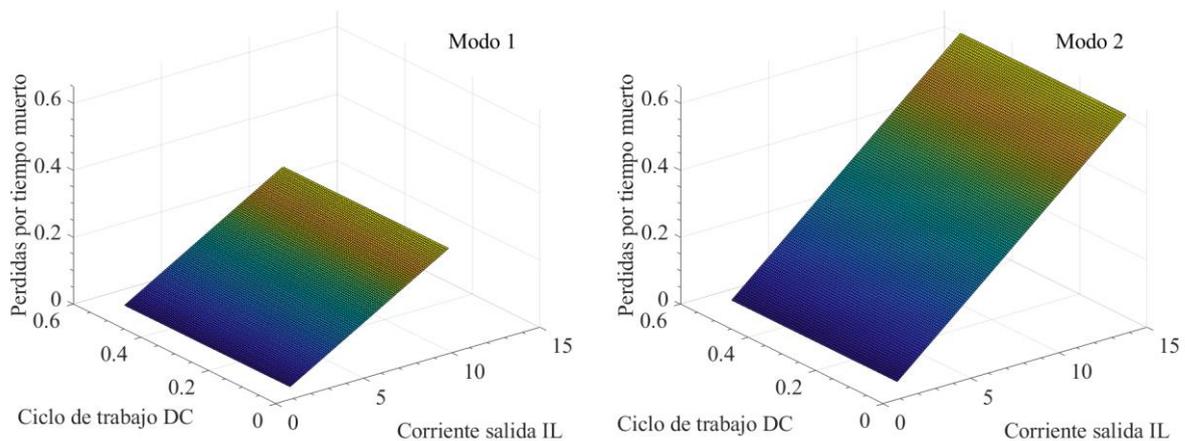
En donde,

$t_{Dr}$ , tiempo muerto para subida

$t_{Df}$ , tiempo muerto para bajada

Reemplazando se obtiene la ilustración 3-40.

**Ilustración 3-40** Perdidas por tiempo muerto.



*Nota. Fuente elaboración propia.*

### Perdidas por carga de los capacitores de la compuerta

Son pérdidas que se presentan cada vez que se enciende un MOSFET debido a la carga de la capacitancia parasita de la compuerta. La ecuación 3-82 se utiliza para el cálculo.

$$P_G = (Q_{g-MH} + Q_{g-ML}) \cdot V_{GS} \cdot f \quad 3-82$$

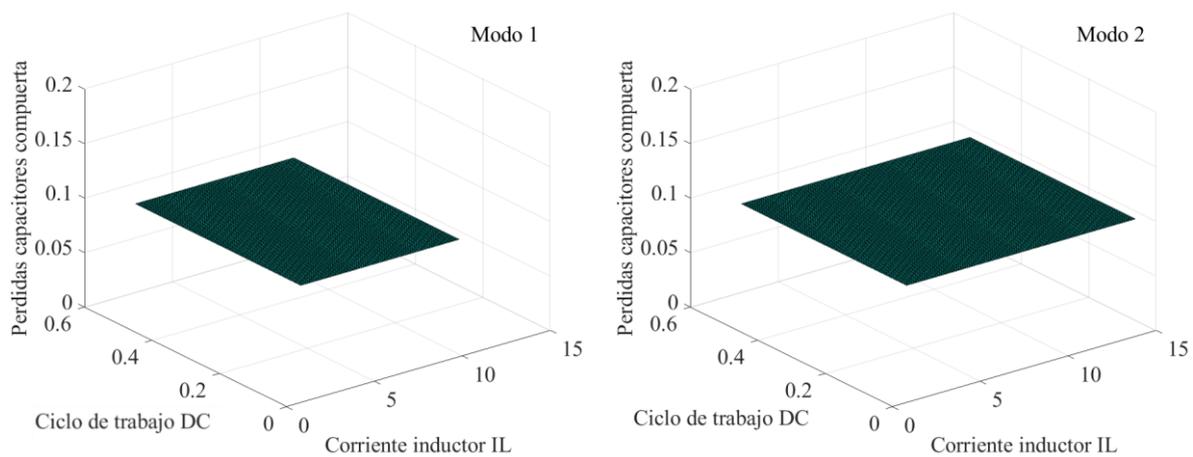
En donde,

$Q_{g-M}$ , carga de compuerta del MOSFET

$V_{GS}$ , voltaje de la compuerta

Y reemplazando se obtiene la ilustración 3-41.

*Ilustración 3-41 Perdidas por carga de los capacitores de la compuerta.*



*Nota. Fuente elaboración propia.*

### 3.5.2. Perdidas en los inductores

Las pérdidas por conducción en el inductor se deben a la resistencia inherente del hilo conductor utilizado. Para el cálculo se utiliza la ecuación 3-83.

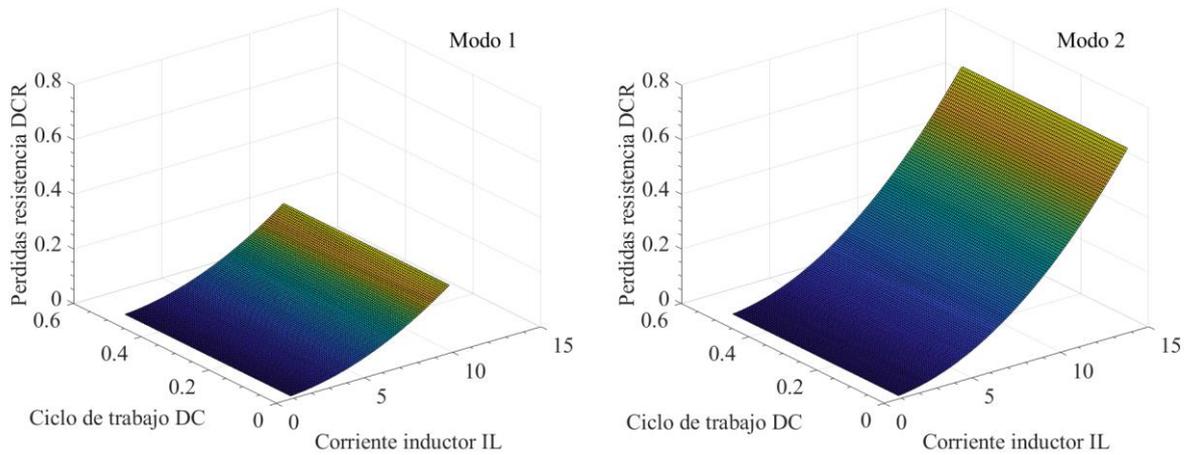
$$P_{L(DCR)} = I_L^2 \cdot DCR \quad 3-83$$

En donde,

$DCR$ , resistencia del inductor

La ilustración 3-42 muestra las pérdidas.

*Ilustración 3-42 Perdidas por conducción en la resistencia DCR del inductor.*



*Nota. Fuente elaboración propia.*

### 3.5.3. Perdidas en los capacitores

La ecuación 3-84 muestra la ecuación general para el cálculo de las perdidas por conducción de la resistencia ESR de los capacitores.

$$P_{Cap(ESR)} = I_{Cap(RMS)}^2 \cdot ESR \quad 3-84$$

En donde,

$I_{Cap(RMS)}$ , corriente RMS del capacitor

$ESR$ , resistencia equivalente del capacitor

Para el cálculo se debe tener en cuenta que para obtener el valor seleccionado del capacitor de salida  $C_o$ , en serie  $C_1$  y de entrada  $C_i$  se recomienda poner dos o tres capacitores en paralelo, tabla 3-11. Y, al estar en paralelo, la nueva resistencia ESR debe ser calculada con la ecuación 3-85 de la impedancia equivalente y ecuación 3-86 de la impedancia del capacitor para cada caso.

$$Z_{equivalente} = \frac{1}{1/Z_1 + 1/Z_2 + 1/Z_3} \quad 3-85$$

$$Z_C = R - \frac{j}{2 \cdot \pi \cdot f \cdot C} \quad 3-86$$

a. Capacitor de entrada

Para el capacitor de entrada se utilizan dos capacitores de  $47\mu F$  y uno de  $10\mu F$ ,

y como resultado se tiene una resistencia ESR equivalente de  $0.97\text{m}\Omega$

$$Z_1 = Z_2 = 2.3 \cdot 10^{-3} - \frac{j}{2 \cdot \pi \cdot 0.5 \cdot 10^6 \cdot 47 \cdot 10^{-6}}$$

$$Z_3 = 3 \cdot 10^{-3} - \frac{j}{2 \cdot \pi \cdot 0.5 \cdot 10^6 \cdot 10 \cdot 10^{-6}}$$

$$Z_{Ci} = 0.97 \cdot 10^{-3} - j3.07 \cdot 10^{-3}$$

Luego la ecuación 3-87 es utilizada para el cálculo de la corriente que fluye por el capacitor.

$$I_{Ci(RMS)} = I_{L1} \cdot \frac{\sqrt{(V_i - V_o) \cdot V_o}}{V_i} \quad 3-87$$

Finalmente se reemplazan los valores en la ecuación 3-84 y el resultado se ve en la ilustración 43.

b. Capacitor de salida

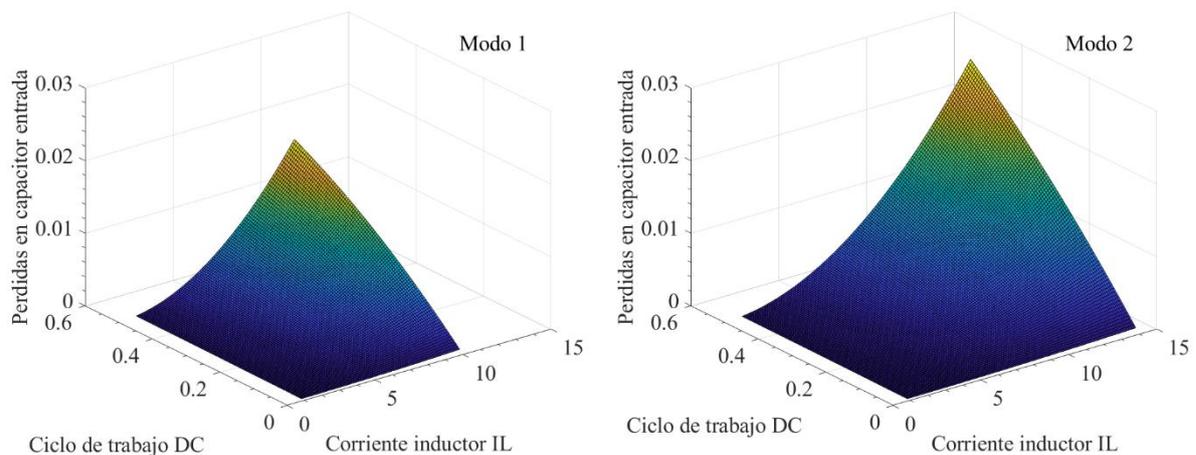
Para el capacitor de salida se utiliza un capacitor de  $100\mu\text{F}$ , uno de  $47\mu\text{F}$ , y se decide añadir uno de  $10\mu\text{F}$ , y como resultado se tiene una resistencia ESR equivalente de  $0.94\text{ m}\Omega$

$$Z_{Co} = 0.94 \cdot 10^{-3} - j2.06 \cdot 10^{-3}$$

Mediante la ecuación 3-88 se calcula la corriente que fluye por el capacitor

$$I_{Co(RMS)} = \frac{\Delta I_o}{2\sqrt{3}} \quad 3-88$$

**Ilustración 3-43** Perdidas por conducción en la resistencia ESR del capacitor de entrada.



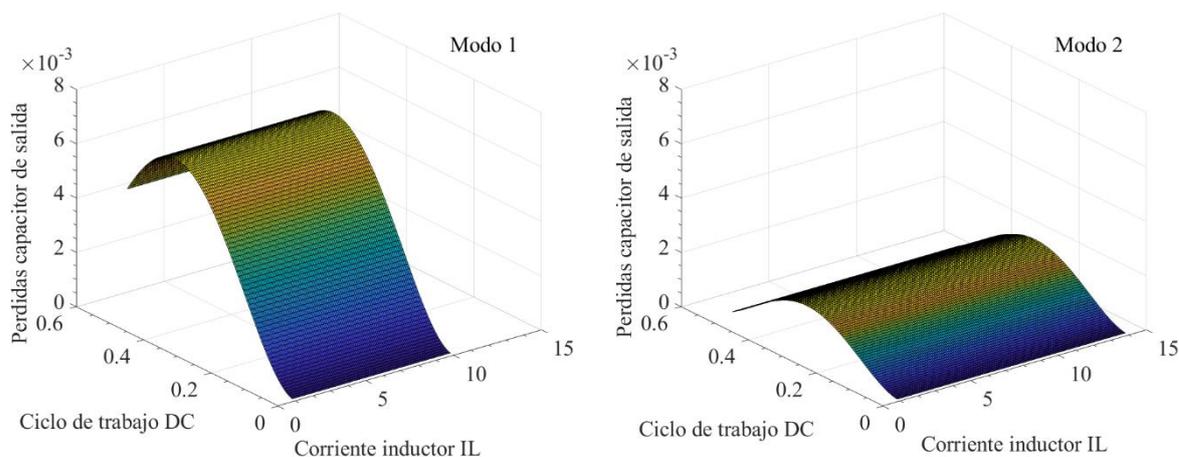
*Nota. Fuente elaboración propia.*

En donde,

$\Delta I_O$ , rizado de corriente de salida

Luego se reemplazan estos valores en la ecuación 3-84 para obtener la ilustración 3-44.

**Ilustración 3-44** *Perdidas por conducción en la resistencia ESR del capacitor de salida.*



*Nota. Fuente elaboración propia.*

### c. Capacitor en serie

En este caso, para el capacitor de salida se utiliza un capacitor de  $100\mu\text{F}$  y uno de  $47\mu\text{F}$ , y como resultado se tiene una resistencia ESR equivalente de  $1.06\text{m}\Omega$

$$Z_{C1} = 1.06 \cdot 10^{-3} - j2.19 \cdot 10^{-3}$$

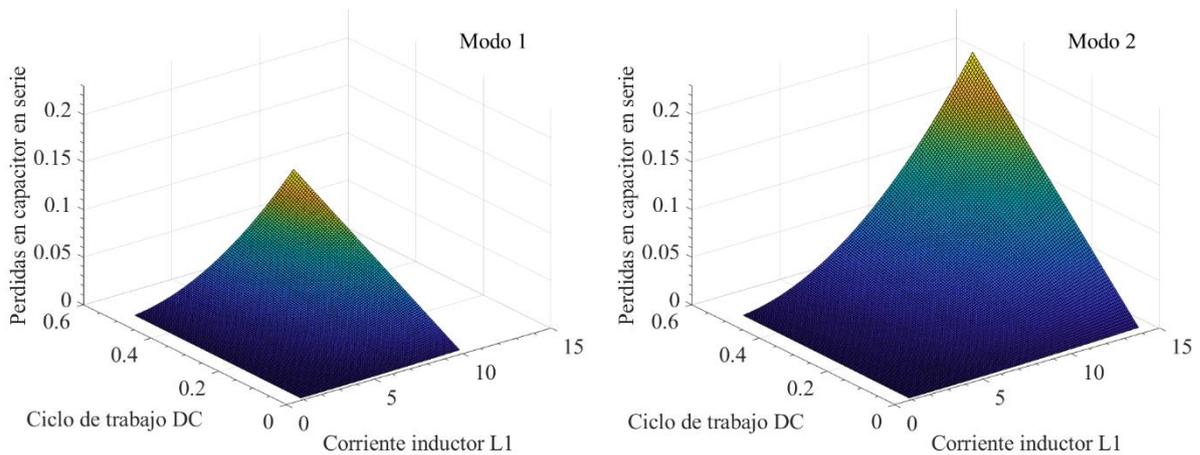
Mediante la ecuación 3-89 se calcula la corriente que fluye por el capacitor en serie.

$$I_{C1rms} = \sqrt{\frac{1}{T} \int_0^{t1} I_{L1}^2 dt + \frac{1}{T} \int_{T/2}^{t1+T/2} I_{L1}^2 dt}$$

$$I_{C1rms} = \sqrt{I_{L1}^2 \cdot 2 \cdot DC_1} \quad 3-89$$

Finalmente, reemplazando los valores en la ecuación 3-84 se obtiene la ilustración 3-45.

**Ilustración 3-45** *Perdidas por conducción en la resistencia ESR del capacitor en serie.*

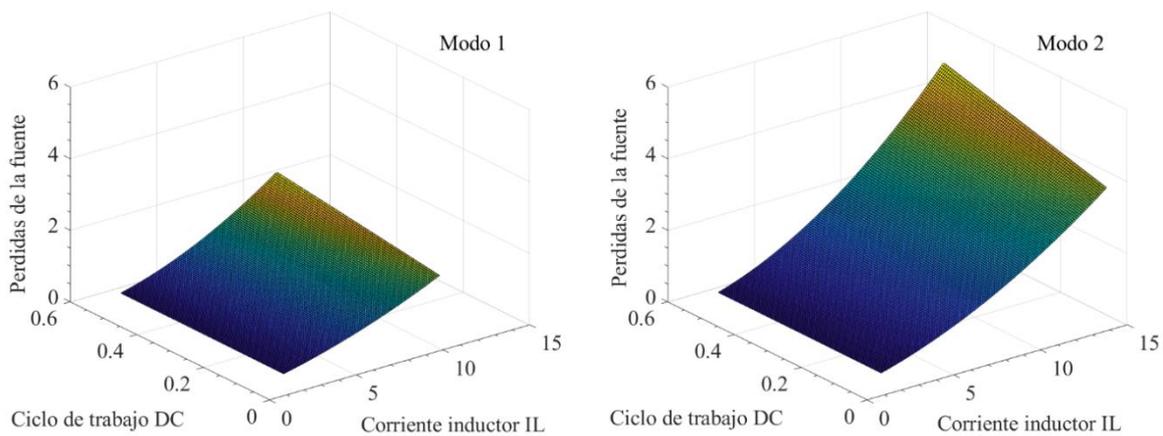


*Nota. Fuente elaboración propia.*

### 3.5.4. Eficiencia de la fuente

Para el cálculo de la eficiencia de la fuente primero se suma a las pérdidas individuales del modo 1 y modo 2 de operación. El resultado de la suma se visualiza en la ilustración 3-46, en donde se observa que:

**Ilustración 3-46** *Perdidas teórica de la fuente de conmutación en modo 1 y modo 2.*



*Nota. Fuente elaboración propia.*

- a. Las pérdidas aumentan de forma cuadrática cuando se incrementa la corriente de fase y el ciclo de trabajo
- b. Cuando la fuente trabaja al máximo voltaje posible y a máxima carga:
  - Para el modo 1. Pérdida máxima es de 2.69 watts, a 3Vdc de salida y 20 amperios.
  - Para el modo 2. Pérdida máxima es de 4.79 watts, a 2Vdc de salida y 40

amperios.

- c. Cuando la fuente trabaja a voltaje nominal de 1.52Vd y a máxima carga:
- Para el modo 1. Perdida máxima es de 2.36 watts, a 20 amperios.
  - Para el modo 2. Perdida máxima es de 4.51 watts, a 40 amperios.

Con los resultados obtenidos se calcula la eficiencia de la fuente mediante la ecuación 3-90.

$$\eta = \frac{P_o}{P_o + P} \quad 3-90$$

En donde,

$P_o$ , es la potencia de salida.

$P$ , son las pérdidas en la fuente.

La tabla 3-12 muestra la eficiencia para los dos casos observados: cuando el voltaje y carga son los máximos y cuando la fuente trabaja a voltaje nominal a máxima carga.

**Tabla 3-12** Eficiencia de la fuente de conmutación. Fuente: elaboración propia.

Máximo voltaje y carga máxima	Modo 1: 3Vdc	$\eta = 95.7\%$
	20 amperios	
	$P_o = 60W$	
Voltaje nominal y máxima carga	Modo 2: 2Vdc	$\eta = 94.4\%$
	40 amperios	
	$P_o = 80W$	
Voltaje nominal y máxima carga	Modo 1: 1.52Vdc	$\eta = 92.8\%$
	20 amperios	
	$P_o = 30.4W$	

Modo 2: 1.52Vdc

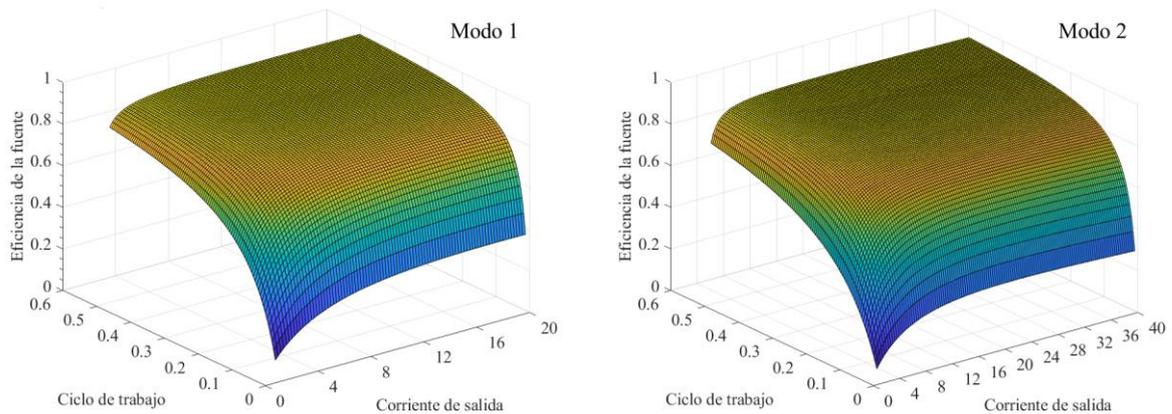
40 amperios

$\eta = 93.1\%$

$P_o = 60.8W$

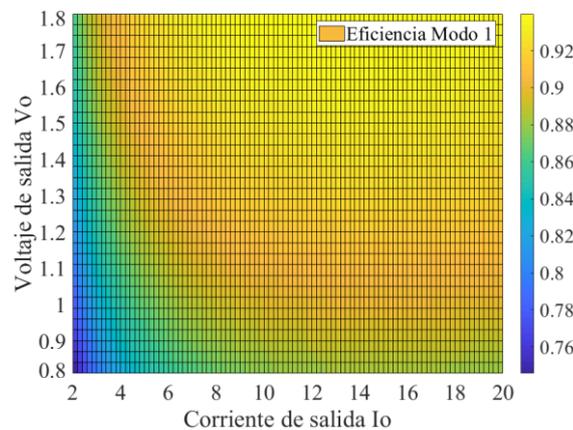
A continuación, la ilustración 3-47 muestra la eficiencia para toda carga y ciclo de trabajo para ambos modos de operación, En la ilustración 3-48 se observa en detalle como varia la eficiencia para voltajes de salida de 0.8Vdc a 1.8Vdc y corriente de salida para el modo 1 hasta 20 amperios y para el modo 2 de 20 a 40 amperios.

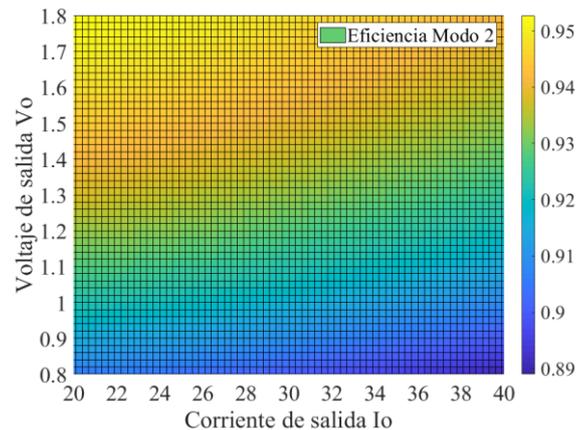
**Ilustración 3-47** Eficiencia de la fuente.



*Nota. Fuente elaboración propia.*

**Ilustración 3-48** Eficiencia de la fuente en modo 1 y modo 2, para voltajes de salida de 0.8Vdc a 1.8Vdc.





*Nota. Fuente elaboración propia.*

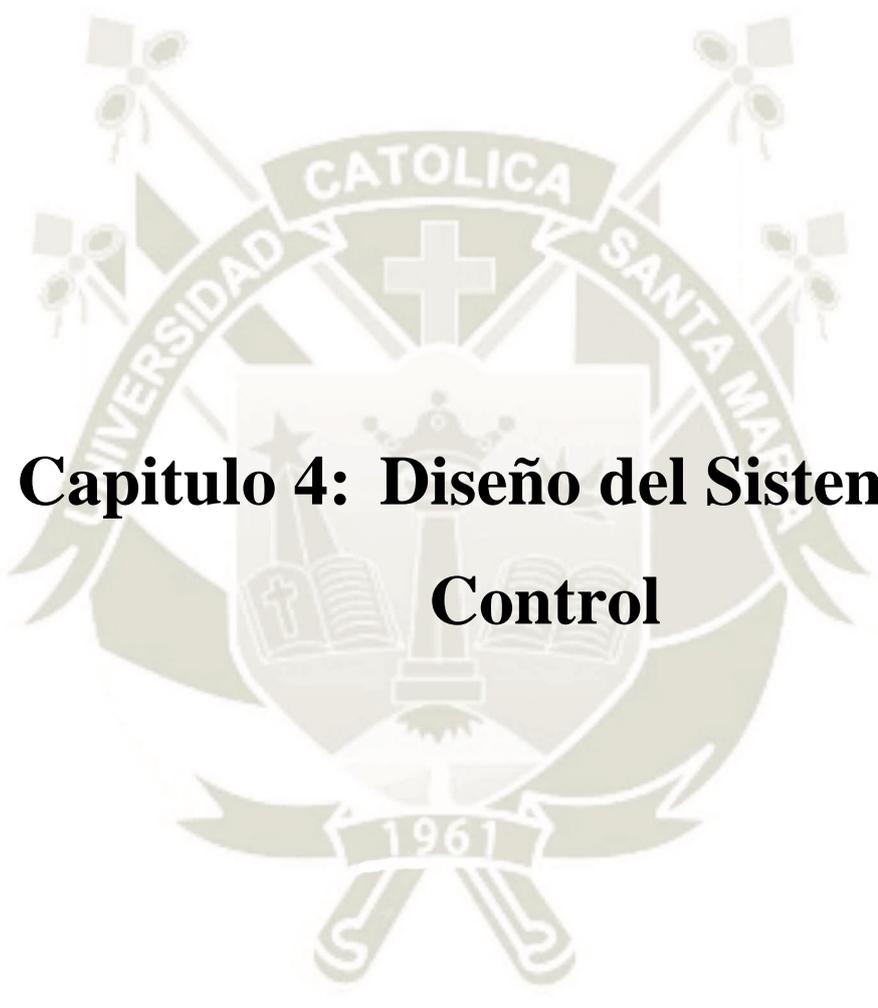
### 3.6. Resumen del capítulo

El diseño, simulación y eficiencia de la fuente se presenta en este capítulo. Se inicia con la derivación de las ecuaciones que definen la operación de la fuente en sus dos modos de operación. Luego se continúa con el diseño de la fuente tanto para el modo 1 como para el modo 2, la diferencia entre los modos es el número de fases y la frecuencia de conmutación. El modo 1 trabaja con dos fases y una frecuencia de 500kHz y el modo 2 trabaja con tres fases y una frecuencia de 500kHz para la primera fase y 250kHz para la fase dos y tres.

Una vez que se han calculado el valor de los componentes se selecciona aquellos que permiten que la fuente opere dentro de los parámetros establecidos en ambos modos. Luego, se escoge valores estándar comerciales y se procede a simular el circuito.

La simulación confirma que la fuente se comporta dentro de lo esperado y se toman medidas de la respuesta transitoria. Se observa que la calidad del voltaje y corriente de salida es mejor en el modo 2 de operación, esto se debe a, que en el modo 1, la corriente de fase 1 es casi 2.5 veces la amplitud de la corriente de fase 2 y la fuente está constantemente balanceando la corriente rms de fase y manteniendo estable el voltaje del capacitor en serie.

Finalmente se calcula la eficiencia teórica. El cálculo de las pérdidas y de la eficiencia se hace elemento por elemento, para todo voltaje y corriente de salida. Cuando el voltaje de salida está dentro de los parámetros establecidos, de 0.8Vdc a 1.8Vdc, y la carga es mayor a 3 amperios la eficiencia supera el 80%, y cuando el voltaje de salida es el nominal de 1.52Vdc la eficiencia es mayor a 90% para cargas mayores a 3 amperios alcanzando una eficiencia de 93.1% a 40 amperios.



# Capítulo 4: Diseño del Sistema de Control

## 4. Diseño del Sistema de Control

### 4.1. Modelo matemático de fuente Buck Multifase con capacitor en serie

Para conseguir una correcta regulación del voltaje de salida  $V_o$  se requiere de un sistema de retroalimentación que mantenga un voltaje constante, estable y con una adecuada respuesta a los transitorios ante variaciones del voltaje de entrada y de la carga de salida.

Con la finalidad de estudiar el comportamiento de una fuente de conmutación se requiere modelar un circuito equivalente que muestre como las pequeñas variaciones de las variables de operación afectan a la salida. Para esto, la respuesta del circuito equivalente en el dominio del tiempo y frecuencia muestra el camino a seguir para el diseño de un circuito compensador que forzara el comportamiento deseado.

La metodología a utilizar para el modelado es “modelamiento mediante promediado de los dispositivos de conmutación”. Mediante esta técnica se promedia las señales de voltaje y corriente de los dispositivos de conmutación de la fuente, y el promedio resultante se reemplaza por una fuente de voltaje y corriente, y un transformador para representar la relación de la señal de entrada con la de salida.

#### 4.1.1. Modelado de circuito

A partir del circuito de la fuente de conmutación Buck de tres fases con un capacitor en serie, ilustración 4-1, y del estado de los switches de conmutación para cada intervalo de operación determinados en las tablas 3-2 y 3-3 del capítulo anterior, tanto en modo 1 como en modo 2, se obtiene las curvas que reflejan los voltajes y corrientes que transcurren por estos elementos durante cada intervalo.

Cada switch de conmutación es representado por una fuente dependiente e independiente que simboliza el estado de la corriente o voltaje que se refleja en ellos en un intervalo de operación, posteriormente se promedia los valores de las fuentes en un periodo de tiempo determinado por la frecuencia de operación. Y finalmente, se relaciona el ciclo de trabajo, voltajes y corrientes de los switches de conmutación de cada fase para obtener una relación que se representa en forma de un transformador ideal.

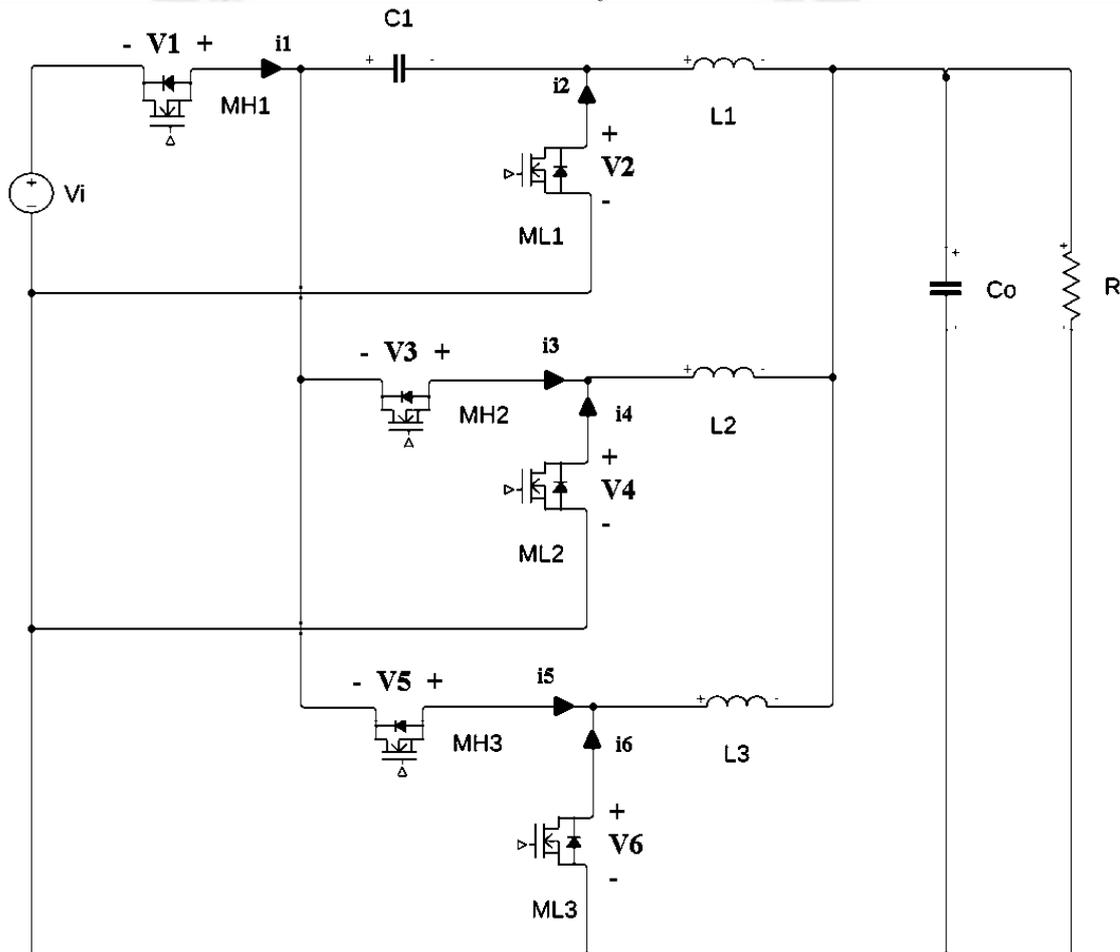
##### 4.1.1.1. Modo 1

El modo 1 tiene 4 intervalos de operación, cuya duración está determinada por el ciclo de trabajo de cada fase.

Para el intervalo 1 y fase 1 se tiene que:

- El MOSFET  $MH1$  se encuentra en estado cerrado por lo que el voltaje  $v_1(t)$  que transcurre por este elemento es de cero voltios. Sin embargo, la corriente  $i_1(t)$  es igual a la corriente que fluye por el inductor  $L_1$ .
- El MOSFET  $ML_1$  se encuentra en estado abierto por lo que el voltaje  $v_2(t)$  que se refleja en este punto es el voltaje de entrada  $V_i$  menos el voltaje que cae en el capacitor  $V_{C1}$ . Y la corriente  $i_2(t)$  es cero ya que esta no fluye por ser un circuito cerrado.

Ilustración 4-1 Circuito de la fuente de conmutación.



Nota. Fuente elaboración propia.

Este mismo análisis se repite para cada fase e intervalo del circuito en modo 1, y el resultado se muestra en la tabla 4-1.

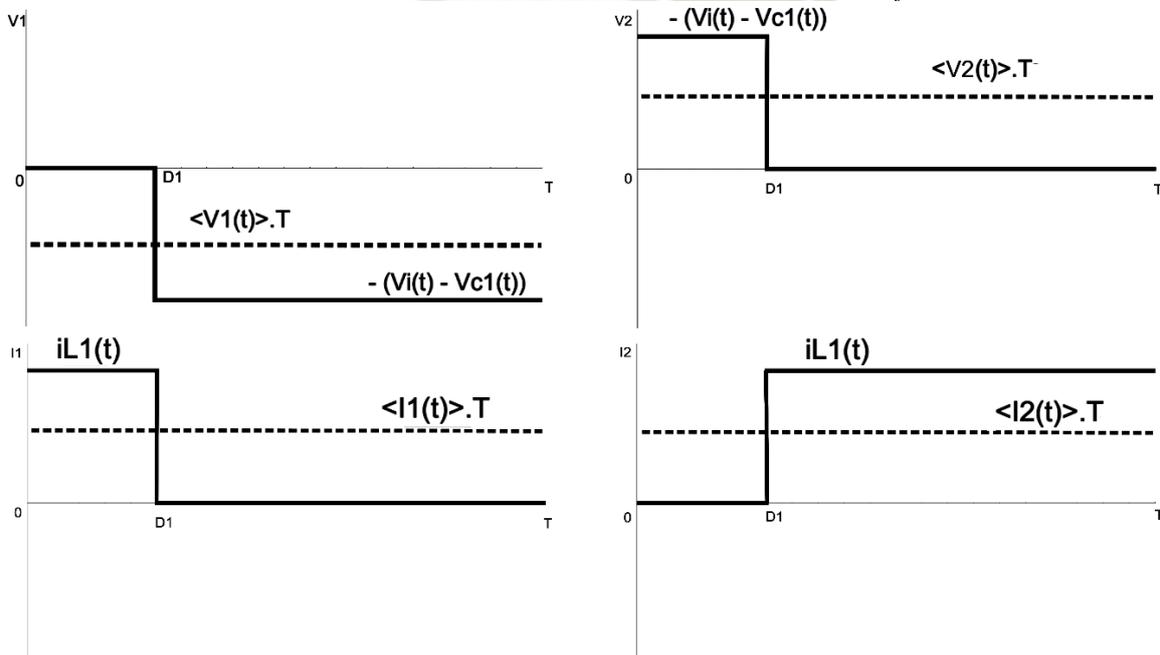
**Tabla 4-1** Ecuaciones de señales de los MOSFETs o conmutadores.

	Intervalo 1	Intervalo 2 y 4	Intervalo 3
	$0 \leq t \leq D_1, D_2$	$D_1, D_2 < t \leq T/2$ $T/2 + D_1, D_2 < t \leq T$	$T/2 < t \leq T/2 + D_1, D_2$
Fase 1	$v_1(t) = 0$	$v_1(t) = -(v_i(t) - v_{c1}(t))$	$v_1(t) = -(v_i(t) - v_{c1}(t))$
	$v_2(t) = v_i(t) - v_{c1}(t)$	$v_2(t) = 0$	$v_2(t) = 0$
	$i_1(t) = i_{L1}(t)$	$i_1(t) = 0$	$i_1(t) = 0$
Fase 2	$i_2(t) = 0$	$i_2(t) = i_{L1}(t)$	$i_2(t) = i_{L1}(t)$
	$v_3(t) = -v_{c1}(t)$	$v_3(t) = -v_{c1}(t)$	$v_3(t) = 0$
	$v_4(t) = 0$	$v_4(t) = 0$	$v_4(t) = v_{c1}(t)$
	$i_3(t) = 0$	$i_3(t) = 0$	$i_3(t) = i_{L2}(t)$
	$i_4(t) = i_{L2}(t)$	$i_4(t) = i_{L2}(t)$	$i_4(t) = 0$

Nota. Fuente elaboración propia.

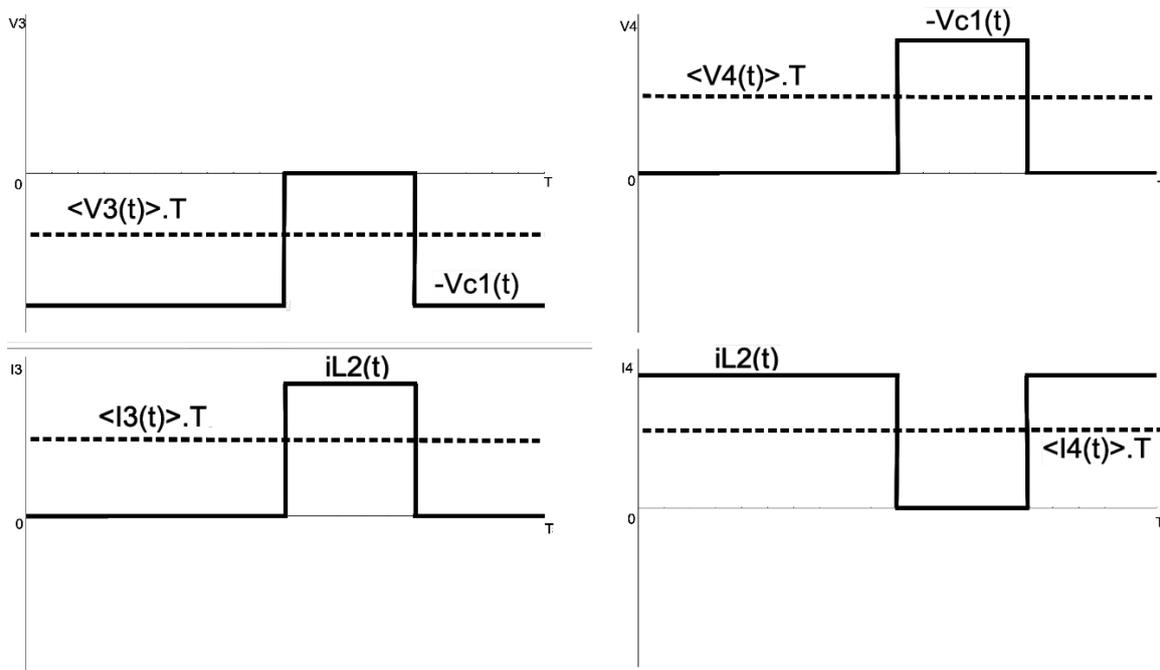
Seguidamente, a partir de las ecuaciones de la tabla se grafica la forma de onda de los voltajes y corrientes, ilustración 4-2 y 4-3.

**Ilustración 4-2** Señales en los MOSFET o conmutadores de la fase 1.



Nota. Fuente elaboración propia.

**Ilustración 4-3** Señales en los MOSFET o conmutadores de la fase 2.



*Nota. Fuente elaboración propia.*

Para los voltajes  $v_1(t)$  y  $v_2(t)$ , ilustración 4-2, el promedio del voltaje de es igual al producto de la amplitud por su tiempo de duración (periodo  $T$  por el ciclo de trabajo  $D$ ) sobre el periodo  $T$ , ecuación 4-1 y 4-2.

$$\langle v_1(t) \rangle_T = -(\langle v_i(t) \rangle_T - \langle v_{c1}(t) \rangle_T) \cdot d'_1(t) \quad 4-1$$

$$\langle v_2(t) \rangle_T = (\langle v_i(t) \rangle_T - \langle v_{c1}(t) \rangle_T) \cdot d_1(t) \quad 4-2$$

En donde, el complemento del ciclo de trabajo es:

$$d'_1(t) = 1 - d(t) \quad 4-3$$

En ambas ecuaciones se despeja la diferencia del voltaje de entrada  $V_i$  del voltaje del capacitor de entrada  $V_{c1}$ , y se iguala los resultados.

$$(\langle v_i(t) \rangle_T - \langle v_{c1}(t) \rangle_T) = -\frac{\langle v_1(t) \rangle_T}{d'_1(t)} \quad 4-4$$

$$(\langle v_i(t) \rangle_T - \langle v_{c1}(t) \rangle_T) = \frac{\langle v_2(t) \rangle_T}{d_1(t)} \quad 4-5$$

Para la fase 1 se designa como variable independiente a  $V_1$  e  $I_2$ , y como variables dependientes a  $V_2$  e  $I_1$ , y a partir de la ecuación 4-4 y 4-5 se deduce el valor del voltaje

$v_2(t)$ , ecuación 4-6.

$$\langle v_2(t) \rangle_T = - \frac{\langle v_1(t) \rangle_T \cdot d_1(t)}{d'_1(t)} \quad 4-6$$

Finalmente, el mismo ejercicio se aplica a las corrientes  $I_1$  e  $I_2$

$$\langle i_{L1}(t) \rangle_T = \frac{\langle i_1(t) \rangle_T}{d_1(t)} \quad 4-7$$

$$\langle i_{L1}(t) \rangle_T = \frac{\langle i_2(t) \rangle_T}{d'_1(t)} \quad 4-8$$

Y se obtiene:

$$\langle i_1(t) \rangle_T = \frac{\langle i_2(t) \rangle_T \cdot d_1(t)}{d'_1(t)} \quad 4-9$$

Para la fase dos el procedimiento es el mismo, se establece a  $V_3$  e  $I_4$  como las variables independientes, por lo que las ecuaciones promedio son:

$$\langle v_4(t) \rangle_T = - \frac{\langle v_3(t) \rangle_T \cdot d_2(t)}{d'_2(t)} \quad 4-10$$

$$\langle i_3(t) \rangle_T = \frac{\langle i_4(t) \rangle_T \cdot d_2(t)}{d'_2(t)} \quad 4-11$$

### Modelamiento de pequeña señal AC

Para linealizar el circuito de la fuente de conmutación se requiere aplicar el procedimiento de modelamiento de pequeña señal AC, para eso se debe perturbar las señales y luego linealizar los voltajes, corrientes y ciclo de trabajo de las ecuaciones 4-6, y 4-9 a 4-11.

La perturbación de una señal consiste en introducir una pequeña señal en AC a la señal continua que se quiere perturbar, luego el valor de la señal perturbada consiste en un valor en DC y un pequeño valor en AC. Las ecuaciones 4-12 a la 4-15 muestran el resultado de la perturbación del ciclo de trabajo, corriente y voltaje.

$$d(t) = D + \check{d}(t) \quad 4-12$$

$$d'(t) = D' - \bar{d}(t) \quad 4-13$$

$$\langle v(t) \rangle_T = V + \check{v}(t) \quad 4-14$$

$$\langle i(t) \rangle_T = I + \hat{i}(t) \quad 4-15$$

Luego, para la fase 1 se substituyen estas ecuaciones en 4-6 y se obtiene:

$$V_2 + \check{v}_2(t) \cdot (D_1' - \bar{d}_1(t)) = -(V_1 + \check{v}_1(t)) \cdot (D_1 + \bar{d}_1(t))$$

A continuación, se reordena y expande los términos de la siguiente manera

$$D_1' \cdot (V_2 + \check{v}_2(t)) = D_1 \cdot -(V_1 + \check{v}_1(t)) - \bar{d}_1(t) \cdot (V_1 + \check{v}_1(t)) + \bar{d}_1(t) \cdot (V_2 + \check{v}_2(t))$$

Y, se descartan los términos de 2do orden AC por ser mucho menores que los términos de 1er orden AC y se obtiene:

$$D_1' \cdot (V_2 + \check{v}_2(t)) = D_1 \cdot -(V_1 + \check{v}_1(t)) - \bar{d}_1(t) \cdot V_1 + \bar{d}_1(t) \cdot V_2$$

Finalmente se despeja la variable dependiente  $(V_2 + \check{v}_2(t))$  para obtener la ecuación 4-16 que describe el voltaje dependiente  $(V_2 + \check{v}_2(t))$ , la fuente de voltaje independiente  $-D_1/D_1' \cdot (V_1 + \check{v}_1(t))$ , y la fuente de voltaje independiente perturbada  $(\bar{d}_1(t)/D_1 \cdot D_1') \cdot V_2$

$$(V_2 + \check{v}_2(t)) = -\frac{D_1}{D_1'} \cdot (V_1 + \check{v}_1(t)) + \frac{\bar{d}_1(t)}{D_1 \cdot D_1'} \cdot V_2 \quad 4-16$$

El mismo procedimiento se aplica en las ecuaciones 4-9, 4-10 y 4-11 y se obtiene:

$$(I_1 + \hat{i}_1(t)) = \frac{D_1}{D_1'} \cdot (I_2 + \hat{i}_2(t)) - \frac{\bar{d}_1(t)}{D_1 \cdot D_1'} \cdot I_1 \quad 4-17$$

$$(V_4 + \check{v}_4(t)) = -\frac{D_2}{D_2'} \cdot (V_3 + \check{v}_3(t)) + \frac{\bar{d}_2(t)}{D_2 \cdot D_2'} \cdot V_4 \quad 4-18$$

$$(I_3 + \hat{i}_3(t)) = \frac{D_2}{D_2'} \cdot (I_4 + \hat{i}_4(t)) - \frac{\bar{d}_2(t)}{D_2 \cdot D_2'} \cdot I_3 \quad 4-19$$

El siguiente paso es representar las fuentes independientes sin perturbar como un

transformador. En las ecuaciones 4-16 y 4-17 se observa que las fuentes  $V_1 + \check{v}_1(t)$  y  $I_2 + \hat{i}_2(t)$  tienen una relación de transformación  $D_1/D_1'$ , esta relación se representa con un transformador ideal. El mismo procedimiento se realiza con la ecuación 4-18 y 4-19.

Los valores de las fuentes dependientes e independientes se han simplificado, los valores se muestran en la tabla 4-2.

**Tabla 4-2** Simplificación de los valores de las fuentes de corriente y voltaje.

Fase 1	$a = \frac{\check{d}_1(t)}{D_1 \cdot D_1'} \cdot I_1$	$b = \frac{D_1}{D_1'} \cdot (I_2 + \hat{i}_2(t))$
	$c = -\frac{D_1}{D_1'} \cdot (V_1 + \check{v}_1(t))$	$d = \frac{\check{d}_1(t)}{D_1 \cdot D_1'} \cdot V_2$
Fase 2	$m = \frac{\check{d}_2(t)}{D_2 \cdot D_2'} \cdot I_3$	$n = \frac{D_2}{D_2'} \cdot (I_4 + \hat{i}_4(t))$
	$o = -\frac{D_2}{D_2'} \cdot (V_3 + \check{v}_3(t))$	$p = \frac{\check{d}_2(t)}{D_2 \cdot D_2'} \cdot V_4$

*Nota. Fuente elaboración propia.*

El circuito resultante se muestra en la ilustración 4-4.

### **Circuito modelado**

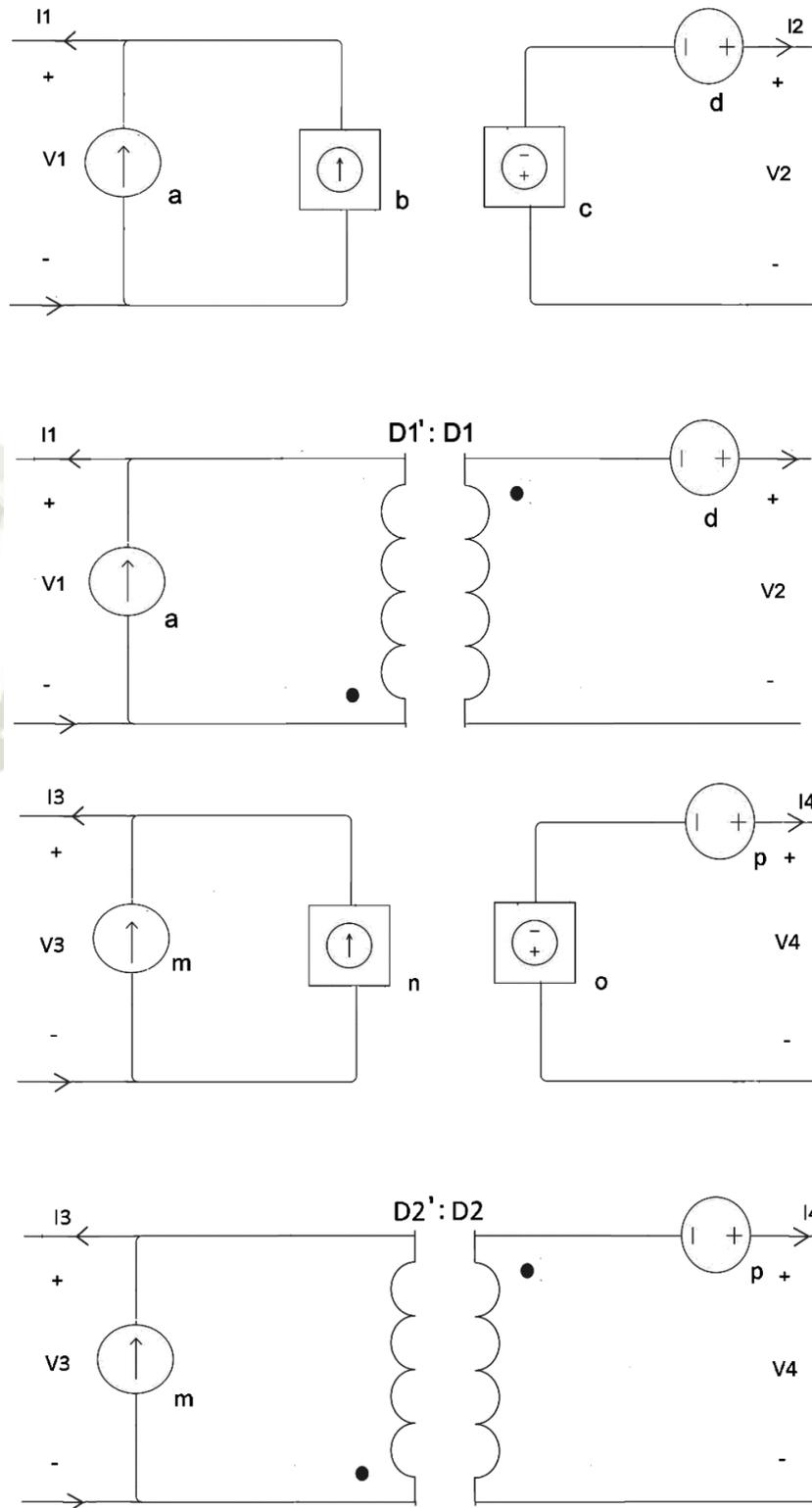
El paso final es reemplazar los circuitos equivalentes en pequeña señal de la ilustración 4-4 en el circuito de la fuente de conmutación de dos fases en modo 1. La ilustración 4-5 muestra el circuito lineal de la fuente en modo 1.

#### **4.1.1.2. Modo 2**

En modo 2 tiene 8 intervalos de operación, el periodo de la fase 1 es dos veces el periodo de la fase 2 o 3, y el ciclo de trabajo de la fase 1 porcentualmente es la mitad del ciclo de trabajo de la fase 2 o 3. El procedimiento de análisis de la posición de los MOSFET, y el voltaje y corriente reflejados en ellos es el mismo que en el caso del modo 1, el resumen de

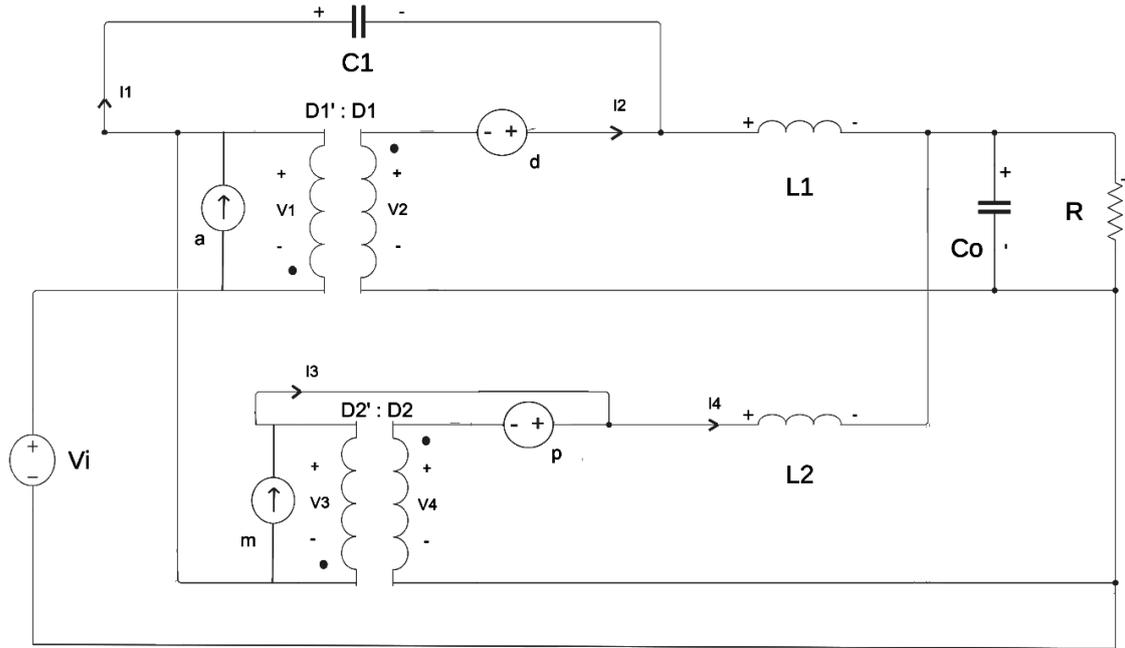
las ecuaciones de las señales se detalla en la tabla 4-3.

**Ilustración 4-4** Linealización y perturbación de los MOSFET de la fuente de conmutación en modo 1.



*Nota. Fuente elaboración propia.*

**Ilustración 4-5** Circuito de la fuente de conmutación en modo 1 modelado en pequeña señal AC.



Nota. Fuente elaboración propia.

**Tabla 4-3** Ecuaciones de señales de los switches o conmutadores.

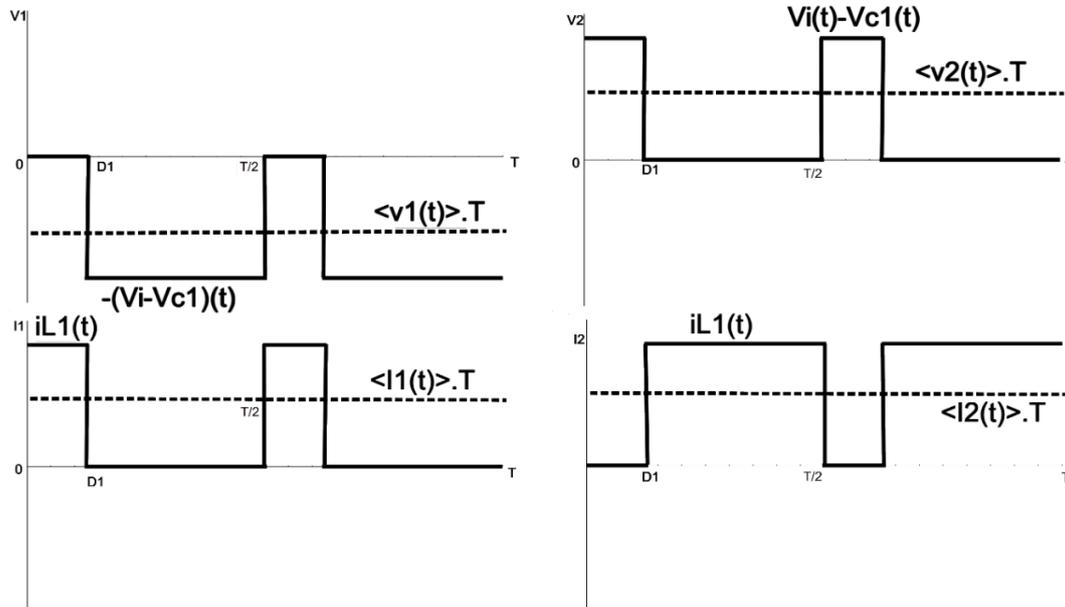
	<b>Intervalo 1 y 5</b>	<b>Intervalo 2, 4, 6 y 8</b>
	$0 \leq t \leq D_1$ $T/2 < t \leq T/2 + D_1$	$D_1 < t \leq T/4$ $T/4 + D_1 < t \leq T/2$ $T_s/2 + D_1 < t \leq 3T/4$ $3T/4 + D_1 < t \leq T$
<b>Fase 1</b>	$v_1(t) = 0$ $v_2(t) = v_i(t) - v_{c1}(t)$ $i_1(t) = i_{L1}(t)$ $i_2(t) = 0$ $v_3(t) = -v_{c1}(t)$	$v_1(t) = -(v_i(t) - v_{c1}(t))$ $v_2(t) = 0$ $i_1(t) = 0$ $i_2(t) = i_{L1}(t)$ $v_3(t) = -v_{c1}(t)$
<b>Fase 2</b>	$v_4(t) = 0$ $i_3(t) = 0$	$v_4(t) = 0$ $i_3(t) = 0$

	$i_4(t) = i_{L2}(t)$	$i_4(t) = i_{L2}(t)$
	$v_5(t) = -v_{c1}(t)$	$v_5(t) = -v_{c1}(t)$
	$v_6(t) = 0$	$v_6(t) = 0$
<b>Fase 3</b>	$i_5(t) = 0$	$i_5(t) = 0$
	$i_6(t) = i_{L3}(t)$	$i_6(t) = i_{L3}(t)$
<hr/>		
	<b>Intervalo 3</b>	<b>Intervalo 7</b>
	$T/4 < t \leq T/4 + D_1$	$3T/4 < t \leq 3T/4 + D_1$
<hr/>		
	$v_1(t) = -(v_i(t) - v_{c1}(t))$	$v_1(t) = -(v_i(t) - v_{c1}(t))$
	$v_2(t) = 0$	$v_2(t) = 0$
<b>Fase 1</b>	$i_1(t) = 0$	$i_1(t) = 0$
	$i_2(t) = i_{L1}(t)$	$i_2(t) = i_{L1}(t)$
	$v_3(t) = 0$	$v_3(t) = -v_{c1}(t)$
	$v_4(t) = v_{c1}(t)$	$v_4(t) = 0$
<b>Fase 2</b>	$i_3(t) = i_{L2}(t)$	$i_3(t) = 0$
	$i_4(t) = 0$	$i_4(t) = i_{L2}(t)$
	$v_5(t) = -v_{c1}(t)$	$v_5(t) = 0$
	$v_6(t) = 0$	$v_6(t) = v_{c1}(t)$
<b>Fase 3</b>	$i_5(t) = 0$	$i_5(t) = i_{L3}(t)$
	$i_6(t) = i_{L3}(t)$	$i_6(t) = 0$

*Nota. Fuente elaboración propia.*

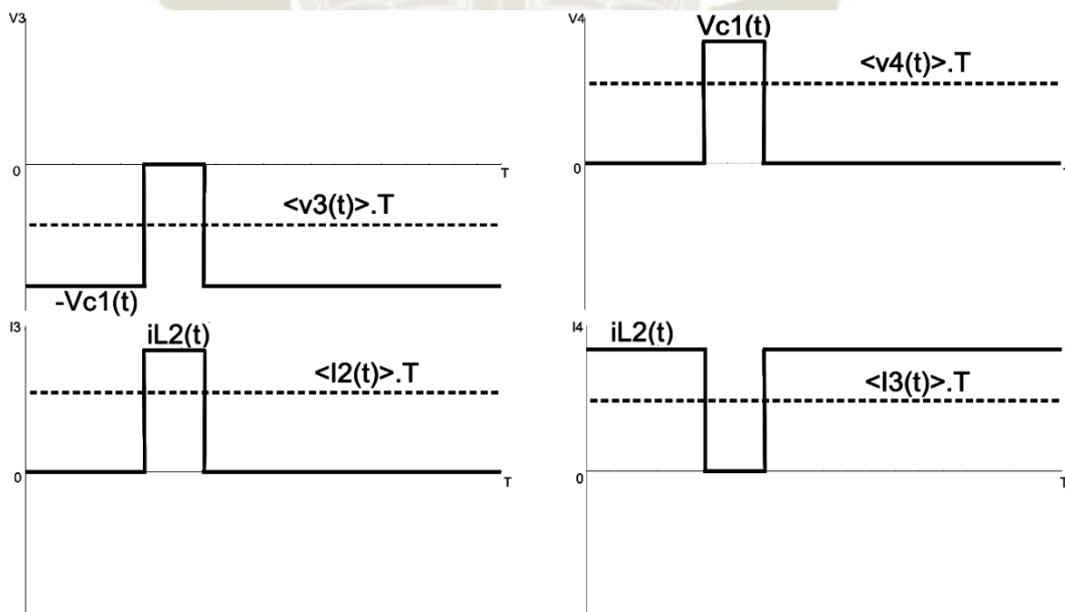
Y la forma de onda de los voltajes y corrientes se muestra en las ilustraciones 4-6, 4-7 y 4-8.

*Ilustración 4-6 Señales en los MOSFET de la fase 1.*



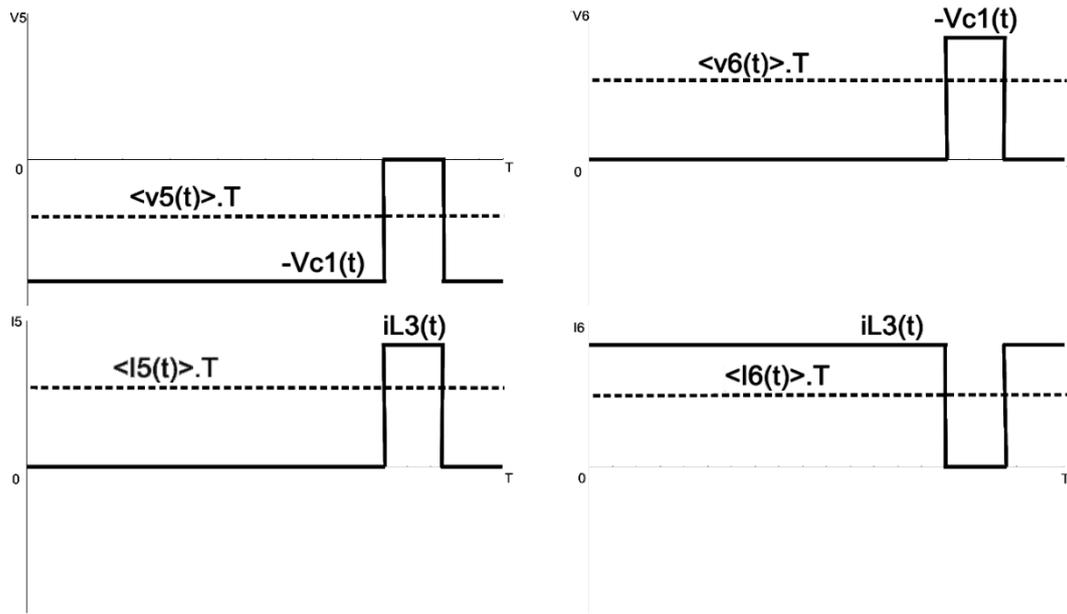
*Nota. Fuente elaboración propia.*

*Ilustración 4-7 Señales en los MOSFET de la fase 2.*



*Nota. Fuente elaboración propia.*

Ilustración 4-8 Señales en los MOSFET de la fase 3.



Nota. Fuente elaboración propia.

A diferencia del modo 1, en el modo 2 la fase 1 tiene un periodo que es la mitad del periodo de la fase 2 o 3, por lo que por cada periodo de la fase 2 o 3 se repite dos veces el ciclo de trabajo de la fase 1. Entonces, para mantener constante el valor del periodo  $T$ , en la fase 1 es necesario doblar el ciclo de trabajo y su complemento, como se ve en el desarrollo siguiente.

Promedio de voltaje a  $V_1$  y  $V_2$ :

$$\langle v_1(t) \rangle_T = -2 \cdot (\langle v_i(t) \rangle_T - \langle v_{c1}(t) \rangle_T) \cdot d'_1(t)$$

$$\langle v_2(t) \rangle_T = 2 \cdot (\langle v_i(t) \rangle_T - \langle v_{c1}(t) \rangle_T) \cdot d_1(t)$$

Despejando las ecuaciones se obtiene:

$$(\langle v_i(t) \rangle_T - \langle v_{c1}(t) \rangle_T) = -2 \cdot \frac{\langle v_1(t) \rangle_T}{d'_1(t)}$$

$$(\langle v_i(t) \rangle_T - \langle v_{c1}(t) \rangle_T) = 2 \cdot \frac{\langle v_2(t) \rangle_T}{d_1(t)}$$

Luego, al haber establecido a  $V_2$  como variable independiente e igualando las ecuaciones anteriores:

$$\langle v_2(t) \rangle_T = -\frac{\langle v_1(t) \rangle_T \cdot d_1(t)}{d'_1(t)} \quad 4-20$$

El mismo ejercicio se aplica a las corrientes  $I_1$  e  $I_2$

$$\langle i_{L1}(t) \rangle_T = 2 \cdot \frac{\langle i_1(t) \rangle_T}{d_1(t)}$$

$$\langle i_{L1}(t) \rangle_T = 2 \cdot \frac{\langle i_2(t) \rangle_T}{d'_1(t)}$$

Y se obtiene:

$$\langle i_1(t) \rangle_{T_s} = \frac{\langle i_2(t) \rangle_T \cdot d_1(t)}{d'_1(t)} \quad 4-21$$

El mismo procedimiento se realiza para la fase 2 y 3, esta vez sin duplicar el ciclo de trabajo, las ecuaciones finales son las siguientes, fase 2:

$$\langle v_4(t) \rangle_T = -\frac{\langle v_3(t) \rangle_T \cdot d_2(t)}{d'_2(t)} \quad 4-22$$

$$\langle i_3(t) \rangle_T = \frac{\langle i_4(t) \rangle_T \cdot d_2(t)}{d'_2(t)} \quad 4-23$$

Para la fase 3:

$$\langle v_6(t) \rangle_T = -\frac{\langle v_5(t) \rangle_T \cdot d_3(t)}{d'_3(t)} \quad 4-24$$

$$\langle i_5(t) \rangle_T = \frac{\langle i_6(t) \rangle_T \cdot d_3(t)}{d'_3(t)} \quad 4-25$$

### Modelamiento de pequeña señal AC

Se procede a perturbar y linealizar las señales de las ecuaciones 4-20 a 4-25, y el resultado para la fase 1 es:

$$(V_2 + \check{v}_2(t)) = -\frac{D_1}{D_1'} \cdot (V_1 + \check{v}_1(t)) + \frac{\check{d}_1(t)}{D_1 \cdot D_1'} \cdot V_2 \quad 4-26$$

$$(I_1 + \hat{i}_1(t)) = \frac{D_1}{D_1'} \cdot (I_2 + \hat{i}_2(t)) - \frac{\check{d}_1(t)}{D_1 \cdot D_1'} \cdot I_1 \quad 4-27$$

Para la fase 2:

$$(V_4 + \check{v}_4(t)) = -\frac{D_2}{D_2'} \cdot (V_3 + \check{v}_3(t)) + \frac{\check{d}_2(t)}{D_2 \cdot D_2'} \cdot V_4 \quad 4-28$$

$$(I_3 + \hat{i}_3(t)) = \frac{D_2}{D_2'} \cdot (I_4 + \hat{i}_4(t)) - \frac{\check{d}_2(t)}{D_2 \cdot D_2'} \cdot I_3 \quad 4-29$$

Y finalmente para la fase 3:

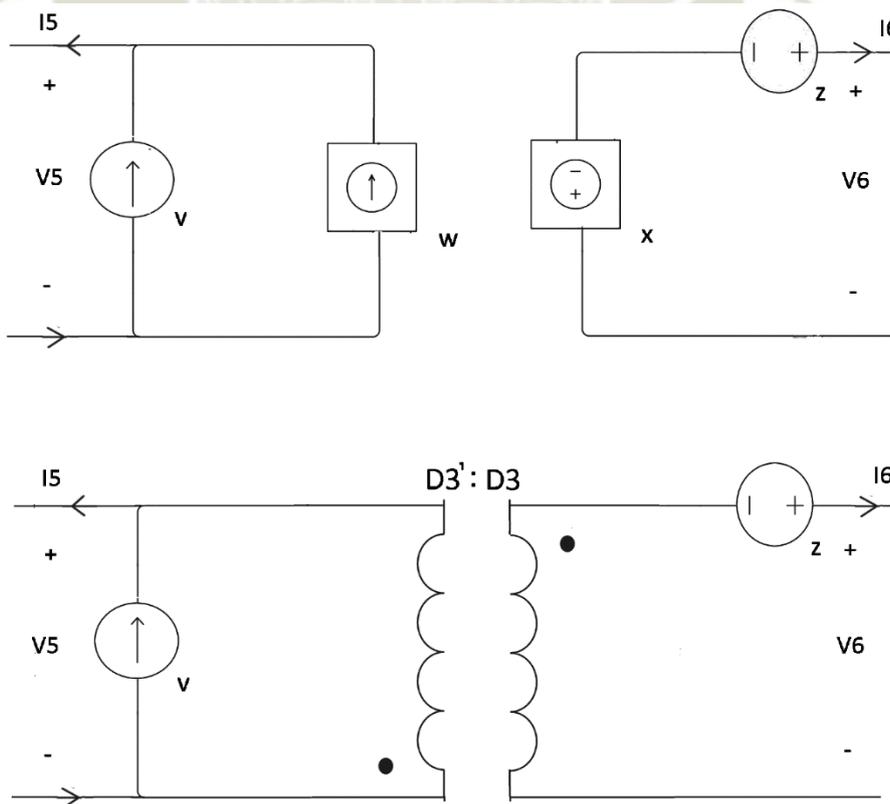
$$(V_6 + \check{v}_6(t)) = -\frac{D_3}{D_3'} \cdot (V_5 + \check{v}_5(t)) + \frac{\check{d}_3(t)}{D_3 \cdot D_3'} \cdot V_6 \quad 4-30$$

$$(I_5 + \hat{i}_5(t)) = \frac{D_3}{D_3'} \cdot (I_6 + \hat{i}_6(t)) - \frac{\check{d}_3(t)}{D_3 \cdot D_3'} \cdot I_5 \quad 4-31$$

A la representación gráfica del modo 1 en la ilustración 4-4 se le añade el modelado de la fase 3, ilustración 4-9.

Donde los valores de las fuentes dependientes e independientes se han simplificado y los valores de la fase 3 se muestran en la tabla 4-4.

**Ilustración 4-9** Linealización y perturbación de la fase 3 de la fuente de conmutación en modo 2.



Nota. Fuente elaboración propia.

**Tabla 4-4** Simplificación de los valores de las fuentes de corriente y voltaje de la fase 3.

$$v = \frac{\dot{d}_3(t)}{D_3 \cdot D_3'} \cdot I_5$$

$$w = \frac{D_3}{D_3'} \cdot (I_6 + \hat{i}_6(t))$$

Fase 3

$$x = -\frac{D_3}{D_3'} \cdot (V_5 + \check{v}_5(t))$$

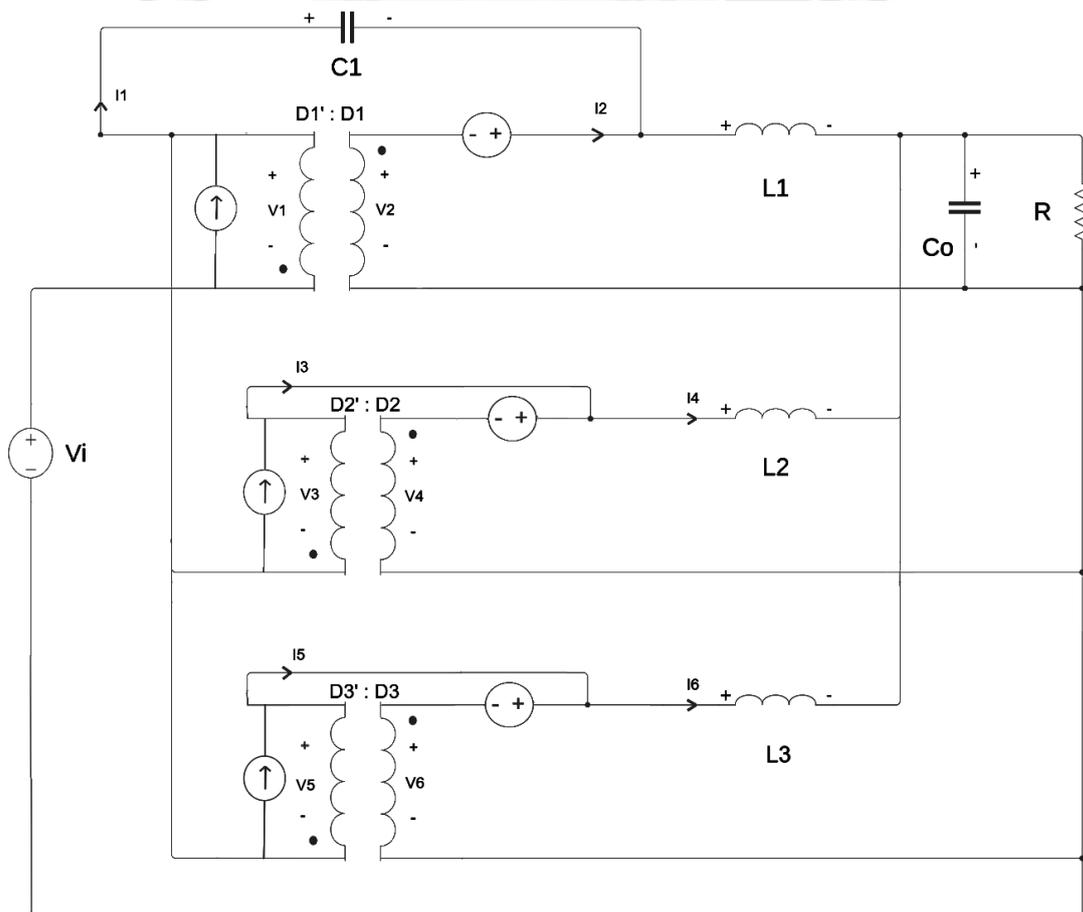
$$z = \frac{\dot{d}_3(t)}{D_3 \cdot D_3'} \cdot V_6$$

*Nota. Fuente elaboración propia.*

### Circuito Modelado

Finalmente, el circuito de la fuente de conmutación de tres fases en modo 2 se muestra en la ilustración 4-10, y a partir de este circuito se obtienen las ecuaciones de la función de transferencia de la fuente.

**Ilustración 4-10** Circuito de la fuente de conmutación modelado en pequeña señal AC.



*Nota. Fuente elaboración propia.*

#### 4.1.2. Función de Transferencia de la fuente

La función de transferencia del circuito está compuesta por tres componentes:

- Función de transferencia  $G_{Vi}(s)$ . Describe como las variaciones en el voltaje de entrada influyen en el voltaje de salida
- Función de transferencia  $G_{vd}(s)$ . Describe como las variaciones del ciclo de trabajo influyen en el voltaje de salida.
- Función de transferencia de la impedancia de salida  $Z_{out}(s)$ . Describe como la variación de la carga afecta al voltaje de salida.

##### 4.1.2.1. Función de Transferencia $G_{Vi}(s)$

Para determinar la función de transferencia  $G_{Vi}(s)$  solo se debe analizar la influencia del voltaje de entrada  $V_i$ , por lo que en el circuito de la ilustración 4-10 se procede a anular la perturbación del ciclo de trabajo de las fuentes independientes igualándolas a cero. La ilustración 4-11 muestra el circuito en donde las fuentes de corriente se han reemplazado por un circuito abierto y las fuentes de voltaje por cortocircuito.

Para este circuito la función de transferencia está determinada por:

$$G_{Vi}(s) = \frac{\check{v}_o(s)}{\check{v}_i(s)} \Big|_{d(s)=0} \quad 4-32$$

Para facilitar el análisis se ha reemplazado los componentes pasivos por una impedancia equivalente  $Z$  y se ha señalado la dirección de las corrientes, ilustración 4-12

$$Z_1 = L_1 s \quad 4-33$$

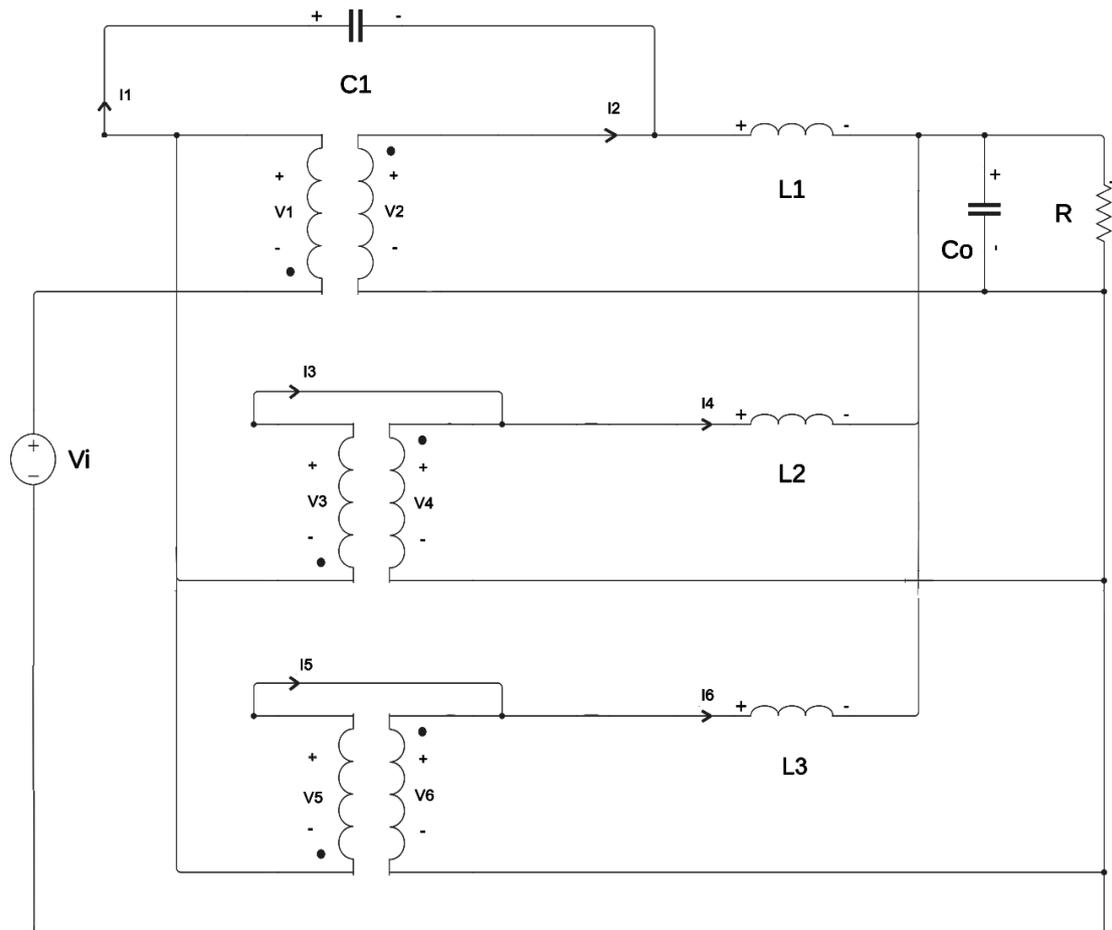
$$Z_2 = L_2 s \quad 4-34$$

$$Z_3 = L_3 s \quad 4-35$$

$$Z_4 = \frac{1}{C_1 s} \quad 4-36$$

$$Z_0 = \frac{R}{1 + C_0 R s} \quad 4-37$$

**Ilustración 4-11** Circuito de la fuente de conmutación equivalente cuando  $d(s)=0$ .



*Nota. Fuente elaboración propia.*

### **Función de transferencia $G_{Vi}(s)$ para el modo 1**

Para hallar la función de transferencia del modo 1 se elimina la fase 3 del circuito de la ilustración 4-12 y teniendo en cuenta la ruta de las corrientes y la caída de tensión en las impedancias se determina las ecuaciones que describen el circuito, tabla 4-5.

**Tabla 4-5** Ecuaciones descriptivas del circuito en modo 1.

$$-V_i - V_1 - i_a Z_4 + V_2 = 0$$

$$V_0 = i_0 Z_0$$

$$i_c = i_3 + i_4$$

$$-V_2 + i_b Z_1 - i_0 Z_0 = 0$$

$$i_2 = i_1 \frac{D_1'}{D_1}$$

$$i_0 = i_b + i_f$$

$$-V_3 + V_4 - i_0 Z_0 - i_b Z_1 - i_a Z_4 = 0 \quad i_4 = i_3 \frac{D_2'}{D_2} \quad i_f = i_c + i_d$$

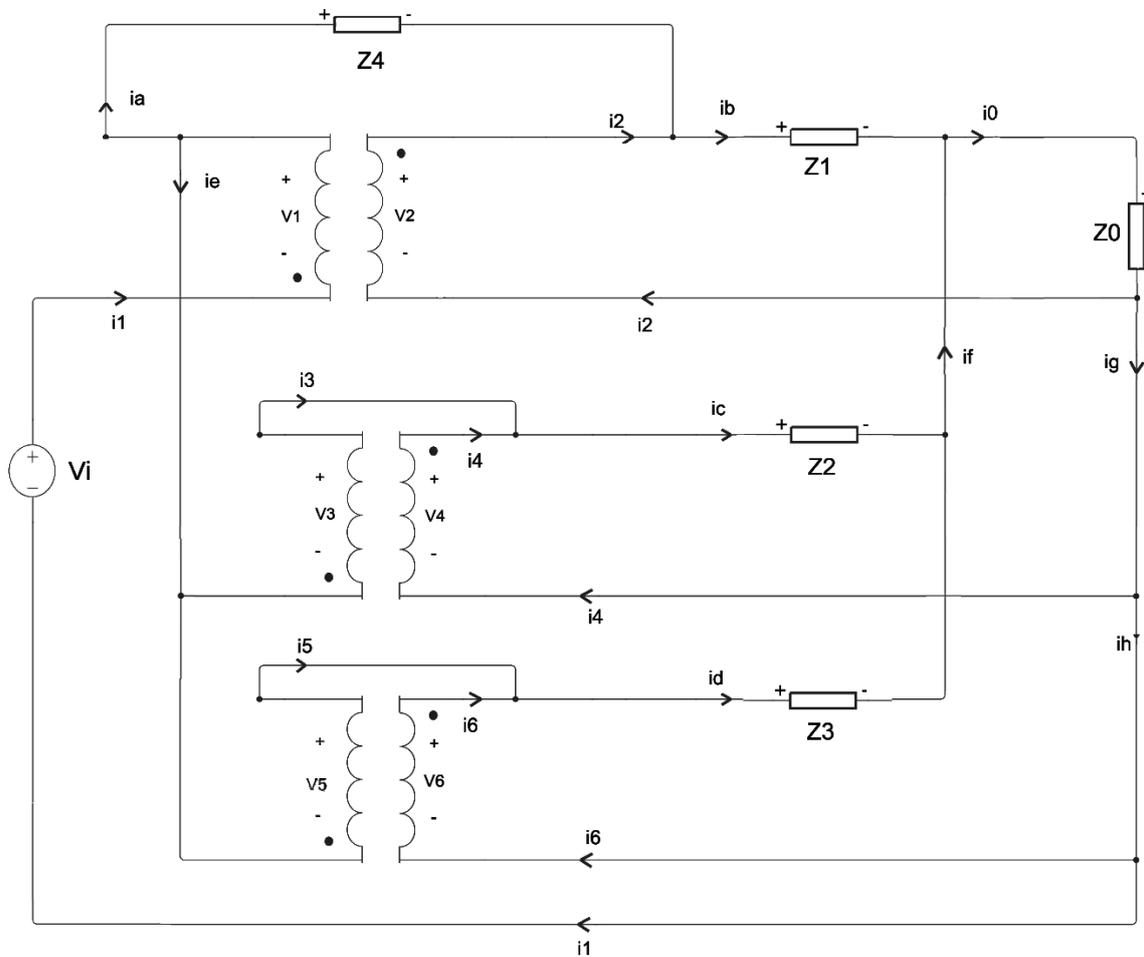
$$-V_4 + i_c Z_2 + i_0 Z_0 = 0 \quad i_1 = i_a + i_e \quad i_0 = i_2 + i_g$$

$$V_2 = -V_1 \frac{D_1}{D_1'} \quad i_b = i_a + i_2 \quad i_g = i_i + i_4$$

$$V_4 = -V_3 \frac{D_2}{D_2'} \quad i_e = i_3$$

Nota. Fuente elaboración propia.

**Ilustración 4-12** Circuito de la fuente de conmutación equivalente cuando  $d(s) = 0$  e impedancias  $Z$ .



Nota. Fuente elaboración propia.

Para la solución del circuito se utiliza el método de ecuaciones lineales mediante

matrices de la forma  $A \cdot X = B$ . En donde la matriz A esta determinada por:

$$A = \begin{bmatrix} 0 & -1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & Z4 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & -1 & 0 & 0 & Z0 & 0 & 0 & 0 & 0 & 0 & Z1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & -1 & 1 & -Z0 & 0 & 0 & 0 & 0 & -Z4 & -Z1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -1 & Z0 & 0 & 0 & 0 & 0 & 0 & 0 & Z2 & 0 & 0 & 0 \\ 0 & \frac{D1}{D1p} & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & -\frac{D1}{D1p} & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & \frac{D2}{D2p} & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & -\frac{D2}{D2p} & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & -1 & 0 & 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & -1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & -1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & -1 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 \\ 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 1 \\ -1 & 0 & 0 & 0 & 0 & -Z0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}$$

Y la matriz B y X están determinadas por

$$B = \begin{bmatrix} V_i \\ 0 \end{bmatrix} \quad X = [V_0 \ V_1 \ V_2 \ V_3 \ V_4 \ i_0 \ i_1 \ i_2 \ i_3 \ i_4 \ i_a \ i_b \ i_c \ i_d \ i_e \ i_f \ i_g]$$

Se resuelve la matriz, y la solución para el voltaje de salida  $V_o$  es:

$$V_0 =$$

$$\frac{D_1 R(-D_1(-1+D_2)D_2+D_2^2+C_1(D_2L_1+L_2)s^2)V_i}{(D_1+D_2-D_1D_2)^2R+((-1+D_1)^2D_2^2L_1+D_1^2L_2)s+(C_0(-1+D_1)^2D_2^2L_1+C_0D_1^2L_2+C_1(L_1+L_2))RS^2+C_1L_1L_2s^3+C_1C_0L_1L_2RS^4}$$

Reemplazando los valores de los inductores y capacitores (calculados en el capítulo 3 y presentados en la tabla 4-6) en la ecuación 4-38 y luego 4-32 se obtiene la función de transferencia  $G_{vi}(s)$  para el modo 1, ecuación 4-39:

**Tabla 4-6** Valores de Inductores y Capacitores.

$$D_1 = D_2 = 0.25 \qquad C_0 = 147\mu F \qquad C_1 = 147\mu F$$

$$L_1 = 800nH \qquad L_2 = L_3 = 2\mu H \qquad R = 0.038\Omega$$

*Nota. Fuente elaboración propia.*

$$G_{vi}(s) = \frac{0.0096(0.112 + 3.238 \times 10^{-10} s^2)}{0.007 + 1.566 \times 10^{-7} s + 1.652 \times 10^{-11} s^2 + 2.352 \times 10^{-16} s^3 + 1.314 \times 10^{-21} s^4}$$

4-39

### **Función de transferencia $G_{vi}(s)$ para el modo 2**

El cálculo de la función de transferencia  $G_{vi}(s)$  en modo 2 se basa en el circuito completo de la ilustración 4-12, y teniendo en cuenta el comportamiento de las corrientes y la caída de tensión en las impedancias se derivan las ecuaciones descriptivas, tabla 4-7.

**Tabla 4-7** Ecuaciones descriptivas del circuito de la ilustración 4-12.

$$-V_i - V_1 - i_a Z_4 + V_2 = 0 \qquad V_6 = -V_5 \frac{D_3}{D_3'} \qquad i_e = i_3 + i_5$$

$$-V_2 + i_b Z_1 - i_0 Z_0 = 0 \qquad V_0 = i_0 Z_0 \qquad i_c = i_3 + i_4$$

$$-V_3 + V_4 - i_0 Z_0 - i_b Z_1 - i_a Z_4 = 0 \qquad i_2 = i_1 \frac{D_1'}{D_1} \qquad i_f = i_c + i_d$$

$$-V_4 + i_c Z_2 + i_0 Z_0 = 0 \qquad i_4 = i_3 \frac{D_2'}{D_2} \qquad i_d = i_5 + i_6$$

$$-V_5 + V_6 - i_0 Z_0 - i_b Z_1 - i_a Z_4 = 0$$

$$i_6 = i_5 \frac{D_3'}{D_3}$$

$$i_0 = i_2 + i_g$$

$$-V_6 + i_a Z_3 + i_0 Z_0 = 0$$

$$i_1 = i_a + i_e$$

$$i_g = i_h + i_4$$

$$V_2 = -V_1 \frac{D_1}{D_1'}$$

$$i_b = i_a + i_2$$

$$i_h = i_i + i_6$$

$$V_4 = -V_3 \frac{D_2}{D_2'}$$

$$i_0 = i_b + i_f$$

*Nota. Fuente elaboración propia.*

Utilizando el método de solución de ecuaciones lineales mediante matrices se obtiene las matrices A, B y X para formar la ecuación  $A \cdot X = B$ .

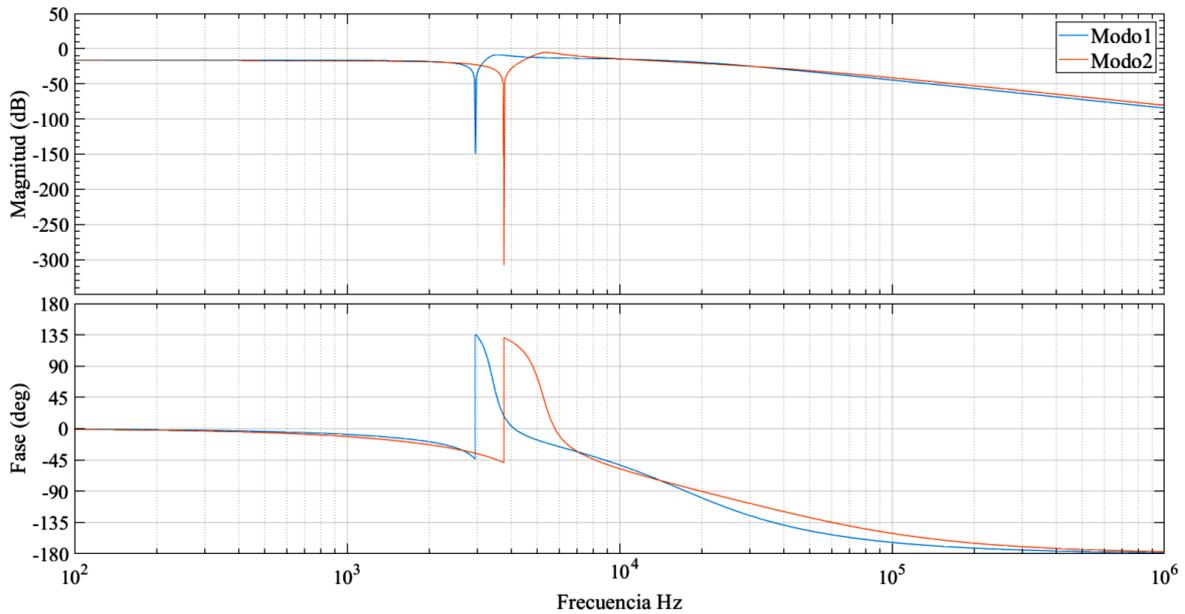
A=

$$\begin{bmatrix} 0 & -1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & Z_4 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & -1 & 0 & 0 & 0 & 0 & Z_0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & Z_1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & -1 & 1 & 0 & 0 & -Z_0 & 0 & 0 & 0 & 0 & 0 & 0 & -Z_4 & -Z_1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -1 & 0 & 0 & Z_0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & Z_2 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & -1 & 1 & -Z_0 & 0 & 0 & 0 & 0 & 0 & 0 & -Z_4 & -Z_1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & -1 & Z_0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & Z_3 & 0 & 0 & 0 & 0 & 0 \\ 0 & \frac{D_1}{D_{1p}} & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & -\frac{D_1}{D_{1p}} & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & \frac{D_2}{D_{2p}} & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & -\frac{D_2}{D_{2p}} & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & \frac{D_3}{D_{3p}} & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & -\frac{D_3}{D_{3p}} & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & -1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & -1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & -1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & -1 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & -1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & -1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & -Z_0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}$$



modo 2, la ganancia y la fase son las mismas.

**Ilustración 4-13** Diagrama de Bode de la función de transferencia  $G_{vi}$  del modo 1 y 2.



*Nota. Fuente elaboración propia.*

#### 4.1.2.2. Función de Transferencia $G_{vd}(s)$

Para obtener la función de transferencia de la señal de control del voltaje de salida  $V_o$  sobre la señal del ciclo de trabajo  $d(s)$ , o  $G_{vd}(s)$ , se debe obtener la función de transferencia individual de cada fuente que contenga la señal del ciclo de trabajo perturbada, ver tabla 4-2. Luego, aplicando el principio de superposición se suma cada función para obtener el resultado final, ecuación 4-41.

$$G_{vd}(s) = \frac{\check{v}_o(s)}{\check{d}(s)} \Big|_{\check{v}_i(s)=0} = G_{vda}(s) + G_{vdd}(s) + G_{vdm}(s) + G_{vdp}(s) + G_{vdv}(s) + G_{vdz}(s) \quad 4-41$$

#### Función de Transferencia $G_{vda}(s)$

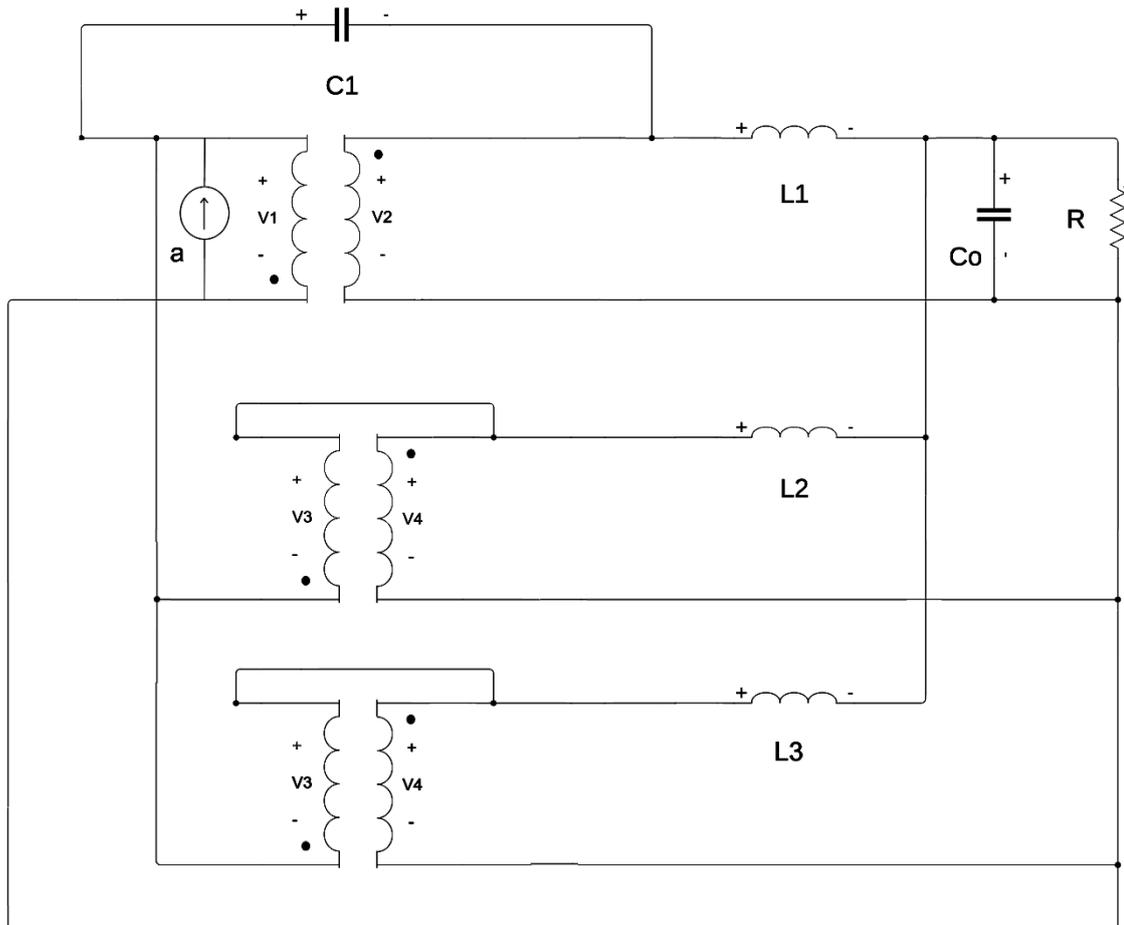
Siguiendo el mismo procedimiento del punto anterior se obtiene la función  $G_{vda}(s)$  tanto para el modo 1 y 2, la cual está determinada por:

$$G_{vda}(s) = \frac{\check{v}_o(s)}{\check{d}a(s)} \Big|_{\check{v}_i(s), \check{d}d(s), \check{d}m(s), \check{d}p(s), \check{d}v(s), \check{d}z(s)=0} \quad 4-42$$

La ilustración 4-10 muestra el circuito resultante de aplicar el principio de superposición. Para este caso solo se deja activa la fuente denominada “a” y el resto se elimina

reemplazando las fuentes de corriente por un circuito abierto y las fuentes de voltaje por cortocircuito. El resultado es el circuito de la ilustración 4-14.

**Ilustración 4-14** Circuito de la fuente de conmutación equivalente cuando  $\ddot{v}_i(s), \ddot{d}(s), \dot{d}(s), \dot{z}(s) = 0$ .



*Nota. Fuente elaboración propia.*

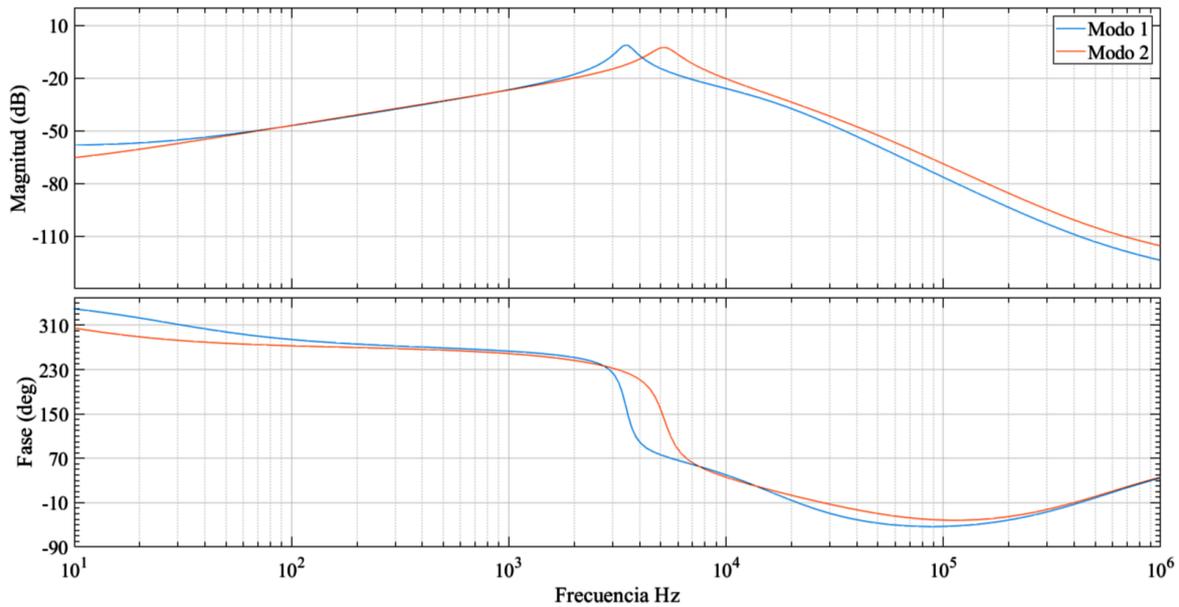
A continuación, se procede a resolver el circuito y las ecuaciones finales para el modo 1 y 2 son:

$$G_{vdaM1} = 5 \cdot \frac{1.211 \times 10^{15} - 7.212 \times 10^{12} s - 4241000 s^2 - 0.6234 s^3}{5.326 \times 10^{18} + 1.226 \times 10^{14} s + 1.234 \times 10^{10} s^2 + 175600 s^3 + s^4} \quad 4-43$$

$$G_{vdaM2} = 10 \cdot \frac{1.513 \times 10^{17} - 3.038 \times 10^{15} s - 9.319 \times 10^{12} s^2 - 5479000 s^3 - 0.8053 s^4}{4.891 \times 10^{21} + 1.338 \times 10^{19} s + 4.362 \times 10^{14} s^2 + 1.61 \times 10^{10} s^3 + 316100 s^4 + s^5} \quad 4-44$$

Y el diagrama de bode de ambas funciones se muestra en la ilustración 4-15.

*Ilustración 4-15 Diagrama de Bode de la función de transferencia  $G_{vda}$ .*



*Nota. Fuente elaboración propia.*

### **Función de Transferencia $G_{vdm}(s)$**

La función de transferencia y el diagrama de Bode, ilustración 4-16, está determinada por:

$$G_{vdm}(s) = \frac{\ddot{v}_o(s)}{\ddot{d}_m(s)} \Big|_{\ddot{v}_i(s), \ddot{d}_d(s), \ddot{d}_a(s), \ddot{d}_p(s), \ddot{d}_v(s), \ddot{d}_z(s)=0} \quad 4-45$$

Y las ecuaciones de las funciones de transferencia son:

$$G_{vdmM1} = 5 \cdot \frac{-9.08 \times 10^{14} + 5.409 \times 10^{12} s + 3181000 s^2 + 0.468 s^3}{5.326 \times 10^{18} + 1.226 \times 10^{14} s + 1.234 \times 10^{10} s^2 + 175600 s^3 + s^4} \quad 4-46$$

$$G_{vdmM2} = 10 \cdot \frac{-1.225 \times 10^{17} + 2.461 \times 10^{15} s + 7.548 \times 10^{12} s^2 + 4438000 s^3 + 0.652 s^4}{4.891 \times 10^{21} + 1.338 \times 10^{19} s + 4.362 \times 10^{14} s^2 + 1.61 \times 10^{10} s^3 + 316100 s^4 + s^5} \quad 4-47$$

### **Función de Transferencia $G_{vdv}(s)$**

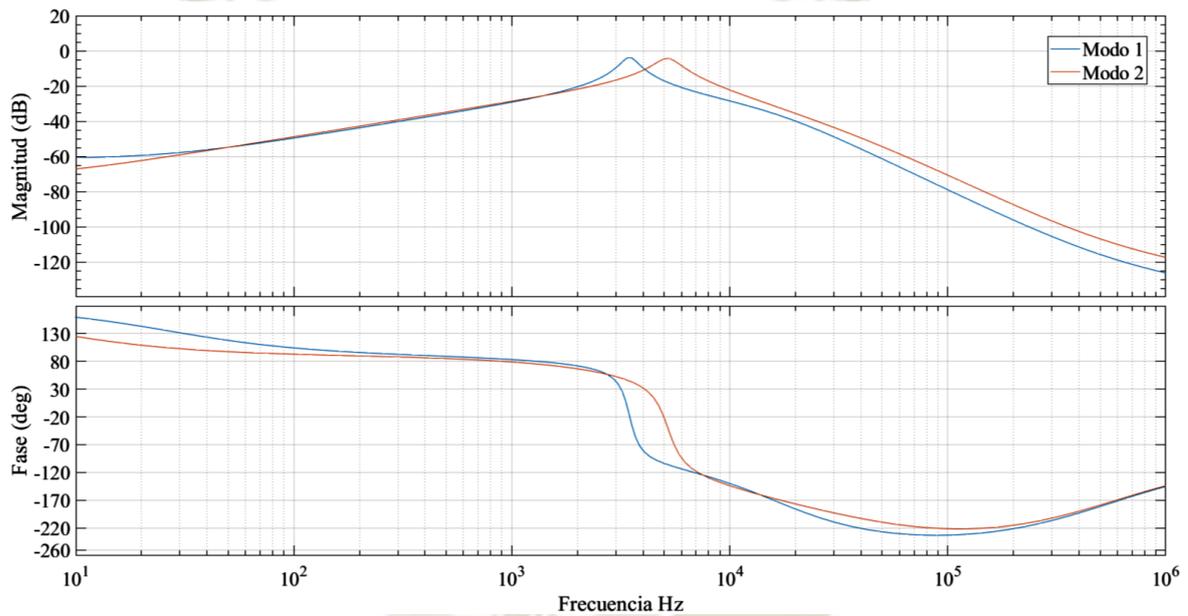
La función de transferencia y el diagrama de Bode, ilustración 4-17, está determinada por:

$$G_{vdv}(s) = \frac{\ddot{v}_o(s)}{\dot{d}v(s)} \Big|_{\ddot{v}_i(s), \dot{d}d(s), \dot{d}a(s), \dot{d}p(s), \dot{d}m(s), \dot{d}z(s)=0} \quad 4-48$$

Y la ecuación de la función de transferencia es:

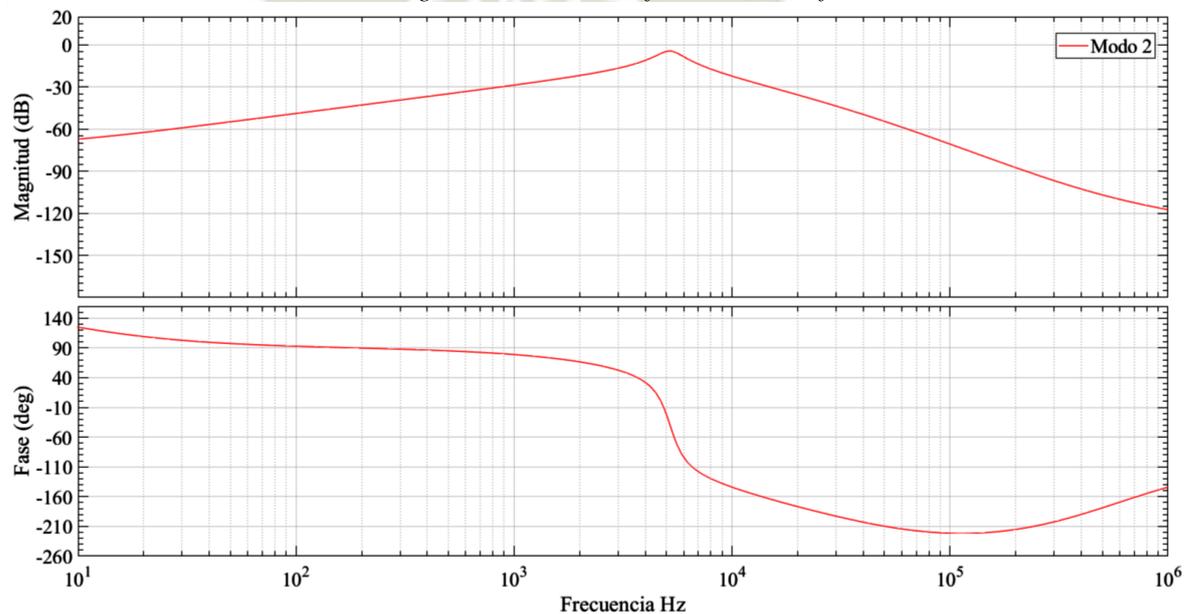
$$G_{vdvM2} = 10 \cdot \frac{-1.225 \times 10^{17} + 2.461 \times 10^{15} s + 7.548 \times 10^{12} s^2 + 4438000 s^3 + 0.652 s^4}{4.891 \times 10^{21} + 1.338 \times 10^{19} s + 4.362 \times 10^{14} s^2 + 1.61 \times 10^{10} s^3 + 316100 s^4 + s^5} \quad 4-49$$

**Ilustración 4-16** Diagrama de Bode de la función de transferencia  $G_{vdm}$ .



Nota. Fuente elaboración propia.

**Ilustración 4-17** Diagrama de Bode de la función de transferencia  $G_{vdv}$ .



Nota. Fuente elaboración propia.

### Función de Transferencia $G_{vdd}(s)$

La función de transferencia y el diagrama de Bode, ilustración 4-18, está determinada por:

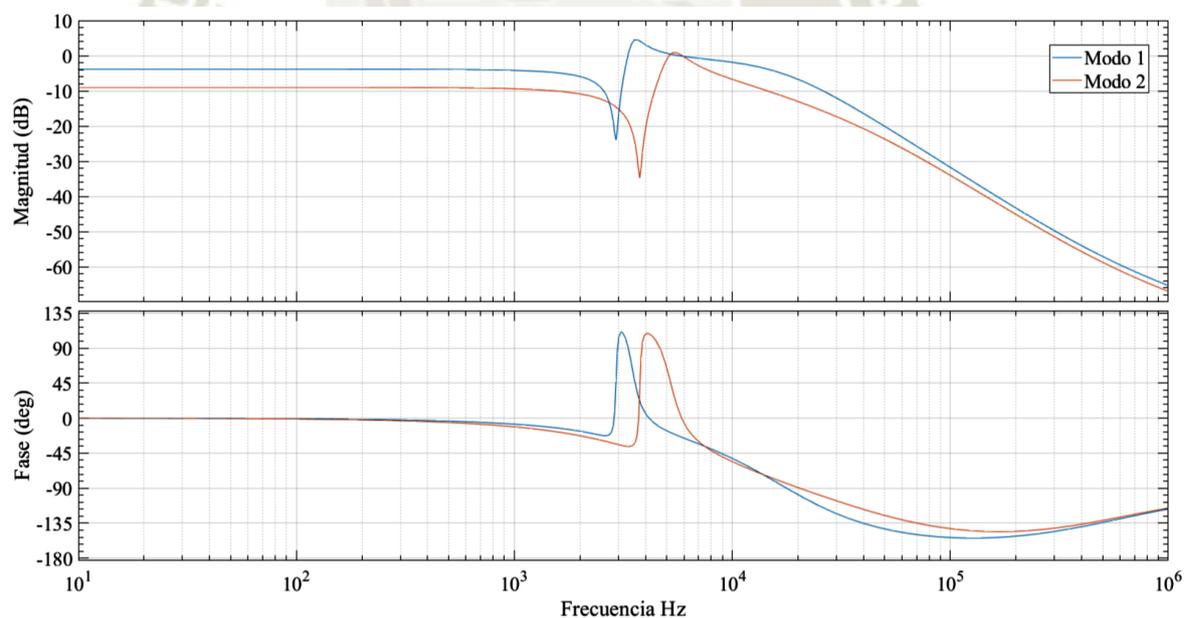
$$G_{vdd}(s) = \frac{\ddot{v}_o(s)}{\ddot{d}(s)} \Big|_{\ddot{v}_i(s), \ddot{m}(s), \ddot{a}(s), \ddot{p}(s), \ddot{v}(s), \ddot{z}(s)=0} \quad 4-50$$

Y las ecuaciones de las funciones de transferencia son:

$$G_{vddM1} = 1.52 \cdot \frac{2.254 \times 10^{18} + 4.552 \times 10^{12} s + 6.666 \times 10^9 s^2 + 1959 s^3}{5.326 \times 10^{18} + 1.226 \times 10^{14} s + 1.234 \times 10^{10} s^2 + 175600 s^3 + s^4} \quad 4-51$$

$$G_{vddM2} = 1.52 \cdot \frac{1.141 \times 10^{21} + 3.086 \times 10^{18} s + 6.814 \times 10^{12} s^2 + 5.523 \times 10^9 s^3 + 1623 s^4}{4.891 \times 10^{21} + 1.338 \times 10^{19} s + 4.362 \times 10^{14} s^2 + 1.61 \times 10^{10} s^3 + 316100 s^4 + s^5} \quad 4-52$$

*Ilustración 4-18 Diagrama de Bode de la función de transferencia  $G_{vdd}$ .*



*Nota. Fuente elaboración propia.*

### Función de Transferencia $G_{vdp}(s)$

La función de transferencia y el diagrama de Bode, ilustración 4-19, está determinada por

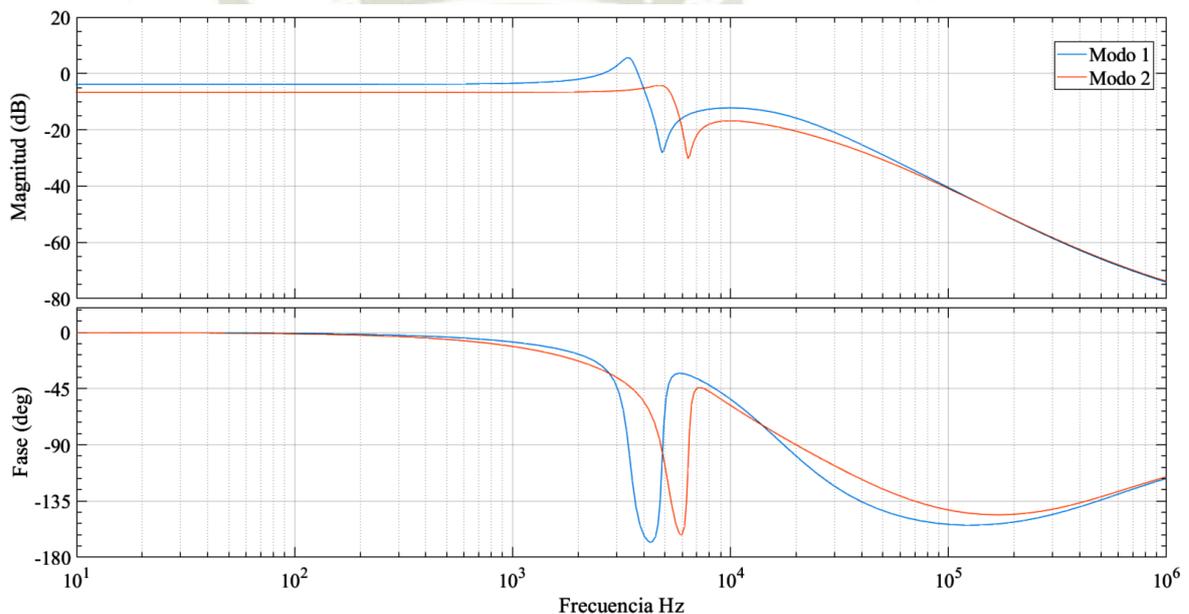
$$G_{vdp}(s) = \frac{\ddot{v}_o(s)}{\ddot{d}p(s)} \Big|_{\ddot{v}_i(s), \ddot{d}d(s), \ddot{d}a(s), \ddot{d}m(s), \ddot{d}v(s), \ddot{d}z(s)=0} \quad 4-53$$

Y las ecuaciones de las funciones de transferencia son

$$G_{vdpM1} = 1.52 \cdot \frac{2.254 \times 10^{18} + 5.263 \times 10^{12} s + 2.425 \times 10^9 s^2 + 712.5 s^3}{5.326 \times 10^{18} + 1.226 \times 10^{14} s + 1.234 \times 10^{10} s^2 + 175600 s^3 + s^4} \quad 4-54$$

$$G_{vdpM2} = 1.52 \cdot \frac{1.491 \times 10^{21} + 4.031 \times 10^{18} s + 7.366 \times 10^{12} s^2 + 2.506 \times 10^9 s^3 + 736.4 s^4}{4.891 \times 10^{21} + 1.338 \times 10^{19} s + 4.362 \times 10^{14} s^2 + 1.61 \times 10^{10} s^3 + 316100 s^4 + s^5} \quad 4-55$$

*Ilustración 4-19* Diagrama de Bode de la función de transferencia  $G_{vdp}$ .



*Nota. Fuente elaboración propia.*

### **Función de Transferencia $G_{vdz}(s)$**

La función de transferencia y el diagrama de Bode, ilustración 4-20, está determinada por:

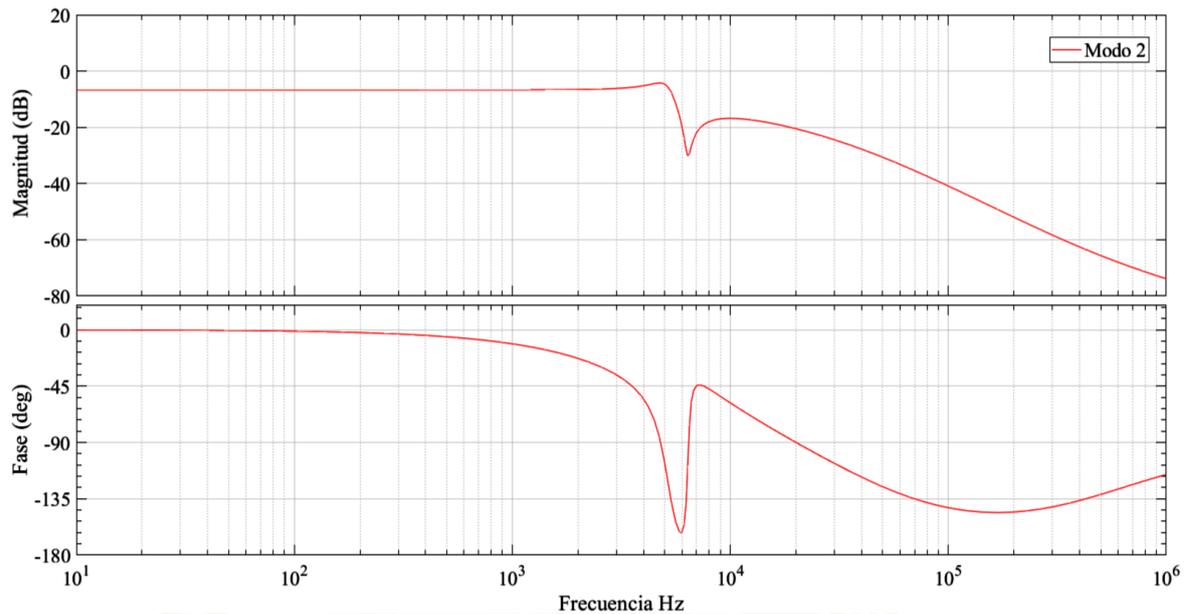
$$G_{vdz}(s) = \frac{\ddot{v}_o(s)}{\ddot{d}z(s)} \Big|_{\ddot{v}_i(s), \ddot{d}d(s), \ddot{d}a(s), \ddot{d}p(s), \ddot{d}v(s), \ddot{d}m(s)=0} \quad 4-56$$

Y la ecuación de la función de transferencia es:

$$G_{vdzM2} = 1.52 \cdot$$

$$\frac{1.491 \times 10^{21} + 4.031 \times 10^{18} s + 7.366 \times 10^{12} s^2 + 2.506 \times 10^9 s^3 + 736.4 s^4}{4.891 \times 10^{21} + 1.338 \times 10^{19} s + 4.362 \times 10^{14} s^2 + 1.61 \times 10^{10} s^3 + 316100 s^4 + s^5} \quad 4-57$$

**Ilustración 4-20** Diagrama de Bode de la función de transferencia  $G_{vdz}$ .



*Nota. Fuente elaboración propia.*

### **Función de Transferencia $G_{vd}(s)$**

Finalmente, la función de transferencia y el diagrama de Bode, ilustración 4-21, de la señal de control es la suma de la superposición de las 4 ecuaciones anteriores, tanto en modo 1 y modo 2. El resultado de la ecuación 4-41 es:

$$G_{vdM1} = 4060 \cdot \frac{(1.69 \times 10^{15} + 1.45 \times 10^9 s + 3.40 \times 10^6 s^2 + s^3)}{5.33 \times 10^{18} + 1.23 \times 10^{14} s + 1.23 \times 10^{10} s^2 + 175600 s^3 + s^4} \quad 4-58$$

$$G_{vdM2} = 4711 \cdot \frac{(1.33 \times 10^{18} + 3.60 \times 10^{15} s + 1.92 \times 10^{10} s^2 + 3406601.99 s^3 + s^4)}{4.89 \times 10^{21} + 1.34 \times 10^{19} s + 4.36 \times 10^{14} s^2 + 1.61 \times 10^{10} s^3 + 316100 s^4 + s^5} \quad 4-59$$

### **4.1.2.3. Función de Transferencia $Z_{out}(s)$**

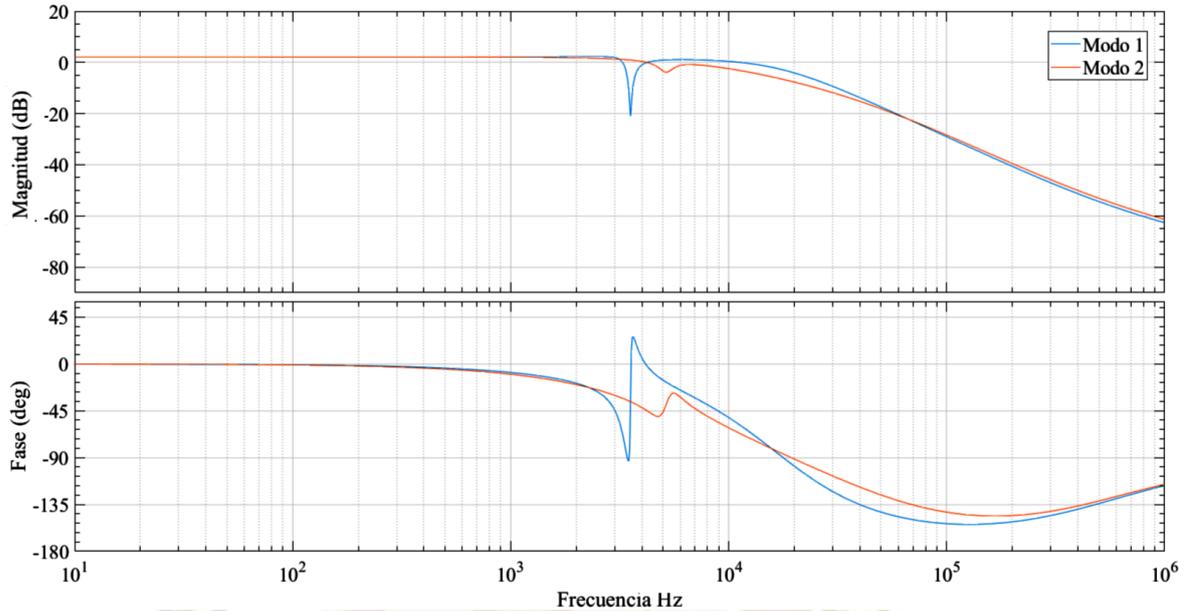
La función de transferencia de la impedancia de salida permite conocer la influencia de la variación de la carga de salida en la estabilidad del voltaje de salida, ilustración 4-22. Las ecuaciones están determinadas por:

$$Z_{out}M1 = \frac{3.432 \times 10^{15} + 8.246 \times 10^{12} s + 1.774 \times 10^7 s^2 + 6467 s^3 + 0.002 s^4}{6.899 \times 10^{18} + 2.298 \times 10^{14} s + 1.299 \times 10^{10} s^2 + 175800 s^3 + s^4} \quad 4-60$$

$$Z_{out}M2 = \frac{1.453 \times 10^{18} + 7.092 \times 10^{15} s + 8.558 \times 10^{12} s^2 + 2.031 \times 10^7 s^3 + 6468 s^4 + 0.002 s^5}{5.077 \times 10^{21} + 1.381 \times 10^{19} s + 2.531 \times 10^{14} s^2 + 1.634 \times 10^{10} s^3 + 177100 s^4 + s^5}$$

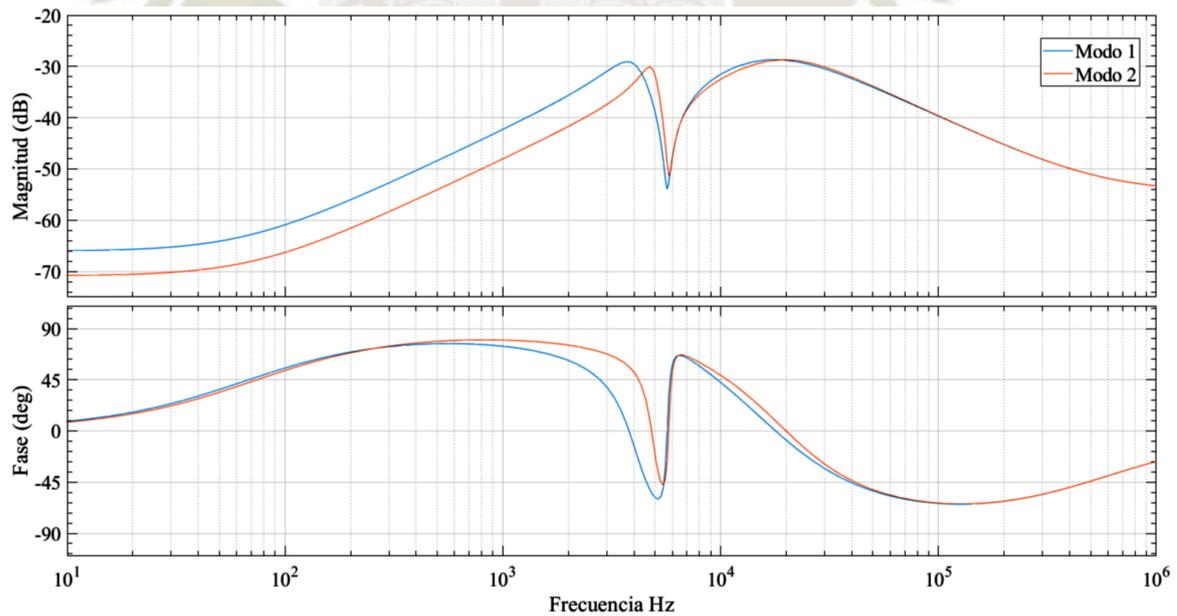
4-61

*Ilustración 4-21 Diagrama de Bode de la función de transferencia  $G_{vd}$ .*



*Nota. Fuente elaboración propia.*

*Ilustración 4-22 Diagrama de Bode de la función de transferencia  $Z_{out}$ .*



*Nota. Fuente elaboración propia.*

## 4.2. Diseño del compensador

El propósito del compensador es adecuar la señal de retroalimentación para asegurar la estabilidad del circuito y así mantener un control del voltaje de salida constante y sin oscilación. Para conseguirlo se requiere que la respuesta en frecuencia de la fuente, el

circuito de sensado, el controlador y compensador tenga un margen de fase mayor a cero grados en la frecuencia de corte, que las variaciones de carga y voltaje de entrada sean atenuadas, y que el factor  $Q$  permita que la respuesta transitoria se comporte de acuerdo a las especificaciones.

Para la regulación de la fuente presentada se utilizará el circuito integrado (CI) LM27402 High-Performance Synchronous Buck Controller With DCR Current Sensing de Texas Instruments. Este CI cuenta con un sistema de control de voltaje de retroalimentación cerrada (closed loop) en forma de un OPAMP en el que se puede implementar un compensador de Tipo I, II o III.

La selección del tipo de compensador está supeditado al comportamiento en el dominio del tiempo y frecuencia de la fuente de conmutación en conjunto con el circuito de sensado y controlador. Para este sistema el comportamiento en el dominio de la frecuencia se observa en el diagrama de bode de la ilustración 4-21 el cual nos muestra que la frecuencia de corte está a 42kHz con un margen de fase de  $136^\circ$ , y la ganancia antes de la frecuencia de corte y desde el origen es de 2.15 dB aproximadamente.

Es decir, toda señal no deseada como ruido o armónicos con una frecuencia menor a 42kHz solo tendrá un factor de atenuación de 1.28, por lo que se requiere elevar la ganancia por lo menos para que las señales no deseadas tengan un factor de atenuación de 10.

Además, el margen de fase disminuye drásticamente conforme la frecuencia se acerca a 100kHz por lo que la estabilidad se pone en riesgo y la velocidad de regulación disminuye. Para controlar este problema se requiere elevar la frecuencia de corte a 100kHz y mantener un margen de fase continuo o alto hasta frecuencias más cercanas a la frecuencia de conmutación.

#### 4.2.1. Compensador tipo III

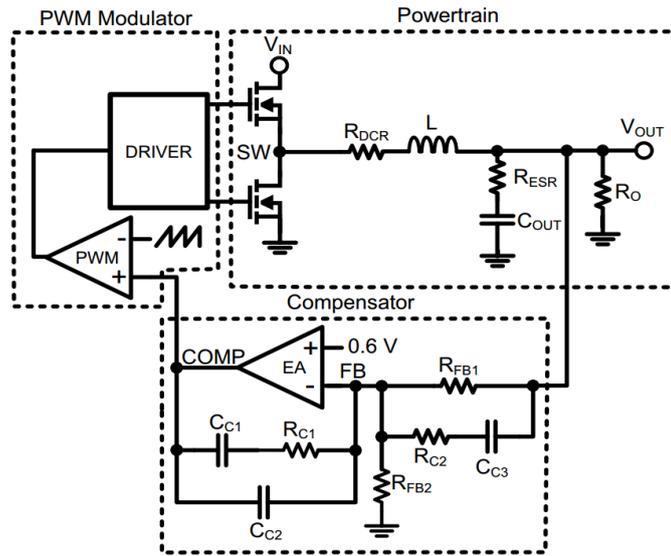
Para compensar las deficiencias de la función de transferencia  $G_{vd}$ , ilustración 4-21, se utilizará el compensador de tipo III ya que permite:

- a. Incrementar la ganancia a bajas frecuencias para atenuar señales no deseadas provenientes del voltaje de entrada.
- b. Aumentar el margen de fase entre los 10kHz y los 100kHz ya que la función de transferencia  $G_{dv}$  presenta una pendiente negativa pronunciada.

El circuito de este compensador se muestra en la ilustración 4-23, el cual muestra el diagrama esquemático típico de diseño del CI LM27402.

El diseño del compensador se realizará alrededor de este diagrama esquemático.

**Ilustración 4-23** Control loop schematic diagram.

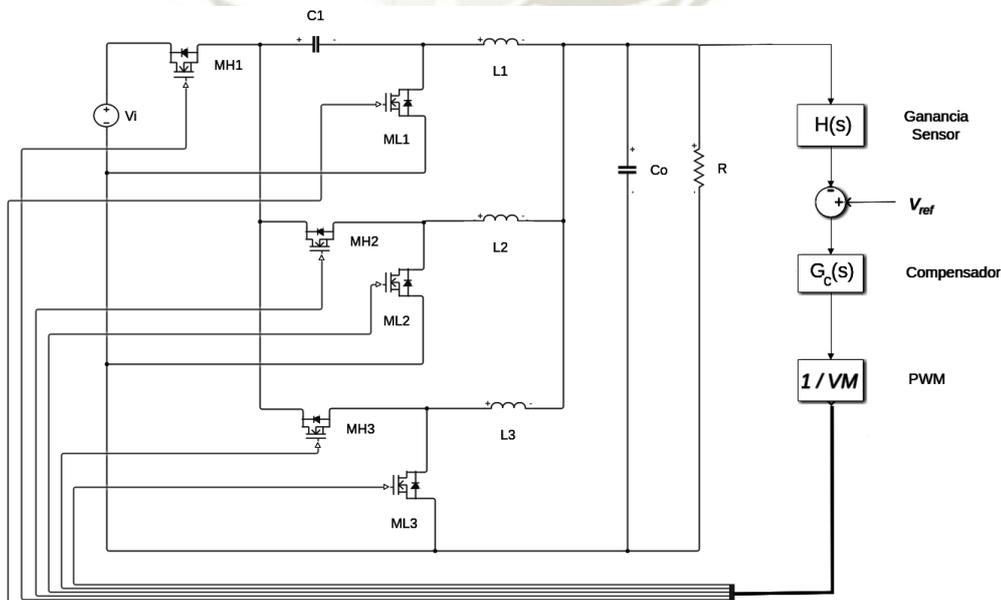


Nota. Fuente Texas Instruments. (2010, Enero). LM27402 High-Performance Synchronous Buck Controller with DCR Current Sensing.

#### 4.2.1.1. Diagrama de la fuente de conmutación y el CI LM27402

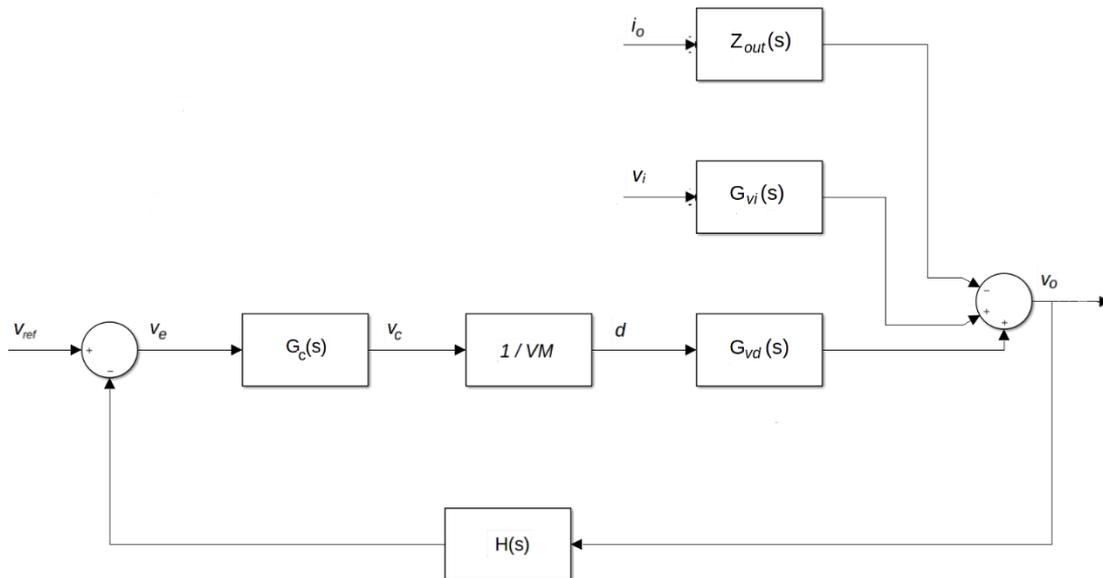
Las ilustraciones 4-24 y 4-25 muestran el diagrama de la fuente con un arreglo típico de retroalimentación, en ellas se identifican tres elementos: La ganancia del sensor  $H(s)$ , la ganancia del compensador  $G_c(s)$  y la ganancia del generador de la modulación de ancho de pulso PWM el cual está representado por  $1/VM$ .

**Ilustración 4-24** Esquemático de la fuente de conmutación y el diagrama de bucle cerrado.



Nota. Fuente elaboración propia.

*Ilustración 4-25 Esquemático funcional del sistema de retroalimentación.*



*Nota. Fuente Erickson, R. W., & Maksimovi, D. (2004). Controller Design. En R. W. Erickson, & D. Maksimovi, Fundamentals of Power Electronics (págs. 331 - 375). New York: Kluwer Academic Publishers.*

En la ilustración 4-25 se observa como la regulación del voltaje de salida, las variaciones del voltaje de entrada y la variación de la carga afectan al voltaje de salida de manera independiente. En las siguientes líneas se diseñará el compensador teniendo en cuenta el diagrama de bode de la función de transferencia del control sobre el voltaje de salida  $G_{vd}(s)$  para asegurar una alta ganancia y un margen de fase que asegure la estabilidad del circuito.

#### 4.2.1.2. Definición de bucle $T(s)$

(Erickson & Maksimovi, Effect of negative feedback on the network transfer function, 2004) y (Ogata, Closed-Loop Transfer Function, 2010) definen el bucle  $T(s)$  como el producto de las funciones de transferencia en secuencia directa que compensan y/o alteran la señal de salida del proceso circuito. Para el diagrama de bloques de la ilustración 4-25, el bucle  $T(s)$  está representado por la ecuación 4-63.

$$T(s) = H \cdot G_c \cdot \frac{1}{VM} \cdot G_{vd} \quad 4-62$$

Por otro lado, el voltaje de salida es el resultado de la suma de las tres funciones de transferencia de lazo cerrado, ecuación 4-63.

$$\check{v}_o = \check{v}_{ref} \cdot \frac{G_c \cdot \frac{1}{VM} \cdot G_{vd}}{1 + H \cdot G_c \cdot \frac{1}{VM} \cdot G_{vd}} + \check{v}_i \cdot \frac{G_{vi}}{1 + H \cdot G_c \cdot \frac{1}{VM} \cdot G_{vd}} - \check{i}_o \cdot \frac{Z_{out}}{1 + H \cdot G_c \cdot \frac{1}{VM} \cdot G_{vd}}$$

4-63

Entonces reordenando la ecuación 4-63 e incluyendo la ecuación 4-62 se obtiene el valor del voltaje de salida en base al bucle  $T(s)$ .

$$\check{U}_o = \check{U}_{ref} \cdot \frac{1}{H} \cdot \frac{T}{1+T} + \check{U}_i \cdot \frac{G_{vi}}{1+T} - \check{I}_o \cdot \frac{Z_{out}}{1+T} \quad 4-64$$

De esta ecuación se puede determinar que, si  $T(s)$  es mucho mayor que 1 y es suficientemente grande las perturbaciones en el circuito, compensador y controlador no afectarán a la regulación del voltaje de salida deseado y las variaciones en el voltaje de entrada y carga serán atenuadas.

### Construcción del bucle T

El bucle T está construido por 4 variables, ecuación 4-62. La variable  $G_{vd}(s)$  fue definida en las ecuaciones 4-58 y 4-59, el resto de valores de calculará a continuación teniendo como guía a (Texas Instruments, 2010).

La ganancia  $H(s)$  está determinada por las resistencias del divisor de voltaje de la entrada inversora del compensador, ilustración 4-23. Y, la salida del compensador o el error es la diferencia del voltaje de referencia de 0.6Vdc y el voltaje del divisor de voltaje.

Para calcular la ganancia requerida se considera el valor de 20k $\Omega$  recomendado en la hoja de datos para  $R_{FB1}$ .

Entonces, la ecuación de  $H(s)$  es:

$$H(s) = \frac{V_o}{V_{ref}} = \frac{R_{FB1} + R_{FB2}}{R_{FB2}} \quad 4-65$$

Y despejando para obtener  $R_{FB2}$

$$R_{FB2} = \frac{R_{FB1} \cdot V_{ref}}{(V_o - V_{ref})} \quad 4-66$$

Reemplazando  $R_{FB1} = 20k\Omega$ ,  $V_{ref} = 0.6V$ , y el voltaje de salida por 1.52V

$$R_{FB2} = 13K\Omega$$

Aplicando los valores en 4-65

$$H(s) = \frac{V_{ref}}{V_{out}} = \frac{0.6V}{1.52V} = 0.39$$

o

$$H(s) = \frac{R_{FB2}}{R_{FB1} + R_{FB2}} = \frac{13K\Omega}{13K\Omega + 20K\Omega} = 0.39$$

Por otro lado, la ganancia del modulador de ancho de pulso PWM tiene una ganancia fija de 7, ecuación 4-67.

$$G_{PWM} = \frac{1}{k_{FF}} = 7 \quad 4-67$$

#### 4.2.1.3. Cálculo del compensador $G_c(s)$

La ecuación 4-68 describe la función de transferencia de un compensador de tipo III (Texas Instruments, 2010), para este compensador se coloca un polo en el origen, y los otros dos polos y los dos ceros se calculan teniendo en cuenta la frecuencia de corte deseada.

$$G_c(s) = G_{c0} \cdot \frac{\left(\frac{2\pi \cdot f_z}{s} + 1\right) \left(\frac{s}{2\pi \cdot f_z} + 1\right)}{\left(\frac{s}{2\pi \cdot f_p} + 1\right) \left(\frac{s}{2\pi \cdot f_p} + 1\right)} \quad 4-68$$

Para obtener el mayor margen de fase posible se diseña el compensador de tal manera que el promedio geométrico de las frecuencias de los polos y ceros del compensador sea igual a la frecuencia de corte especificado, y con un margen de fase de diseño que permita el comportamiento transitorio esperado. De (Erickson & Maksimovi, Effect of negative feedback on the network transfer function, 2004) se extrae la ecuación 4-69 y 4-70 para el cálculo de las frecuencias.

$$f_z = f_c \cdot \sqrt{\frac{1 - \sin \varphi_m}{1 + \sin \varphi_m}} \quad 4-69$$

$$f_p = f_c \cdot \sqrt{\frac{1 + \sin \varphi_m}{1 - \sin \varphi_m}} \quad 4-70$$

Para una frecuencia de corte de 100kHz y un margen de fase deseado de 50° se tiene

$$f_{z1,2} = 100\text{kHz} \cdot \sqrt{\frac{1 - \sin 50^\circ}{1 + \sin 50^\circ}} = 36.397 \text{ kHz}$$

y

$$f_{p1,2} = 100\text{kHz} \cdot \sqrt{\frac{1 + \sin 50^\circ}{1 - \sin 50^\circ}} = 274.748 \text{ kHz}$$

Con la posición inicial de los polos y ceros se utiliza la herramienta “sisotool” del toolbox de Control System Designer del software Matlab para analizar el comportamiento de lazo cerrado de la función de transferencia del primer término,  $G_{vd}(s)$ , de la ecuación 4-62. Luego, el diagrama de bode resultante se optimiza manualmente para manipular la posición de los polos y ceros, y obtener el resultado más óptimo en cuanto a margen de fase y ganancia. Es importante notar que la optimización se realiza para un solo circuito de compensación que sea adecuado tanto para la función de transferencia  $G_{vd}(s)$  del modo 1 como del modo 2.

Finalmente, se encuentra la función de transferencia del compensador adecuada para la fuente en ambos modos de trabajo. Esta función cuenta con un polo en el origen, dos polos a 194.169kHz y dos ceros es a 21.390kHz.

Reemplazando los valores de frecuencia de ceros y polos (en radianes) en la ecuación 4-68 y se obtiene:

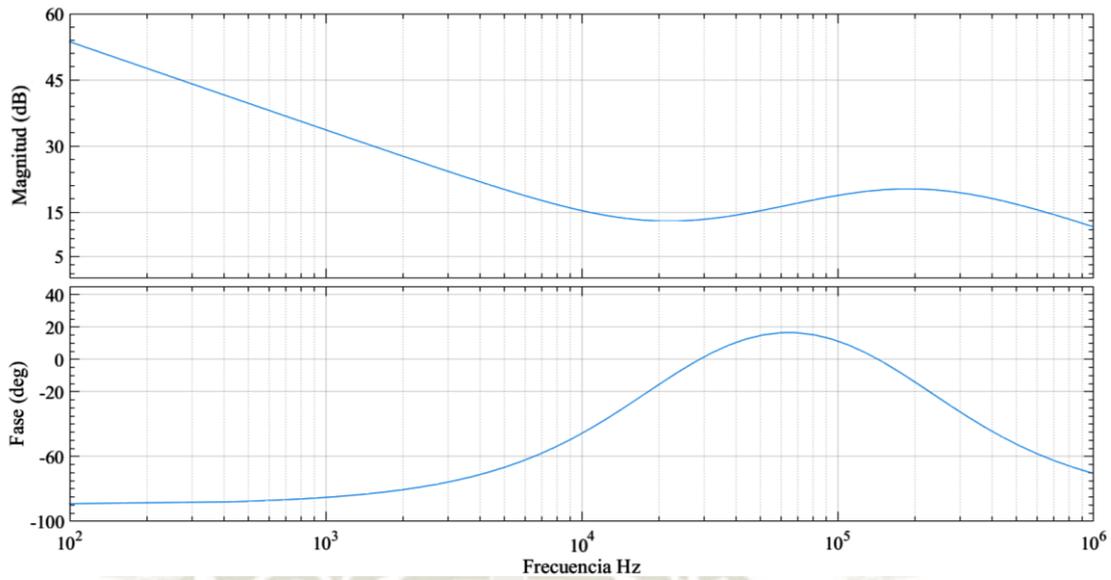
$$G_c = 2.25 \cdot \frac{\left(1 + \frac{134400}{s}\right)\left(1 + \frac{s}{134400}\right)}{\left(1 + \frac{s}{1220000}\right)\left(1 + \frac{s}{1220000}\right)} \quad 4-71$$

O su equivalente:

$$G_c = 2.49 \times 10^7 \cdot \frac{(1.34 \times 10^5 + s)^2}{s(1.22 \times 10^6 + s)^2} \quad 4-72$$

El diagrama de bode del compensador se muestra en la ilustración 4-26.

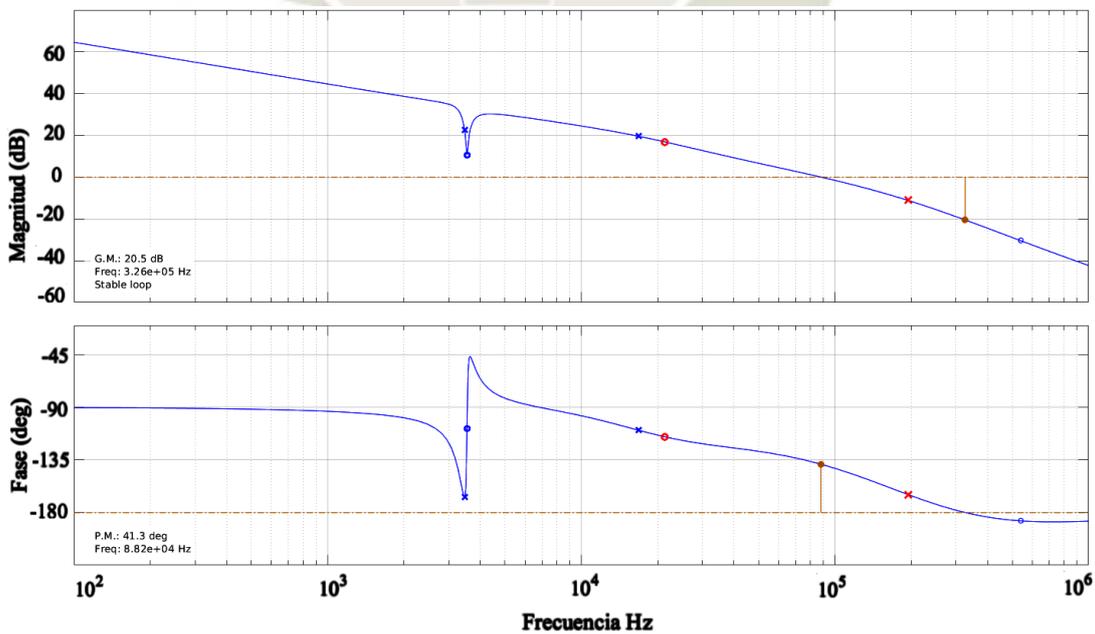
*Ilustración 4-26 Diagrama de Bode del compensador tipo III.*



*Nota. Fuente elaboración propia.*

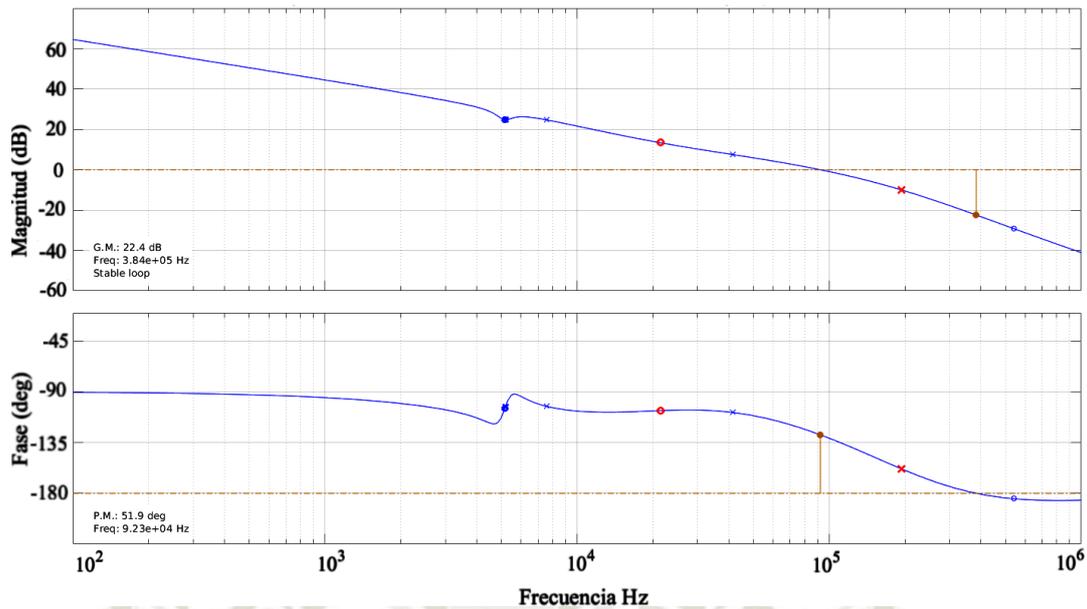
Para terminar, se muestra los diagramas de bode del bucle T compensando en modo 1 y 2, donde se observa que la frecuencia de corte en el modo 1 es 88.2kHz con un margen de fase de  $41.3^\circ$ , ilustración 4-27, y la frecuencia de corte en el modo 2 es de 92.3kHz con un margen de fase de  $51.9^\circ$ , ilustración 4-28. En ambos modos el compensador cumple con los requerimientos establecidos.

*Ilustración 4-27 Diagrama de Bode del bucle T compensado en Modo 1.*



*Nota. Fuente elaboración propia.*

**Ilustración 4-28** Diagrama de Bode del bucle  $T$  compensado en Modo 2.



Nota. Fuente elaboración propia.

### Cálculo de componentes del compensador

Habiendo ubicado las frecuencias de polos y ceros se procede a calcular los componentes del compensador. Del conjunto de ecuaciones 21 y 23 de la hoja de datos del circuito integrado LM27402, (Texas Instruments, 2010), se deduce las ecuaciones 4-73 a 4-77 necesarias para el caculo.

$$R_{c1} = R_{fb1} \cdot G_{c0} = 20k\Omega \cdot 2.248 = 44.972k\Omega \quad 4-73$$

$$C_{c1} = \frac{1}{2 \cdot f_{z1} \cdot \pi \cdot R_{c1}} = \frac{1}{2 \cdot 21.390kHz \cdot \pi \cdot 44.972k\Omega} = 1.654 \times 10^{-10} F \quad 4-74$$

$$C_{c2} = \frac{1.654 \times 10^{-10}}{-1 + 2 \cdot 1.654 \times 10^{-10} \cdot 194.169kHz \cdot \pi \cdot 44.972k\Omega} = 2.048 \times 10^{-11} F \quad 4-75$$

$$R_{c2} = \frac{R_{fb1} \cdot f_{z2}}{f_{p1} - f_{z2}} = \frac{20k\Omega \cdot 21.390kHz}{194.169kHz - 21.390kHz} = 2476.05\Omega \quad 4-76$$

$$C_{c3} = \frac{1}{2 \cdot f_{p1} \cdot \pi \cdot R_{c2}} = \frac{1}{2 \cdot 194.169kHz \cdot \pi \cdot 2476.05\Omega} = 3.310 \times 10^{-10} F \quad 4-77$$

A continuación, la tabla 4-8 muestra el valor calculado y el valor estándar comercial de los componentes que se utilizara en la construcción de la fuente.

**Tabla 4-8** Valores estándar comerciales de los componentes del compensador.

Componente	Valor calculado	Valor estándar comercial
$R_{fb1}$	$20k\Omega$	$20k\Omega$
$R_{fb2}$	$13k\Omega$	$13k\Omega$ Resistencia variable
$R_{c1}$	$44.972k\Omega$	$45.30k\Omega$
$R_{c2}$	$2476.05\Omega$	$2490\Omega$
$C_{c1}$	$165.4pF$	$150pF$
$C_{c2}$	$20.48pF$	$20pF$
$C_{c3}$	$331pF$	$330pF$

*Nota. Fuente elaboración propia.*

Con los valores comerciales seleccionados se recalcula la posición de los polos y ceros y la nueva función de transferencia del compensador, luego se analiza nuevamente la estabilidad del sistema completo. La frecuencia de polos y ceros, y la ganancia se determina con el juego de ecuaciones 21 de (Texas Instruments, 2010).

$$G_{c0} = \frac{45.300k\Omega}{20k\Omega} = 2.265 \quad 4-78$$

$$f_{z1} = \frac{1}{2 \cdot C_{c1} \cdot \pi \cdot R_{c1}} = \frac{1}{2 \cdot 150 \times 10^{-12} F \cdot \pi \cdot 45.300k\Omega} = 23.422 \text{ kHz} \quad 4-79$$

$$f_{z2} = \frac{1}{2 \cdot C_{c3} \cdot \pi \cdot (R_{fb1} + R_{c1})} = \frac{1}{2 \cdot 330 \times 10^{-12} F \cdot \pi \cdot (20k\Omega + 45.300k\Omega)} = 21.444 \text{ kHz} \quad 4-80$$

$$f_{p1} = \frac{1}{2 \cdot C_{c3} \cdot \pi \cdot R_{c1}} = \frac{1}{2 \cdot 330 \times 10^{-12} F \cdot \pi \cdot 45.300k\Omega} = 199.09 \text{ kHz} \quad 4-81$$

$$f_{p2} = \frac{C_{c1} + C_{c2}}{2 \cdot C_{c1} \cdot C_{c2} \cdot \pi \cdot R_{c1}} = \frac{150 \times 10^{-12} F + 20 \times 10^{-12} F}{2 \cdot 150 \times 10^{-12} F \cdot 20 \times 10^{-12} F \cdot \pi \cdot 45.300 k\Omega} = 193.69 \text{ kHz}$$

4-82

Se observa que los pares de polos y ceros ya no son gemelos. Sin embargo, la nueva posición en frecuencia no es muy distanciada de la calculada originalmente, tabla 4-9.

**Tabla 4-9** Comparación de frecuencia de polos y ceros con valores originales y comercial de los componentes del compensador.

$f_{p1}$	194.169kHz	199.09 kHz
$f_{p2}$	194.169kHz	193.69 kHz
$f_{z1}$	21.390kHz	23.422 kHz
$f_{z2}$	21.390kHz	21.444kHz

*Nota. Fuente elaboración propia.*

Con estos valores se reformula la función de transferencia del compensador y se obtiene las ecuaciones

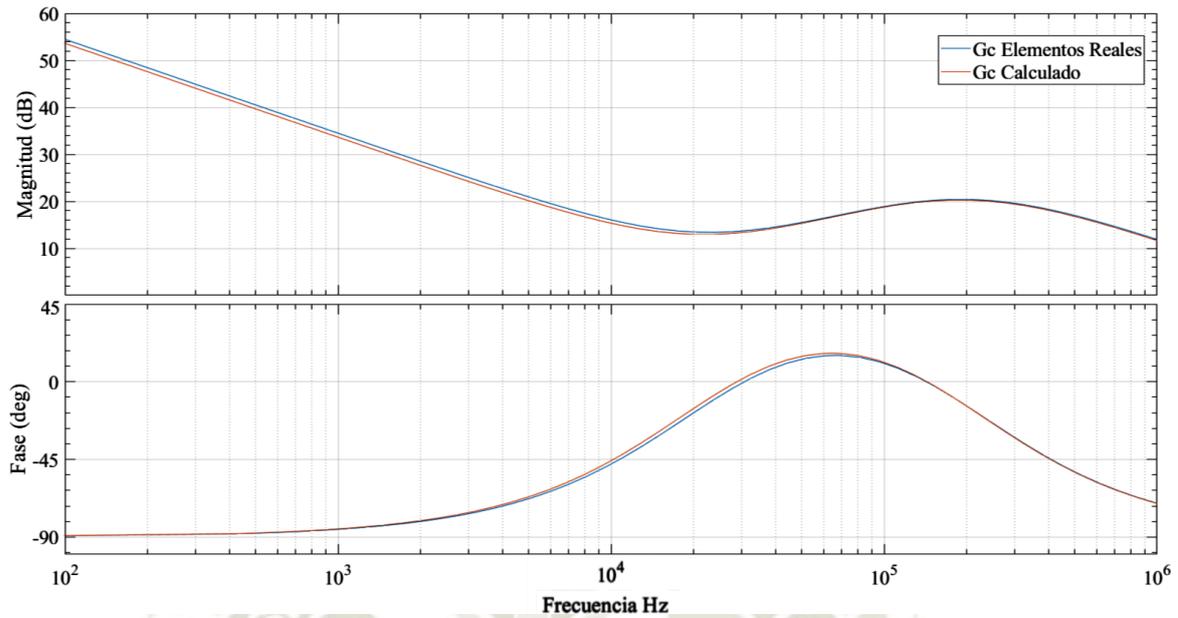
$$G_{c\_Real} = \frac{2.265 \left(1 + \frac{147167}{s}\right) \left(1 + \frac{s}{134740}\right)}{\left(1 + \frac{s}{1.25 \times 10^6}\right) \left(1 + \frac{s}{1.22 \times 10^6}\right)} \quad 4-83$$

o

$$G_{c\_Real} = \frac{333333.256 + 4.739s + 16.81 \times 10^6 s^2}{s + 1.62 \times 10^6 s^2 + 6.57 \times 10^{-13} s^3} \quad 4-84$$

La ilustración 4-29 del diagrama de bode de la función de transferencia del compensador original sobrepuesta sobre el diagrama de bode de la función de transferencia con los componentes estándares comerciales muestra que no existe mayor variación.

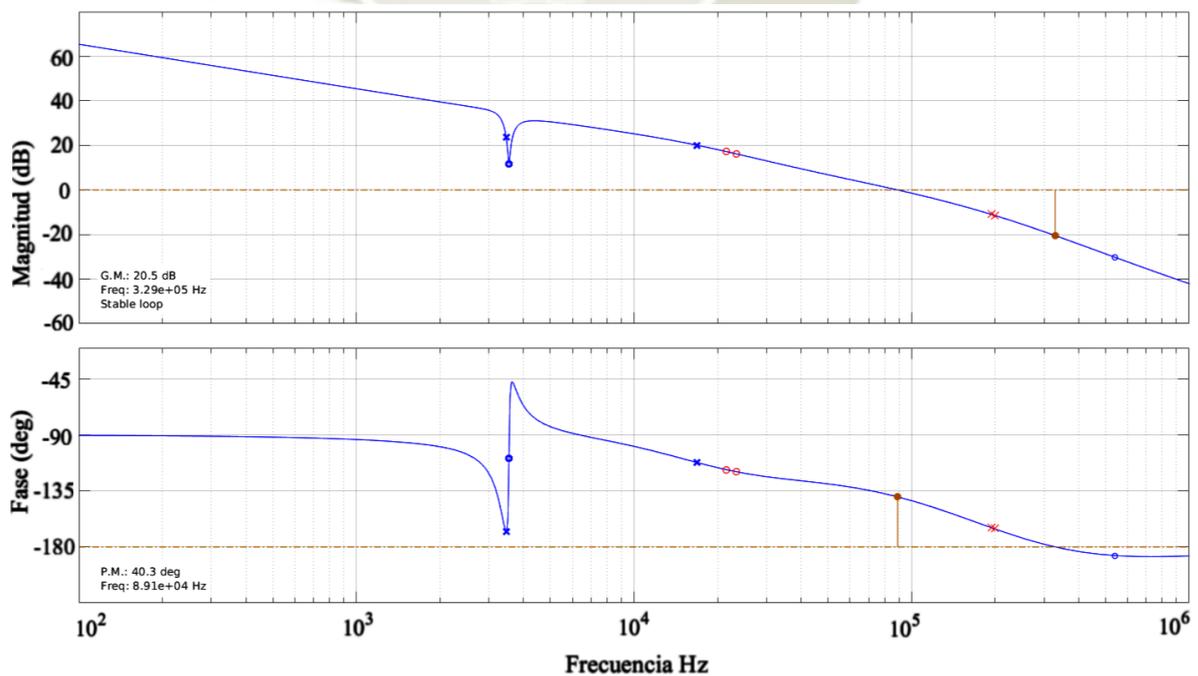
*Ilustración 4-29* Diagrama de bode del compensador original versus compensador con componentes comerciales.



*Nota.* Fuente elaboración propia.

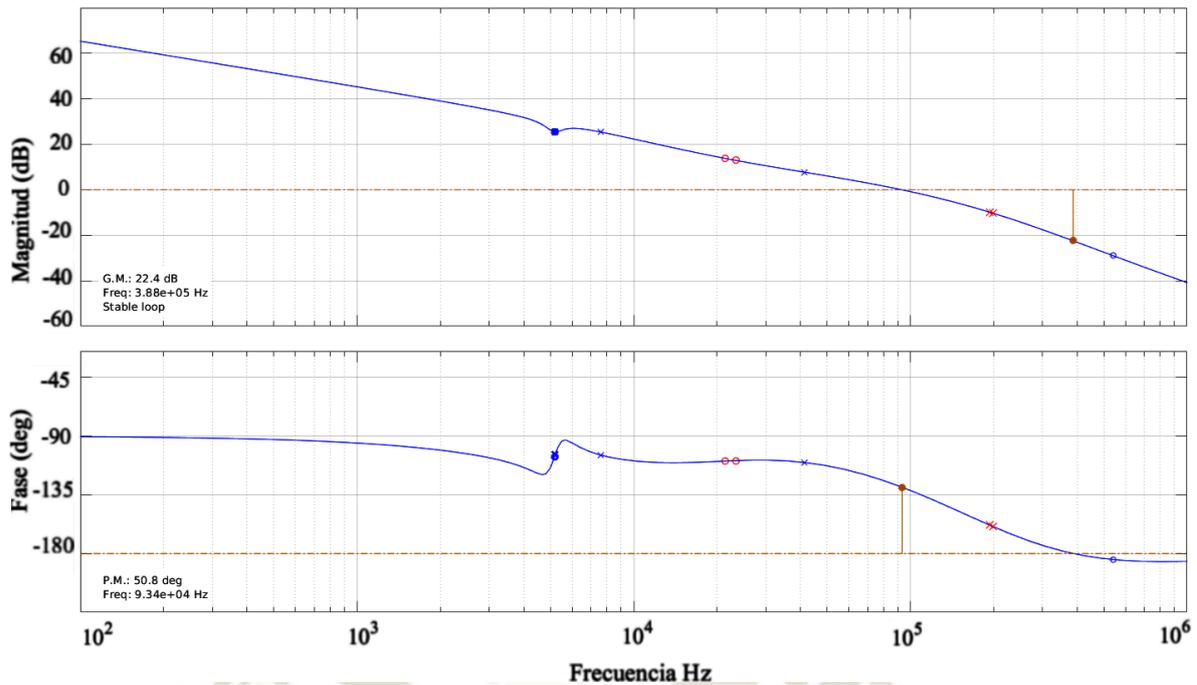
Para terminar, las ilustraciones 4-30 y 4-31 de los diagramas de bode del bucle T muestran que para el modo 1 la nueva frecuencia de corte es 89.1kHz con un margen de fase de  $40.3^\circ$  y para el modo 2 93.4kHz con un margen de fase de  $50.8^\circ$ . Con estos datos se concluye que el sistema es estable.

*Ilustración 4-30* Diagrama de Bode del bucle T compensado con componentes comerciales en modo 1.



*Nota.* Fuente elaboración propia.

*Ilustración 4-31 Diagrama de Bode del bucle T compensado con componentes comerciales en modo 2.*



*Nota. Fuente elaboración propia.*

#### 4.2.2. Comportamiento de lazo cerrado de $G_{vi}$ y $Z_{out}$

La atenuación de señales no deseadas (armónicos y otros) del voltaje de entrada  $v_i$  y de la corriente de salida  $i_o$  en el voltaje de salida  $V_o$  está representada por la función de transferencia  $1/(1 + T(s))$ . El efecto de esta función de transferencia en las señales no deseadas se representa por las ecuaciones 4-85 y 4-86 (parte de la ecuación 4-62) para el voltaje de entrada y corriente de salida respectivamente, mientras más grande sea la ganancia de  $T(s)$  mayor será la atenuación.

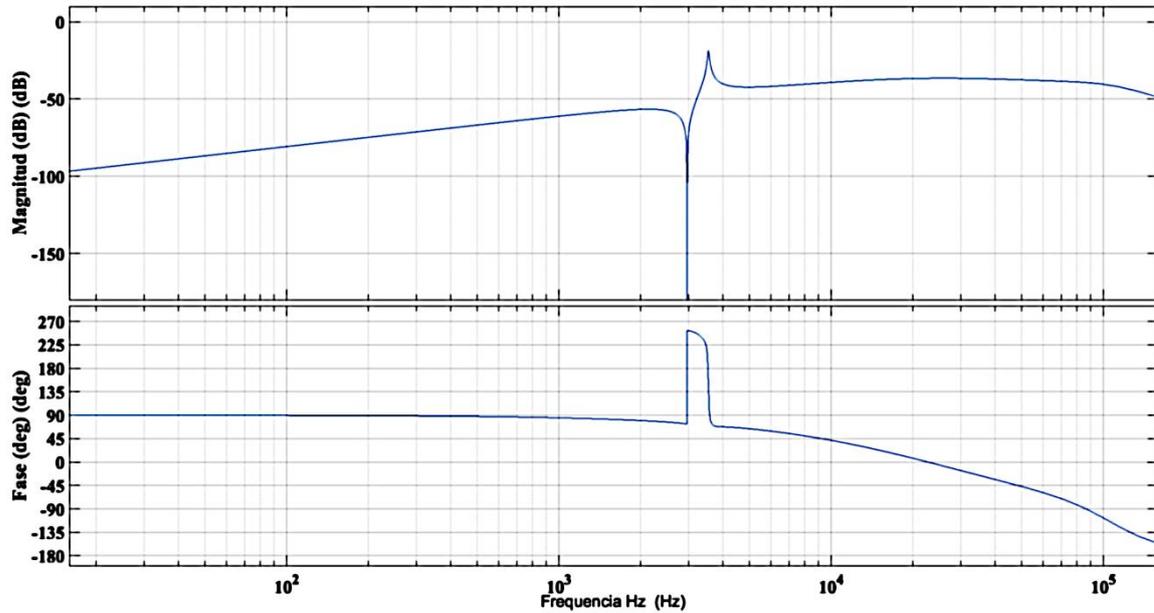
$$\check{u}_o = \check{u}_i \cdot \frac{G_{vi}}{1 + H \cdot G_c \cdot 1/V_M \cdot G_{vd}} \quad 4-85$$

$$\check{u}_o = -i_o \cdot \frac{Z_{out}}{1 + H \cdot G_c \cdot 1/V_M \cdot G_{vd}} \quad 4-86$$

##### 4.2.2.1. Atenuación de señales no deseadas del voltaje de entrada

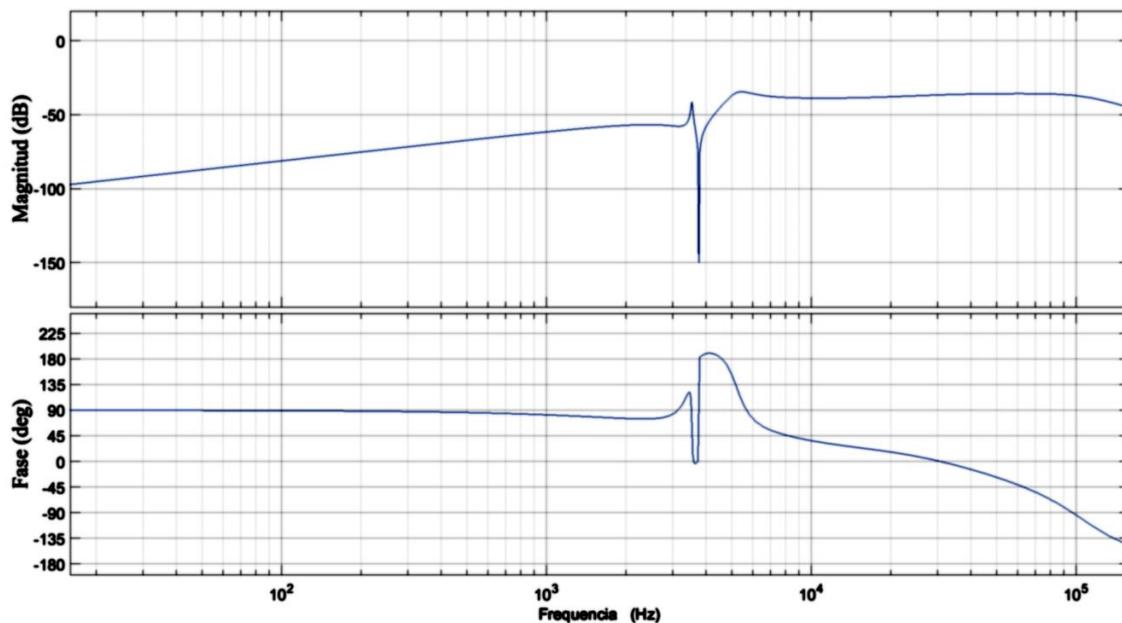
Las ilustraciones 4-32 y 4-33 muestran el efecto de la atenuación  $1/(1+T(s))$  en las señales alternas del voltaje de entrada. Se ve en la función de transferencia de bucle cerrado  $G_{vi}$  que toda señal alterna, en todo rango de frecuencia, será atenuada drásticamente en la etapa del controlador, sensor y generador de PWM para asegurar que no afecte al voltaje de salida tanto en modo 1 como en modo 2.

*Ilustración 4-32 Atenuación de la función de transferencia  $1/(1+T(s))$  en señales no deseadas del voltaje de entrada (modo 1)*



*Nota. Fuente elaboración propia.*

*Ilustración 4-33 Atenuación de la función de transferencia  $1/(1+T(s))$  en señales no deseadas del voltaje de entrada (Modo 2)*



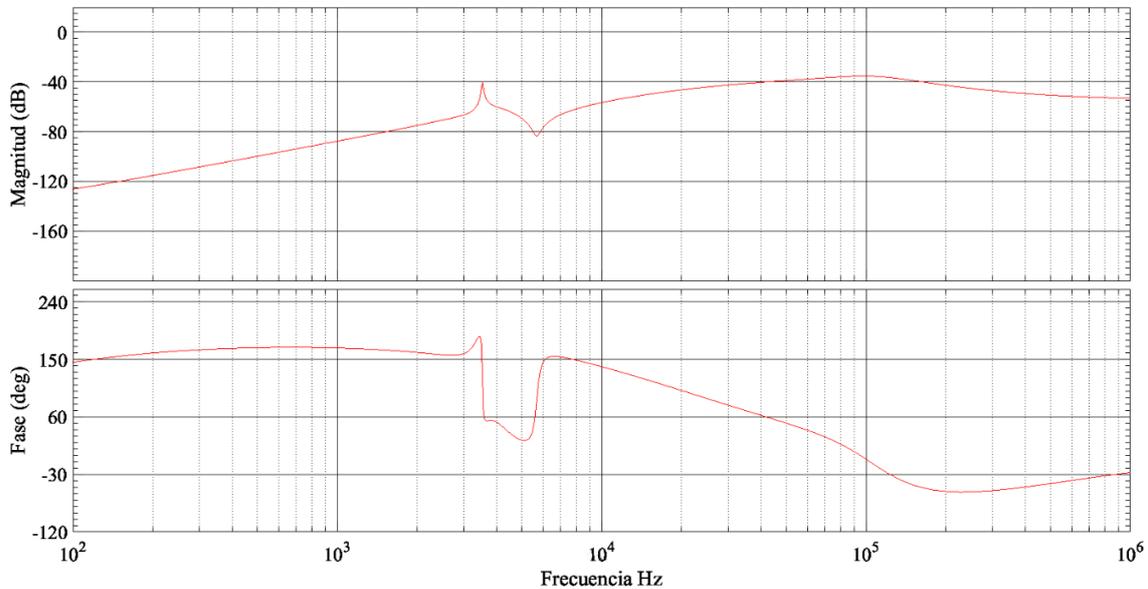
*Nota. Fuente elaboración propia.*

#### 4.2.2.2. Atenuación de señales no deseadas de la corriente de salida

En las ilustraciones 4-34 y 4-35 se muestra el efecto de la atenuación  $1/(1+T(s))$  en las señales no deseadas generadas por la variación de la carga en la salida. En la función de

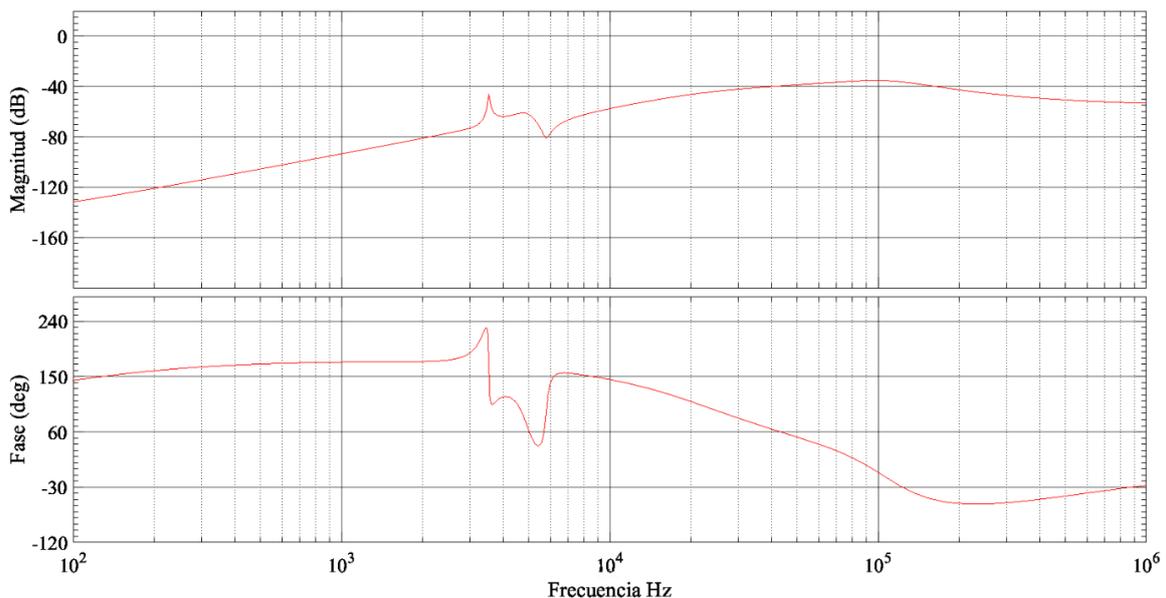
transfencia de bucle cerrado  $Z_{out}$  se observa que toda señal alterna, en todo rango de frecuencia, será atenuada drásticamente en la etapa del controlador, sensor y generador de PWM para asegurar que no afecte al voltaje de salida tanto en modo 1 como en modo 2.

*Ilustración 4-34 Atenuación de la función de transferencia  $1/(1+T(s))$  en señales no deseadas de las variaciones de la corriente de salida (modo 1)*



*Nota. Fuente elaboración propia.*

*Ilustración 4-35 Atenuación de la función de transferencia  $1/(1+T(s))$  en señales no deseadas de las variaciones de la corriente de salida (Modo 2)*



*Nota. Fuente elaboración propia.*

### 4.3. Resumen del capítulo

En este capítulo se presenta el desarrollo del modelamiento del circuito de la fuente para luego diseñar el circuito de compensación óptimo para los modos 1 y 2 de operación.

Inicialmente, el modelamiento se realiza en cada fase utilizando la técnica del del voltaje, en los MOSFETs de posición alta y baja en un periodo de operación. Primero se identifican los valores y la forma del voltaje y corriente en los elementos de conmutación durante el tiempo definido por el ciclo de trabajo, luego se realiza el mismo ejercicio durante el tiempo complementario, y finalmente se igualan las variables de voltaje y corriente similares para obtener el voltaje y corriente promedio en cada MOSFET.

A continuación, se aplica la técnica del modelamiento en pequeña señal AC para simular como una perturbación del voltaje de entrada o de la carga afecta al voltaje de salida, de esta manera para cada fase se obtiene una fuente de corriente, una fuente de voltaje y un transformador ideal que representan de manera lineal como la conmutación manipula el voltaje de entrada mediante el ciclo de trabajo para ser presentado al inductor, capacitor de salida y carga.

Una vez modelado el circuito se procede a calcular las funciones de transferencia que muestran como la perturbación del voltaje de entrada, de la carga y la regulación del ciclo de trabajo afectan al voltaje de salida.

El diagrama de Bode de la función de transferencia  $G_{vd}$  muestra que la fuente se comporta de manera estable con un margen de fase de  $136^\circ$  y  $120^\circ$  en la frecuencia de corte para el modo 1 y 2 respectivamente. Sin embargo, se requiere corregir lo siguiente:

- a. El margen de fase disminuye hasta llegar a  $26^\circ$  y  $37^\circ$  en la frecuencia de conmutación de ambos modos por lo que es necesario elevar el margen en esta área.
- b. La ganancia antes de la frecuencia de corte es de 2dB por lo que las señales no deseadas del voltaje de entrada como de la carga no son atenuadas y son causa de irregularidades en el voltaje de salida.
- c. Por esta razón se diseña un compensador de tipo III, el cual modifica la función de transferencia  $G_{vd}$  y el resultado es:
- d. Un margen de fase de  $40.3^\circ$  y  $50.8^\circ$  en la frecuencia de corte para el modo 1 y 2 respectivamente.
- e. Margen de ganancia de 20.5dB y 22.4dB para el modo 1 y 2 respectivamente.
- f. La ganancia supera los 60dB para frecuencias de 100Hz con una pendiente de -20dB por década de frecuencia.

De esta manera se asegura una fuente con una regulación de voltaje de salida estable.



## Capítulo 5: Diseño del Hardware

## 5 Diseño del hardware

El presente capítulo tiene como propósito mostrar el diseño del hardware para validar la topología propuesta y, para ello se muestra el diseño del esquemático y la placa impresa (PCB), y al final brevemente se muestra la secuencia lógica del software que controlara la sincronización y control de las tres fases de la fuente.

### 5.1 Esquema eléctrico

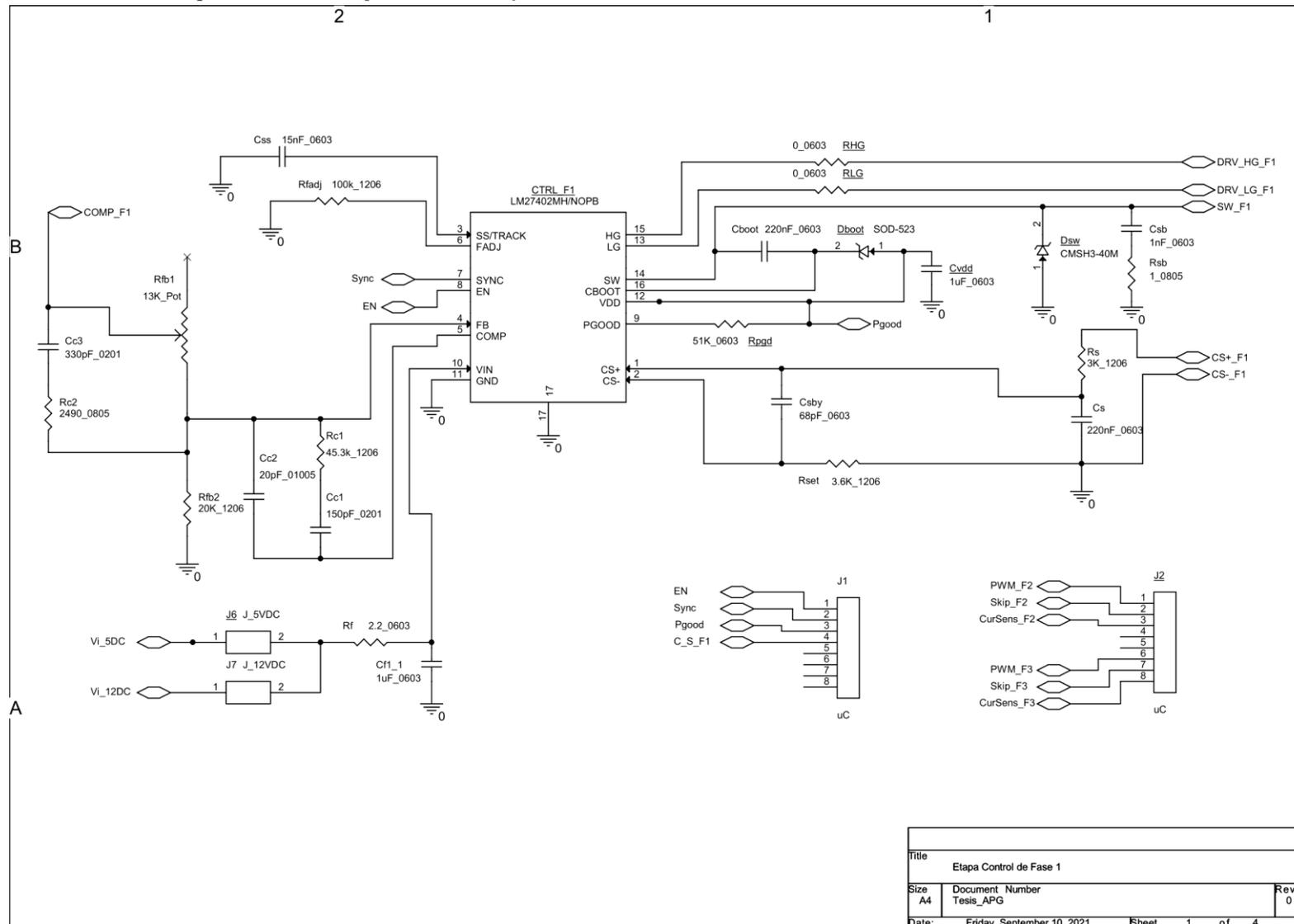
El esquemático se ha dividido en cuatro páginas para simplificar el diseño, para ello se utiliza dos páginas para la parte de control de la fuente y dos páginas para la parte de fuerza.

La página uno, ilustración 5-1, muestra el esquemático del diseño del control de la fase uno usando el circuito integrado (CI) LM27402MH, de Texas Instruments como el corazón de esta etapa. Este elemento es un controlador síncrono de topología Buck o reductora, en el prototipo tiene las tareas de adaptar y compensar el voltaje de salida, y calcular el error para generar la modulación del ancho de pulso para los drivers de los MOSFETs de la fase 1. En este esquemático también se muestra los conectores J1 y J2 cuyas señales de entrada y salida son dirigidos a un microcontrolador modelo dsPIC33CH512MP508 de Microchip para el control de la fuente completa. En la página dos, ilustración 5-2, se muestra los CI de control de las fases 2 y 3. El CI es el TPS51601ADRBR, también de Texas Instruments, cuya función es ser el driver para los MOSFETs de fase 2 y 3 a partir de la señal PWM generada por el dsPIC33CH512MP508. En la página 3, ilustración 5-3, se muestra la etapa de fuerza de la fase 1. En ella se observa el capacitor en serie C1 (capacitores C1\_1 y C1\_2 en paralelo), los MOSFETs y el sensor de corriente para evitar sobrecarga en la fuente. Finalmente, en la página 4, ilustración 5-4, se muestra la etapa de fuerza de la fase 2 y 3 que consiste en los MOSFETs y sensores de corriente de cada fase.

En el esquemático no se muestra el microcontrolador dspic33 ya que este es parte de tarjeta de desarrollo “DSPIC33CH Curiosity development board” con código DM330028-2. La función de este microcontrolador es generar y sincronizar la modulación del ancho de pulso de los MOSFETs de las fases 2 y 3 con la fase 1, y monitorear el estado de la corriente de cada fase de manera independiente.

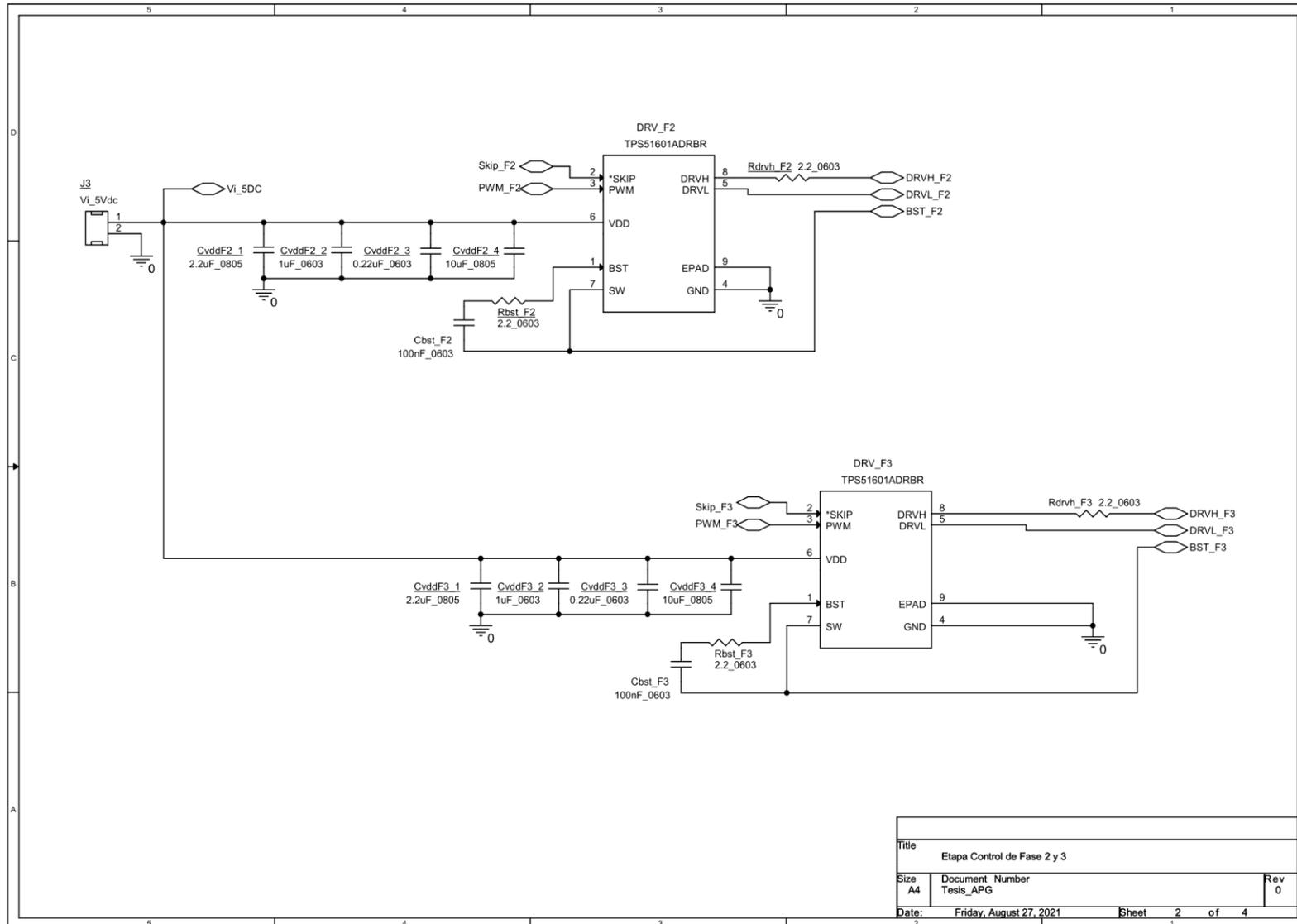
El listado de los componentes comerciales para cada página del esquemático se muestra en las tablas 5-1 a 5-4.

**Ilustración 5-1** Esquemático de la etapa de control de fase 1.



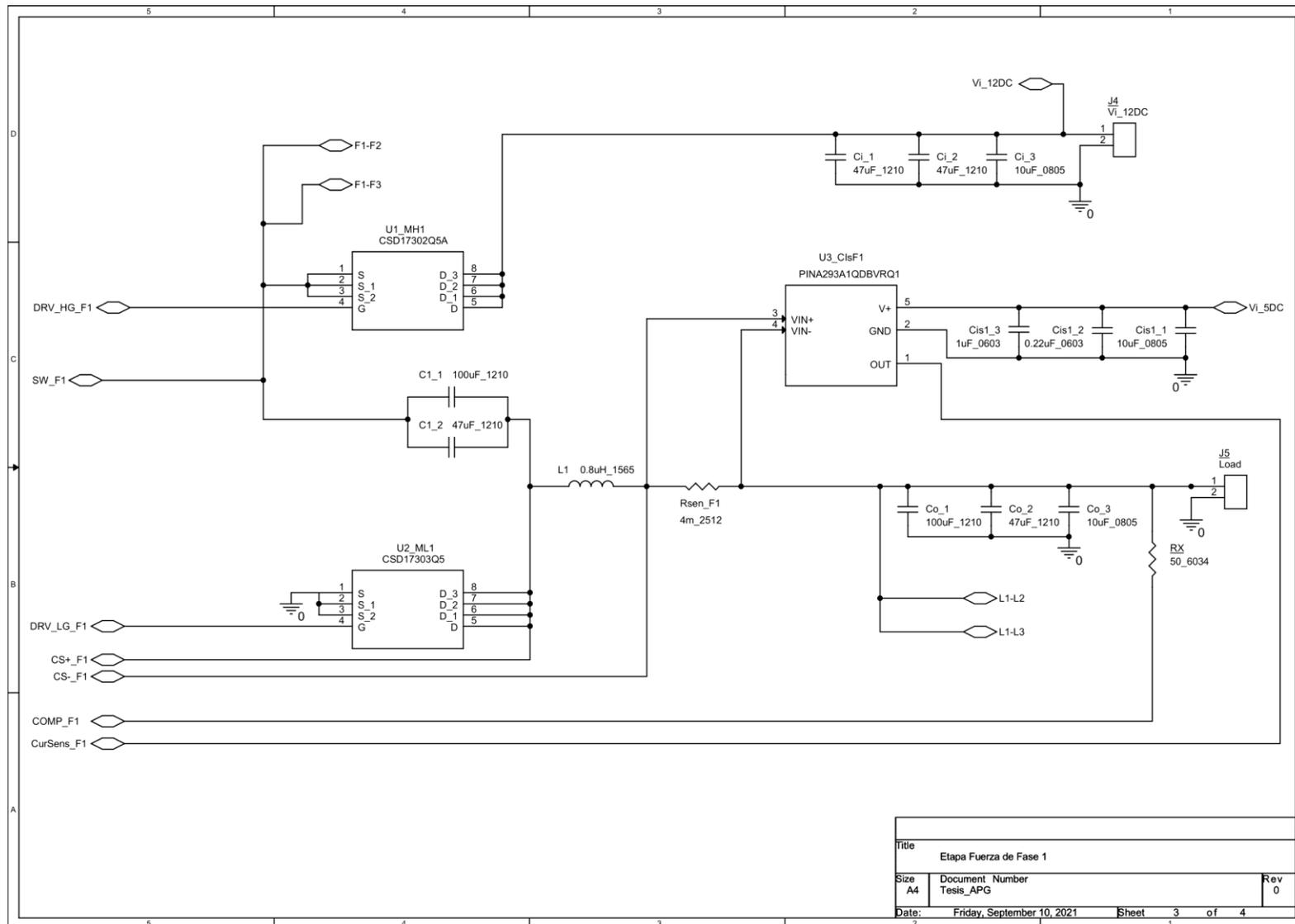
Nota. Fuente elaboración propia.

**Ilustración 5-2** Esquemático de la etapa de control de fase 2 y 3.



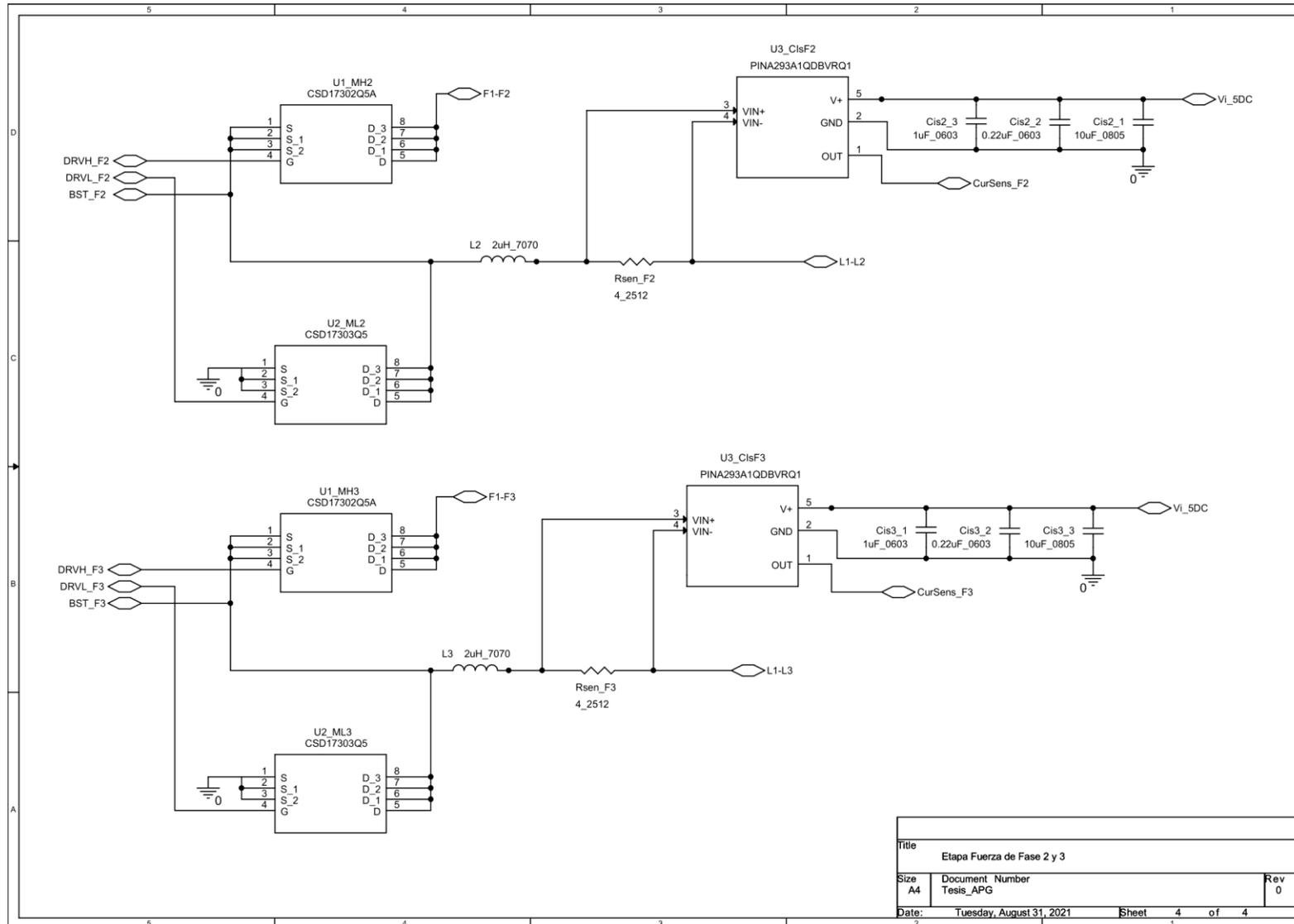
Nota. Fuente elaboración propia.

**Ilustración 5-3** Esquemático de la etapa de fuerza de fase 1.



*Nota. Fuente elaboración propia.*

**Ilustración 5-4** Esquemático de la etapa de fuerza de la fase 2 y 3.



Nota. Fuente elaboración propia.

**Tabla 5-1** Partes del esquemático control fase 1.

Elemento	Valor	Fabricante	Numero de parte
Cboot, Cs	220 nF	MURATA	GRM188R71E224KA88D
Cc1	150 pF	TAIYO YUDEN	TMK063CG151JTHF
Cc2	20 pF	TAIYO YUDEN	TMK042CG200JC-W
Cc3	330 pF	TAIYO YUDEN	TMK063CG331JT-F
Cf1_1, Cvdd	1 uF	TAIYO YUDEN	TMK107BJ105KAHT
Csb	1 nF	KEMET	C0805C102K5REC7210
Csby	68 pF	MURATA	GRM1885C1H680JA01D
Css	15 nF	TDK	CGJ3E2X7R1E153K080A A
CTRL_F1	LM27402MHNOPB_15	TEXAS INSTRUMENTS	LM27402MH/NOPB
Dboot	SOD-523	CENTRAL SEMICONDUCTOR CORP	CMOSH-3TR
Dsw	CMSH3-40M	MURATA	CMSH3-40M TR13 PBFREE
J1, J2, J3, J4, J5, J6, J7	Conector	----	----
Rc1	45.3 kOhm	YAGEO	RC1206FR-0745K3L
Rc2	2490 Ohm	STACKPOLE ELECTRONICS	RNCP0805FTD2K49
Rf	2.2 Ohm	YAGEO	RT0603FRE072R2L
Rfadj	100 kOhm	YAGEO	RE1206FRE07100KL
Rfb1	20 kOhm_Pot	BOURNS	3361P-1-203GLF
Rfb2	20 kOhm	YAGEO	RC1206FR-0720KL
RHG, RLG	0 Ohm	----	----
Rpgd	51 kOhm	YAGEO	RT0603FRE0751KL
Rs	3 kOhm	VISHAY DALE	CRCW12063K00FKEA
Rsb	1 Ohm	KEMET	CRCW08051R00FNEA
Rset	3.6 kOhm	VISHAY DALE	CRCW12063K60FKEA

*Nota. Fuente elaboración propia.*

**Tabla 5-2** Partes del esquemático control de fase 2 y 3.

Elemento	Valor	Fabricante	Numero de parte
Cbst_F2, Cbst_3	100 nF	TAIYO YUDEN	TMK107BJ104KAHT
CvddF2_1, CvddF3_1	2.2 uF	YAGEO	RT0603FRE072R2L
CvddF2_2, CvddF3_2	1 uF	TAIYO YUDEN	TMK107BJ105KAHT

CvddF2_3, CvvdF3_3	0.22 uF	MURATA	GRM188R71E224KA88D
CvddF2_4, CvvdF3_4	10 uF	MURATA	EMK212BBJ106KGHT
DRV_F2, DRV_F3	TPS51601ADRBR_5	TEXAS INSTRUMENTS	TPS51601ADRBR
Rbst_F2, Rbst_F3, Rdrvh_F2, Rdrvh_F3	2.2 Ohm	YAGEO	RT0603FRE072R2L

*Nota. Fuente elaboración propia.*

**Tabla 5-3** Partes del esquemático fuerza fase 1.

Elemento	Valor	Fabricante	Numero de parte
C1_1, Co_1	100 uF	TAIYO YUDEN	LMK325AC6107MM-P
C1_2, Ci_1, Ci_2, Co_2	47 uF	MURATA	EMK325ABJ476KMHP
Ci_3, Cis1_1, Co_3	10 uF	MURATA	EMK212BBJ106KGHT
Cis1_2	0.22 uF	MURATA	GRM188R71E224KA88D
Cis1_3	1 uF	TAIYO YUDEN	TMK107BJ105KAHT
L1	0.8 uH	COILCRAFT	MLC1565-801ML_
Rsen_F1	4 mOhm	SUSUMU	KRL6432E-C-R004-F-T1
RX	50 Ohm	VISHAY DALE	CRCW060349R9FKEAHP
U1_MH1	CSD17302Q5A	TEXAS INSTRUMENTS	CSD17302Q5A
U2_ML1	CSD17303Q5	TEXAS INSTRUMENTS	CSD17303Q5
U3_CisF1	PINA293A1QDBVRQ1_2	TEXAS INSTRUMENTS	INA293A2QDBVRQ1

*Nota. Fuente elaboración propia.*

**Tabla 5-4** Partes del esquemático fuerza fase 2 y 3.

Elemento	Valor	Fabricante	Numero de parte
Cis2_2, Cis3_2	0.22 uF	MURATA	GRM188R71E224KA88D
Cis2_3, Cis 3_1	1 uF	TAIYO YUDEN	TMK107BJ105KAHT
Cis2_1, Cis 3_3	10 uF	MURATA	EMK212BBJ106KGHT
L2, L3	2 uH	COILCRAFT	SER2009-202MLB
Rsen_F2, Rsen_F3	4 mOhm	SUSUMU	KRL6432E-C-R004-F-T1
U1_MH2, U1_MH3	CSD17302Q5A	TEXAS INSTRUMENTS	CSD17302Q5A
U2_ML2, U2_ML3	CSD17303Q5	TEXAS INSTRUMENTS	CSD17303Q5
U3_CisF2, U3_CisF3	PINA293A1QDBVRQ1_2	TEXAS INSTRUMENTS	INA293A2QDBVRQ1

*Nota. Fuente elaboración propia.*

## 5.2 Tarjeta de circuito impreso PCB

La tarjeta de circuito impreso, PCB, de dos capas tiene una dimensión de 18.6cm x 10.2 centímetros. Y, para facilitar el acceso a la medición de voltajes se ha diseñado de tal manera que todos los componentes de la etapa de fuerza y control están en la cara superior de la tarjeta PCB.

Para el diseño de la tarjeta PCB se ha tenido las siguientes consideraciones:

- En lo posible mantener una distancia máxima de 2.5cm. entre la señal de control de los CI (señal de los gate) a los MOSFET, por recomendación del fabricante del CI LM27402MH (Texas Instruments, 2010).
  - a. Tener la mínima cantidad posible de vías de comunicación entre ambas caras.
  - b. Los capacitores de entrada de alimentación han sido colocados junto a cada CI.
  - c. Los capacitores de salida fueron colocados en el punto en donde se une la salida de cada fase independiente.
  - d. Dado que el espesor del cobre de la tarjeta PCB es de 1oz/ft<sup>2</sup> o 0.0347mm es que los trazos por los que circulan corrientes mayores a 10 amperios han sido reforzados con material de soldadura.
  - e. En lo posible se ha incrementado el ancho del trazo para las señales de control.

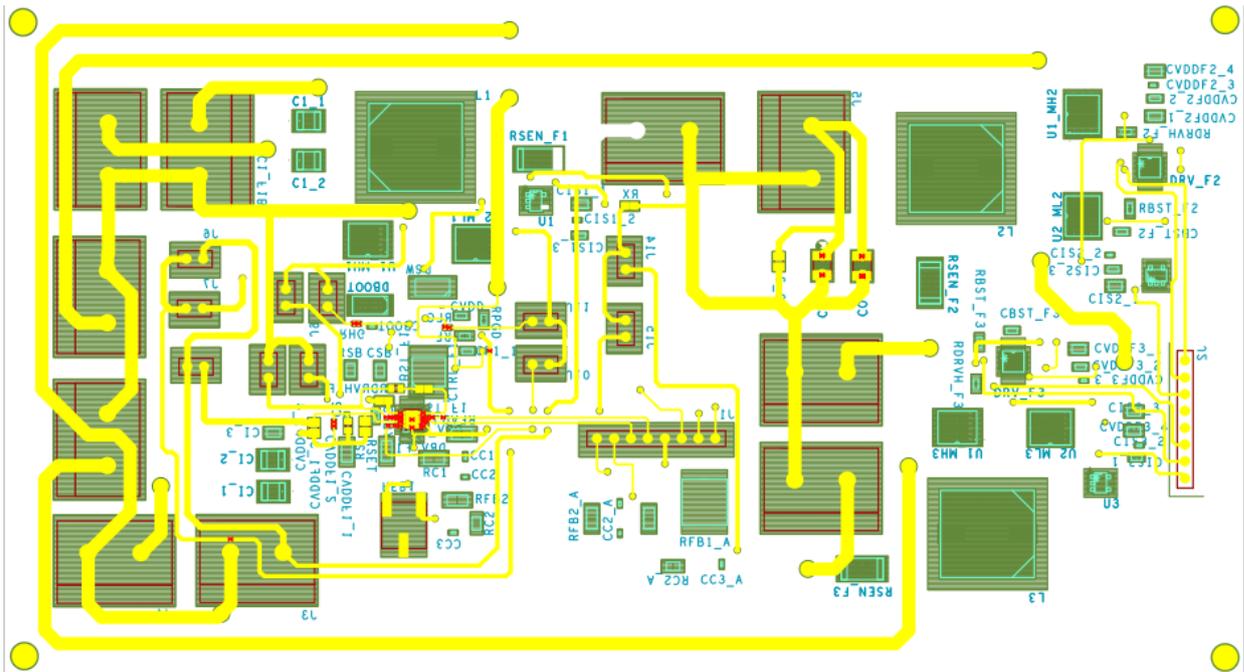
En las siguientes ilustraciones se muestra el diseño de la tarjeta PCB. La ilustración 5-5 muestra la distribución de los componentes en ambas caras, y también se ve la existencia de bloques mayores similares a los conectores J3 y J4 que son utilizados para facilitar la medición de voltajes que conectan las tres fases. En las ilustraciones 5-6 y 5-7 se muestra el trazo de las líneas del lado anverso y envés de la tarjeta respectivamente.

La carga para las pruebas está compuesta por un conjunto de resistencias de 0.1 y 0.05 ohmios a 50 Watts cada una para simular cargas de hasta 40 amperios. Estas resistencias no son parte de la tarjeta PCB debido a que cada una mide 2.5cm de largo por 1.5cm de ancho y su inserción en la tarjeta no es conveniente.

La ilustración 5-8 y 5-9 muestra la tarjeta PCB fabricada por ambas caras, y la ilustración 5-10 muestra la tarjeta con los elementos soldados.

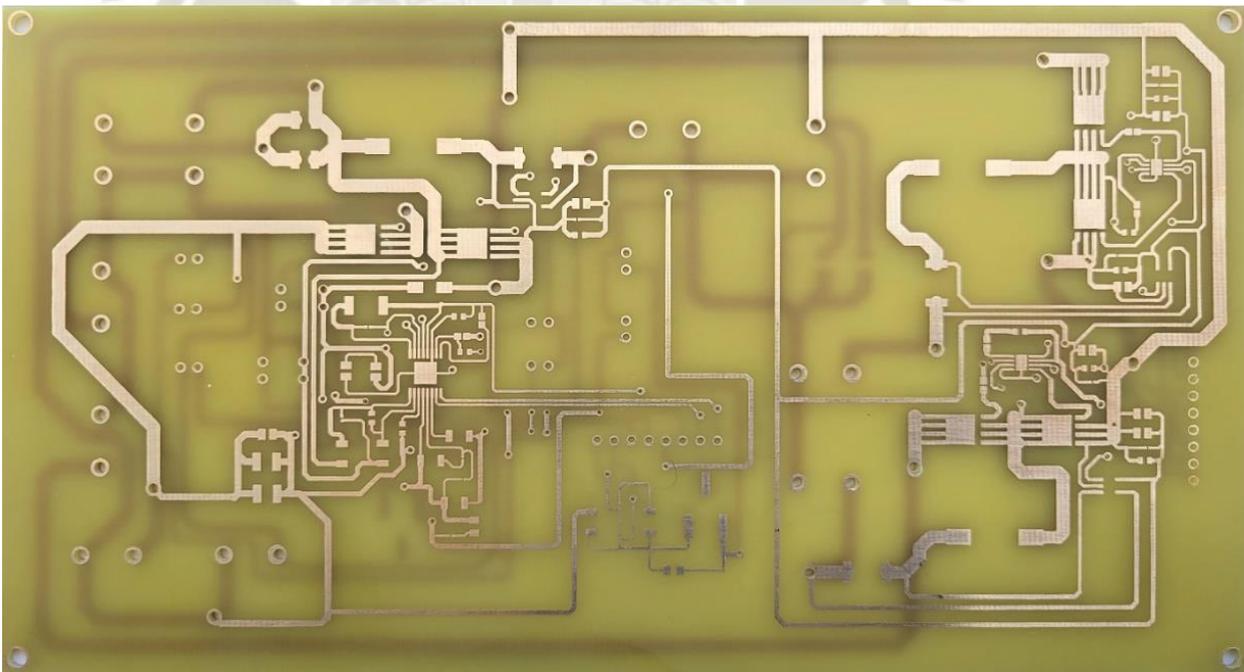


*Ilustración 5-7 Trazos de la parte envés de la tarjeta PCB.*



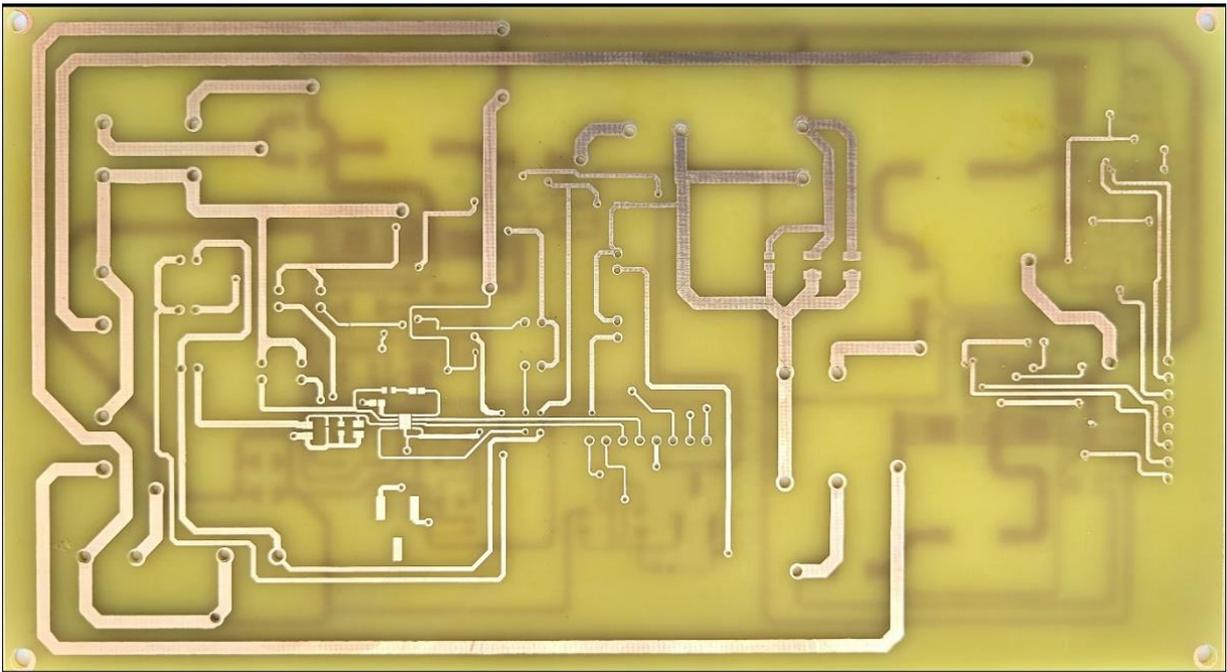
*Nota. Fuente elaboración propia.*

*Ilustración 5-8 Tarjeta PCB parte anversa.*



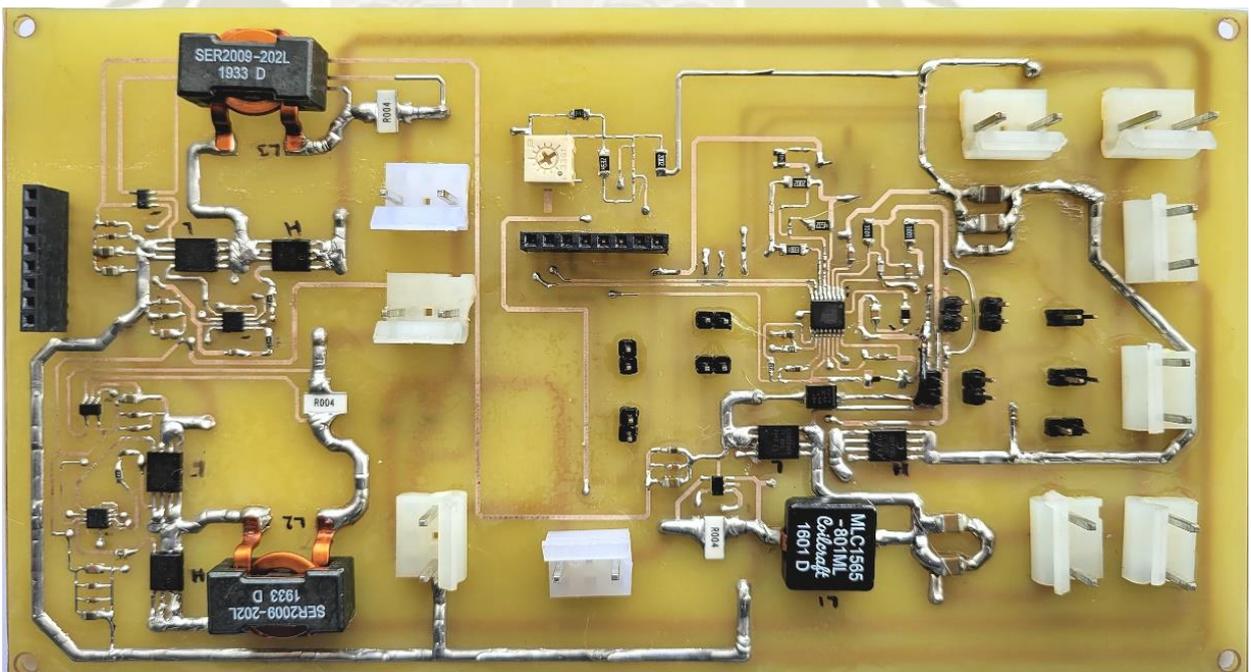
*Nota. Fuente elaboración propia.*

*Ilustración 5-9 Tarjeta PCB parte envés.*



*Nota. Fuente elaboración propia.*

*Ilustración 5-10 Tarjeta PCB con elementos.*



*Nota. Fuente elaboración propia.*

### **5.2.1 Tarjeta de desarrollo con microcontrolador dspic33**

Para el proyecto de tesis se utiliza la tarjeta de desarrollo DSPIC33CH Curiosity

development board” con código DM330028-2 de microchip, ilustración 5-11. Esta tarjeta ha sido seleccionada para la tarea porque cuenta con el microcontrolador dsPIC33CH512MP508 cuyas principales facultades son:

- a. Capacidad de procesar hasta 100 millones de instrucciones por segundo MIPS. Para asegurar un control continuo y generación de las señales de control PWM de 500kHz sin problema.
- b. Microcontrolador de dos núcleos. El segundo núcleo se utiliza para separar la lógica de control de los generadores de señal PWM en caso sea necesario.
- c. Módulo de captura con tiempo base de 32 bits. Este módulo permite medir el ancho del pulso de encendido del PWM generado por el CI LM27402MH para el control del voltaje de la fase 1 y a partir de este ancho generar los pulsos PWM de la fase 2 y 3.
- d. Generador de interrupciones de flanco positivo y negativo para sincronizar las señales de PWM de las tres fases.
- e. Cuatro canales de señal de PWM maestro.
- f. Un módulo maestro y tres módulos esclavos de conversores análogo a digital para el monitoreo de la corriente de cada una de las fases.

**Ilustración 5-11** Tarjeta PCB de la tarjeta de desarrollo *dsPIC33CH Curiosity development board*” con código DM330028-2.



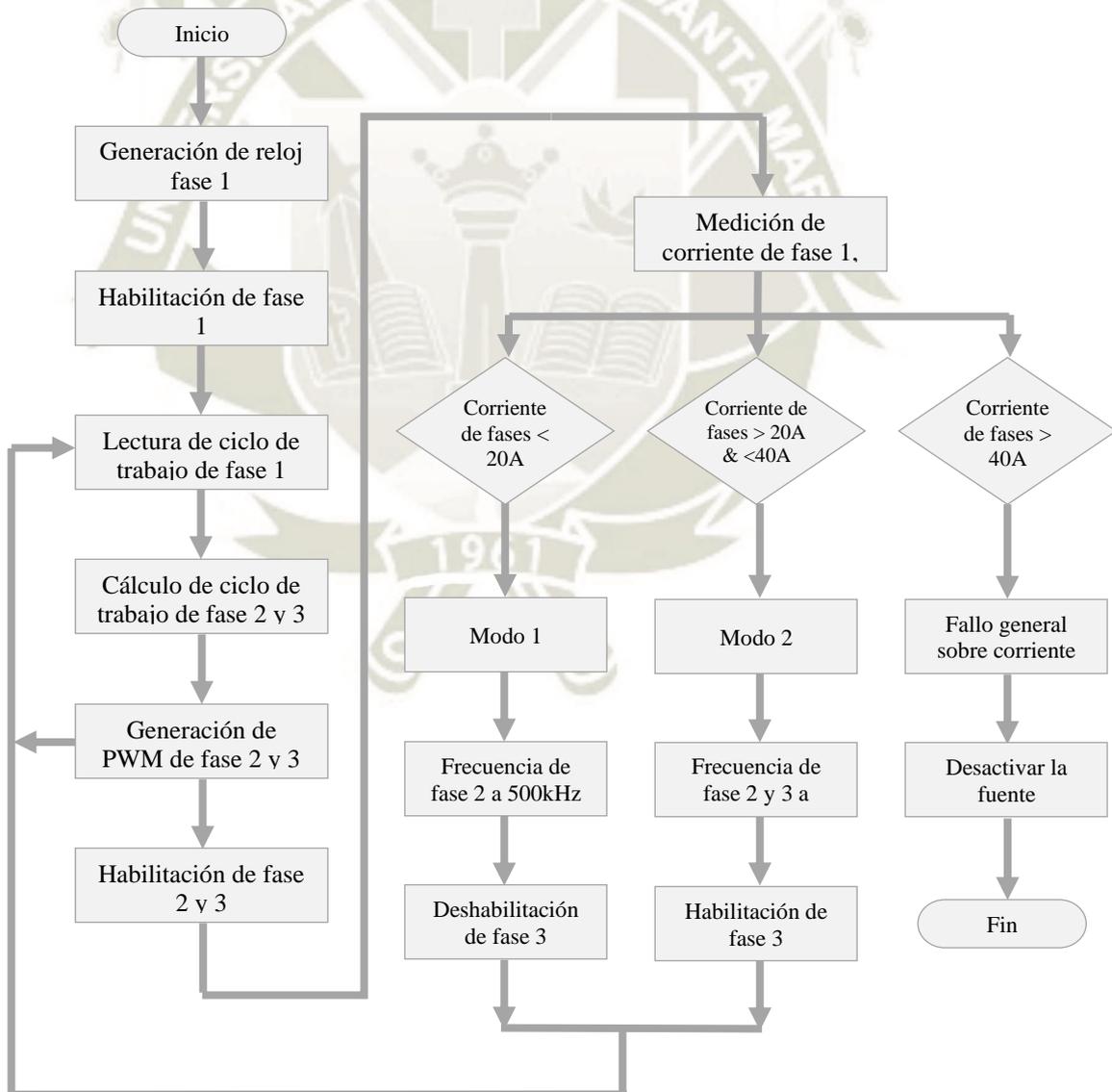
*Nota. Fuente Microchip Technology Inc. (2018). dsPIC33CH Curiosity Dev Board DM3300280-2 User's Guide. Chandler, AZ, USA.*

### 5.3 Software de control

La tarea de sincronizar y controlar la fuente en conjunto recae en el microcontrolador dspic30. En la ilustración 5-13 se observa en forma simplificada el software de control el cual describe las tareas principales que son:

- Generar el reloj principal de la fuente.
- Calcular el ciclo de trabajo de las fases 2 y 3 a partir de la fase 1.
- Generar los pulsos de la fase 2 y 3
- Operar la fuente en modo 1 o 2.
- Monitorear la corriente de salida de cada fase.

**Ilustración 5-12** Diagrama de flujo del programa del dspic33.



*Nota. Fuente elaboración propia.*

#### 5.4 Resumen del capítulo

En este capítulo se presenta el esquemático y la tarjeta PCB de la topología propuesta. Además, se muestra la tarjeta del microcontrolador dspic33 y el diagrama de flujo del programa que tiene a cargo la sincronización y generación de pulsos PWM de la fase 2 y 3 con la fase 1.





## **Capítulo 6: Resultados Experimentales**

## 6 Resultados experimentales

El presente capítulo tiene como propósito validar la topología propuesta en esta tesis.

### 6.1 Señales de modulación de ancho de pulso PWM para las fases 1, 2 y 3

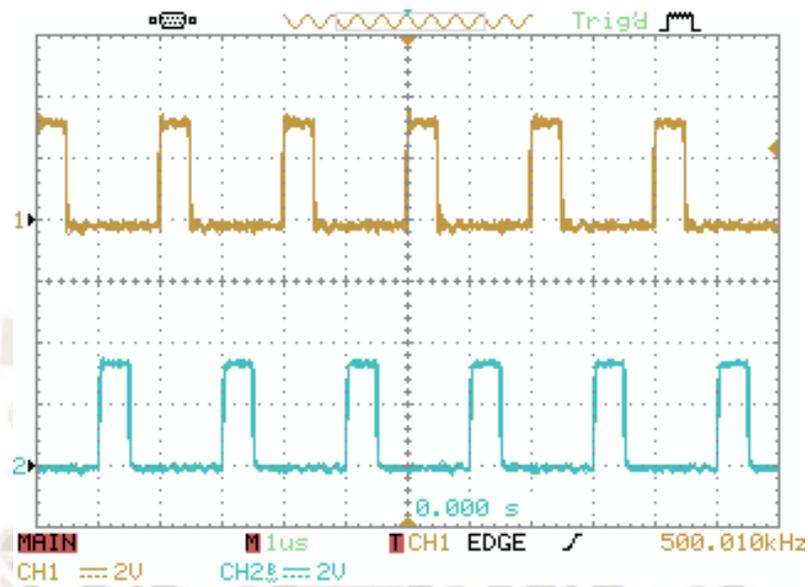
De acuerdo a la filosofía de operación de la fuente, la fase uno en un primer intervalo carga el capacitor C1 y brinda energía al inductor L1 y en el siguiente intervalo el capacitor en serie brinda la energía almacenada al inductor L2 o L3 (fase dos o tres). Por lo que, para que exista un balance de corriente y voltaje entre las fases existe un desfase adecuado entre las señales de disparo de los MOSFETs de la fase uno y las señales de disparo de los MOSFETs de la fase dos o tres respectivamente. Es así que, cuando la fuente opera en el modo 1 la frecuencia de operación es de 500kHz para ambas fases y el ángulo entre ellas es de 180°; y, cuando la fuente opera en modo 2 la fase uno trabaja a 500kHz y la fase dos y tres trabajan a 250kHz por lo que el ángulo es de 270° entre la fase uno y dos al igual que entre la fase uno y tres.

Entonces como ejemplo de la operación de la fuente se muestra las siguientes ilustraciones de las señales de sincronización y de disparo de los gates de los MOSFETs de las tres fases de la fuente.

En la ilustración 6-1, para el modo 1, se observa en el canal 1 la señal de PWM generada por el CI LM27402MH para la fase 1 y en el canal 2 la señal de PWM generada por el dspic33 para la fase 2. Entre ellas existe un desfase de 180°, la frecuencia para ambas es de 500kHz y el ciclo de trabajo es de 25%.

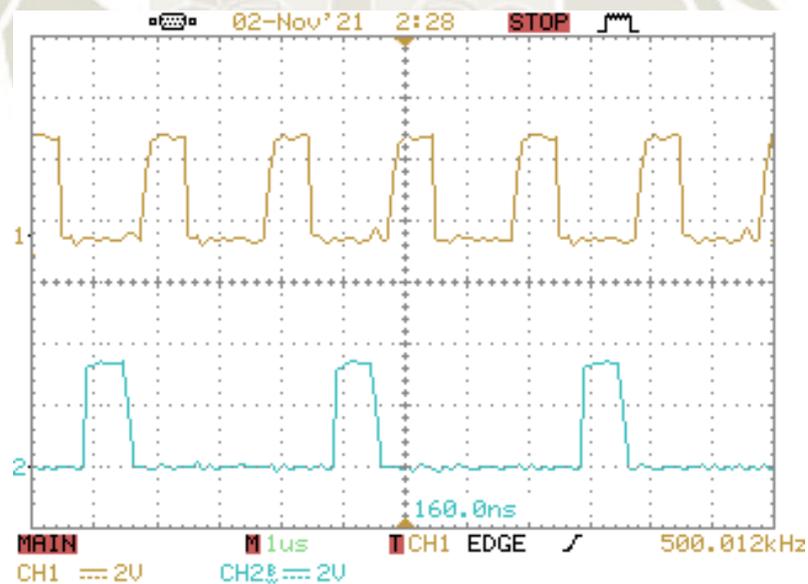
Luego, en las ilustraciones 6-2 y 6-3 se observan las señales de PWM para el modo 2 generadas para la fase 1, 2 y 3. En la ilustración 6-2 la frecuencia de operación de la fase 1 es de 500kHz con un ciclo de trabajo de 38% y de la fase 2 la frecuencia es de 250kHz con un ciclo de trabajo del 19% con un ángulo de desfase de 270° entre ambas fases. Y en la ilustración 6-3 se observa la señal PWM generada por el dspic33 para los drivers CI TPS51601ADRBR de la fase 2 y 3 en donde existe un desfase de 180° a 250kHz y el ciclo de trabajo es de 19% para ambas señales.

*Ilustración 6-1* Señal PWM para la fase 1 y la fase 2 para el disparo de los MOSFETs correspondientes en modo 1.



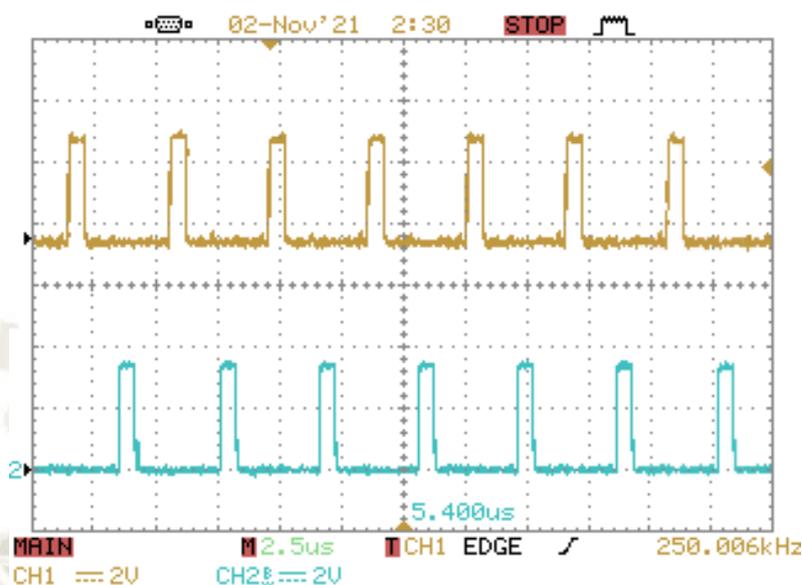
*Nota.* Fuente elaboración propia.

*Ilustración 6-2* Señal PWM para la fase 1 y la fase 3 para el disparo de los MOSFETs correspondientes en modo 2.



*Nota.* Fuente elaboración propia.

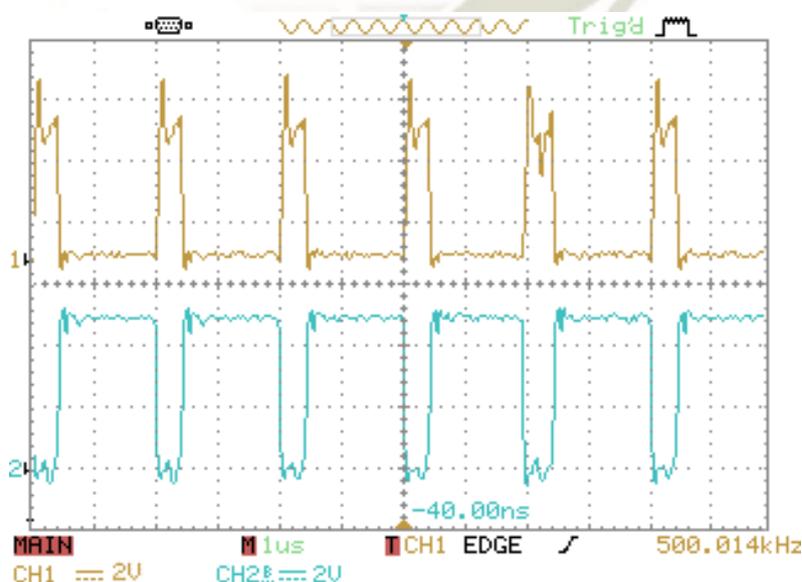
**Ilustración 6-3** Señal PWM para la fase 2 y la fase 3 para el disparo de los MOSFETs correspondientes en modo 2.



Nota. Fuente elaboración propia.

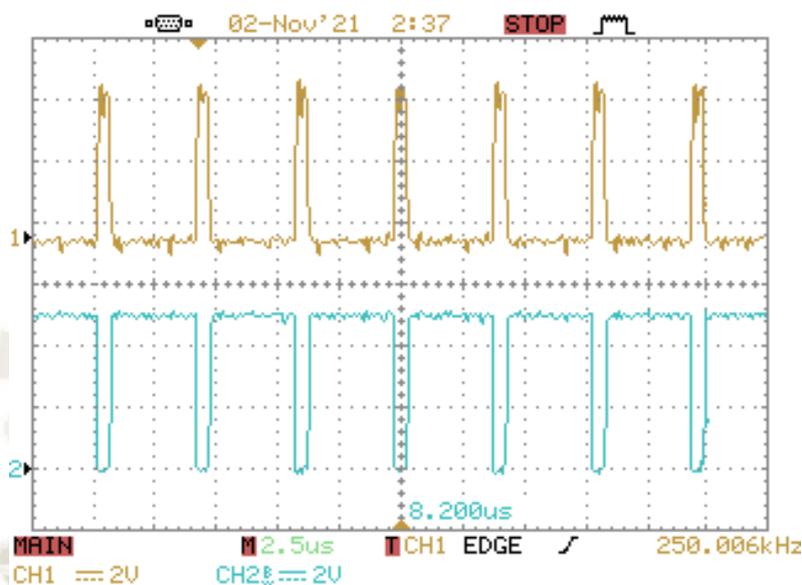
Finalmente, en las ilustraciones 6-4 y 6-5 se tiene la señal generada por los drivers CI TPS51601ADRBR para la fase 2 en modo 1 y la fase 3 en modo 2. Para ambos casos en el canal 1 se tiene la señal para el MOSFET en posición alta  $MH_{2/3}$  y en el canal 2 la señal para el MOSFET en posición baja  $ML_{2/3}$ .

**Ilustración 6-4** Señal PWM para los MOSFET  $MH_2$  y  $ML_2$  en modo 1.



Nota. Fuente elaboración propia.

*Ilustración 6-5 Señal PWM para los MOSFET MH3 y ML3 en modo 2.*

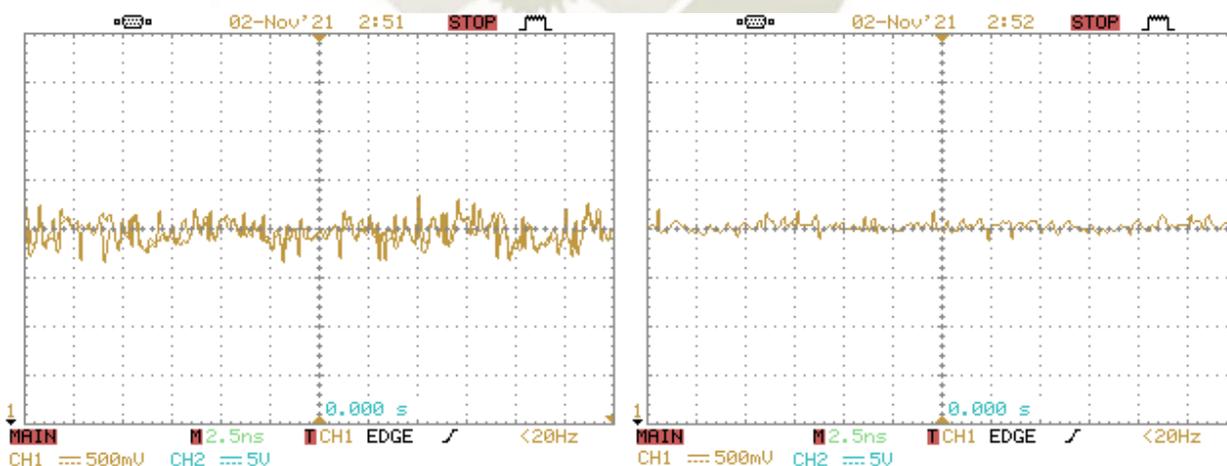


*Nota. Fuente elaboración propia.*

### 6.2 Rizado del voltaje de entrada

El rizado del voltaje de entrada  $V_i$  generado por la fuente de alimentación alcanza 500mVpp aproximadamente, lado izquierdo de la ilustración 6-6, y disminuye a 200mVpp por acción de los capacitores de entrada cuando se conecta a la fuente prototipo, lado derecho de la ilustración.

*Ilustración 6-6 Rizado del voltaje de entrada  $V_i$  sin y con capacitores de entrada.*



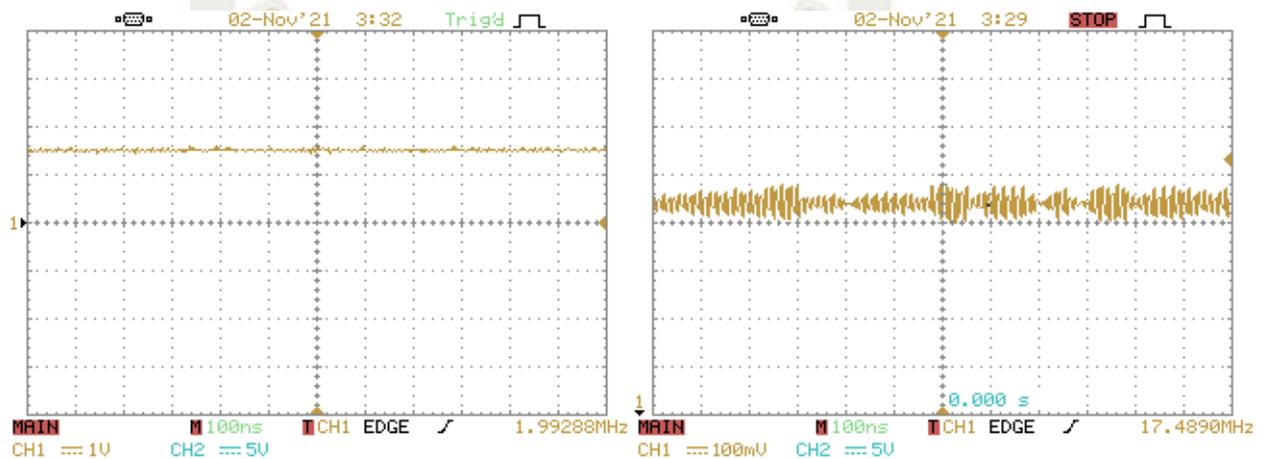
*Nota. Fuente elaboración propia.*

### 6.3 Voltaje de salida

Las especificaciones del diseño establecen que el voltaje nominal de trabajo es de 1.52Vdc con un máximo rizado de voltaje de 10mVpp. En las ilustraciones 6-7 y 6-8 se tiene

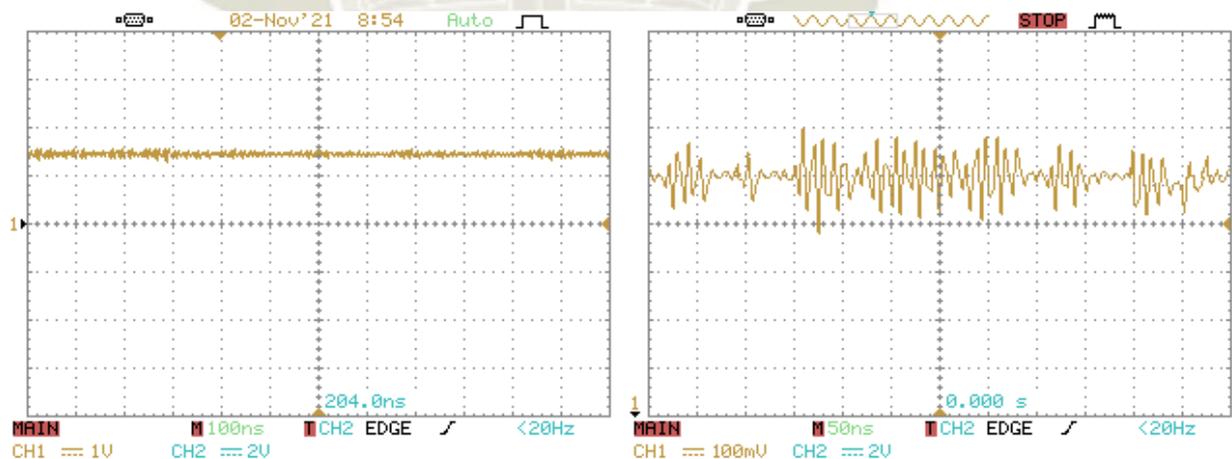
el voltaje de salida de la fuente prototipo regulado a 1.52Vdc para una carga de 15 y 30 amperios respectivamente. Para el primer caso cuando la carga es de 15 amperios la fuente trabaja en modo 1 (fase 1 y 2) y el rizado de voltaje alcanza los 80mVpp y en el segundo caso cuando se incrementa la carga a 30 amperios la fuente trabaja en el modo 2 (fase 1, 2 y 3) y el rizado se incrementa a 200mVpp. En ambos casos no se cumple con la especificación de diseño.

**Ilustración 6-7** Voltaje de salida  $V_o$  bajo una carga de 15 amperios.



*Nota. Fuente elaboración propia.*

**Ilustración 6-8** Voltaje de salida  $V_o$  bajo una carga de 30 amperios.



*Nota. Fuente elaboración propia.*

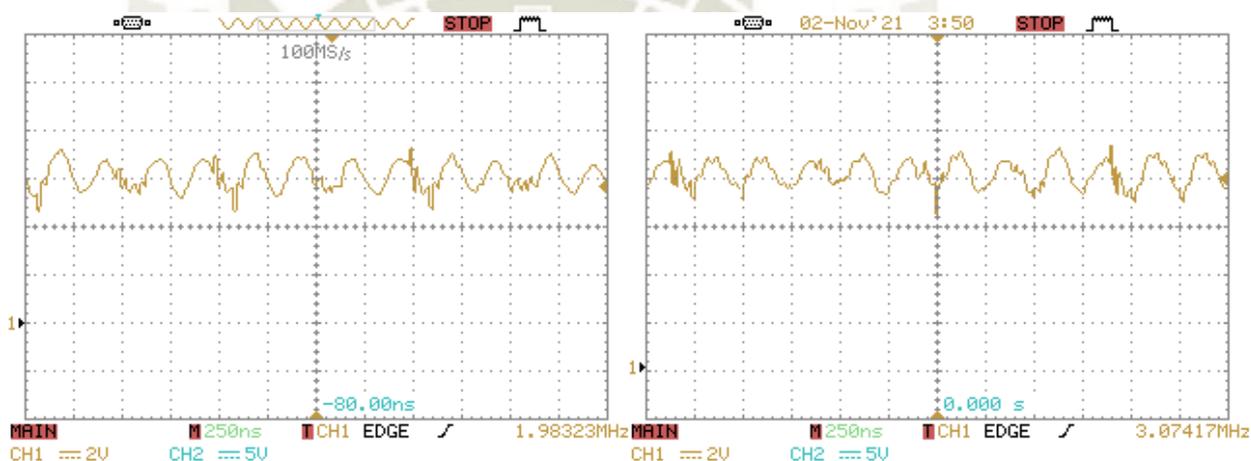
#### 6.4 Voltaje en el capacitor en serie

Tal como se mostró en el capítulo 3, en la topología propuesta el voltaje de entrada de la fuente no es el voltaje que será conmutado y regulado en cada fase. Mas bien, el voltaje a procesarse para la fase 1 es la diferencia del voltaje de entrada y el voltaje del capacitor en

serie VC1, y para la fase 2 y 3 el voltaje a procesarse es solo el voltaje del capacitor en serie VC1. Adicionalmente, el voltaje del capacitor en serie VC1 varía según el modo de operación (ver ecuaciones 3-11, 3-12 y 3-54).

Por consiguiente, reemplazando el voltaje de entrada  $V_i$  de 12Vdc en las ecuaciones mencionadas se tiene que el voltaje del capacitor en serie VC1 para el modo 1 es 6Vdc y para el modo 2 es 8Vdc. En la ilustración 6-9, para el modo 1, en el lado izquierdo, se observa un voltaje de 6Vdc con un rizo de voltaje de 2.4Vpp en el capacitor en serie C1, y para el modo 2, en el lado derecho, se observa un voltaje de 8Vdc con un rizo de voltaje de 2Vpp. En ambos el voltaje medido cumple con lo esperado.

**Ilustración 6-9** Voltaje del capacitor en serie VC1 para el modo 1 y 2 de operación.



*Nota. Fuente elaboración propia.*

### 6.5 Balance y rizado de corrientes de fase en operación en estado estable

Una de las características de la topología propuesta es el balance automático de las corrientes que fluyen por los inductores de las tres fases, es decir la corriente promedio que fluye por cada inductor debe ser igual.

Para probar que la fuente está trabajando de acuerdo al diseño y puesto que no se cuenta con una pinza amperimétrica capaz de mostrar una señal de 500kHz es que se recurre a las ecuaciones 3-1, 3-5, 3-6 y 3-7 y a partir de ellas se derivan dos conceptos para probar que la fuente prototipo cumple con lo esperado:

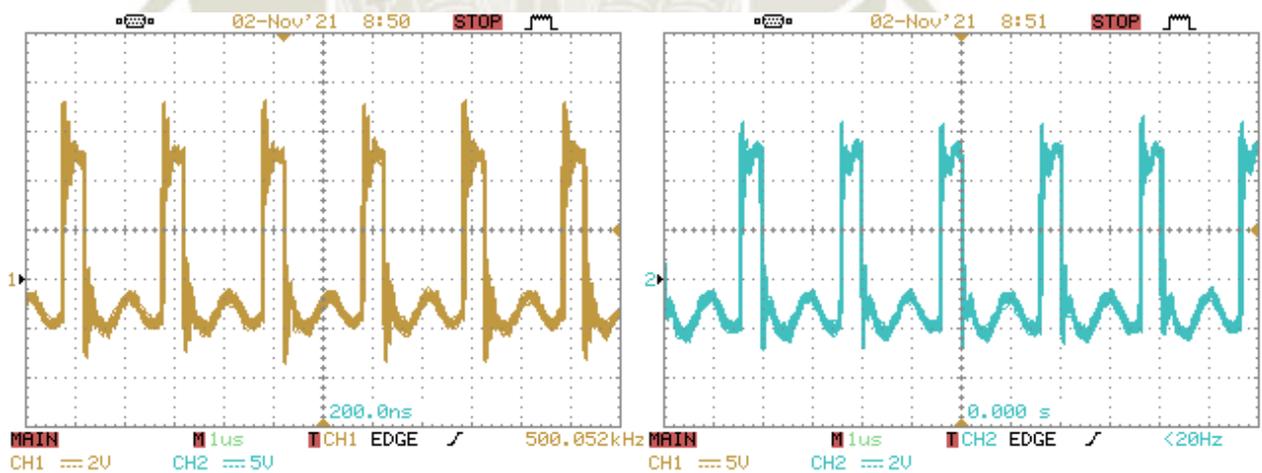
Primero, la corriente promedio que fluye por los inductores de las fases 1, 2 y 3 debe ser igual. Para probar esto se deduce mediante la ley Ohm que si la corriente es la misma y los inductores son iguales el voltaje que se mide también debe ser igual. En este caso, por

diseño para que la fuente opere en modo 1 y 2 de manera estable se diseñó la fuente de manera que el inductor L1 de la fase 1 sea menor al inductor L2 y L3 de la fase 2 y 3, y por esto se observa que el voltaje de cada inductor es ligeramente diferente debido a diferente resistencia DCR y además dado que L1 es menor a L2 y L3 el rizado de la corriente de la fase 1 es mayor al rizado de corriente de la fase 2 y 3.

Segundo: En operación en estado estable el voltaje promedio de un inductor en un periodo de tiempo debe ser cero. Es decir, el voltaje promedio durante el periodo de encendido debe ser igual al voltaje promedio durante el periodo de apagado.

En la ilustración 6-10, se observa el voltaje del inductor L1 (lado izquierdo) y L2 (lado derecho) operando en el modo 1 con un desfase de  $180^\circ$ . De esta ilustración se mide que el voltaje pico promedio durante un periodo de encendido del 20% en ambas señales es de 5.2 voltios, y el voltaje promedio durante el periodo de apagado del 80% en el inductor L1 es de -1.3 voltios y en el inductor L2 es de -1.4 voltios aproximadamente. Entonces puede decirse que existe balance de corrientes ya que los voltajes son prácticamente iguales para ambas fases.

*Ilustración 6-10 Voltaje de los inductores L1 y L2 en modo 1.*



*Nota. Fuente elaboración propia.*

Luego para demostrar que en la fuente prototipo el voltaje promedio del inductor es cero en un periodo de tiempo se suma el voltaje promedio durante el intervalo de encendido con el voltaje promedio durante el intervalo de apagado. Esto se hace calculando el área de voltaje de la ilustración 6-10. Entonces, para la fase 1 (lado izquierdo) mediante la ecuación 6-1 se demuestra que la suma de voltajes es cero

$$V_{L1\_On} - V_{L1\_Off} = 0$$

6-1

$$\frac{V_{L1} \cdot DC \cdot T}{T} - \frac{V_{L1} \cdot (1-DC)T}{T} = 0$$

$$\frac{5.2 \cdot 0.2 \cdot 2 \times 10^{-6}}{2 \times 10^{-6}} - \frac{1.3 \cdot (1-0.2) \cdot 2 \times 10^{-6}}{2 \times 10^{-6}} = 0$$

$$1.04V - 1.04V = 0$$

Y, el mismo ejercicio se repite para la fase 2 (lado derecho) demostrándose que también se cumple el postulado mencionado.

$$V_{L2\_On} - V_{L2\_Off} = 0$$

$$\frac{5.2 \cdot 0.2 \cdot 2 \times 10^{-6}}{2 \times 10^{-6}} - \frac{1.4 \cdot (1-0.2) \cdot 2 \times 10^{-6}}{2 \times 10^{-6}} \approx 0$$

$$1.04V - 1.12V = -0.08V \approx 0$$

Finalmente, para demostrar que el valor del rizado de corrientes corresponde al diseño se utiliza las ecuaciones mencionadas y reemplazando los valores medidos de la ilustración 6-10 se demuestra que el rizado de corriente de las fases siempre es menor a 3 amperios y que en el modo 1 el rizado de corriente de la fase 1 es 2.5 veces el valor que el rizado de corriente de la fase 2, esto corresponde con la simulación de la fuente en el capítulo 3.4 de la presente tesis.

También se observa que el rizado pico de corriente  $\Delta I_{L1}$  durante el periodo de encendido es igual al rizado pico de corriente  $-\Delta I_{L1}$  durante el periodo de apagado, y lo mismo para el rizado de corriente  $\Delta I_{L2}$  de la fase 2. Esto nos muestra que la cantidad de energía almacenada durante el periodo de encendido es brindada a la carga durante el periodo de apagado.

Para la fase 1:

De la ecuación 3-1 durante el periodo de encendido,

$$\Delta I_{L1\_On} = \frac{(V_i - V_{C1} - V_O)}{L_1} \cdot DT_{ON}$$

6-2

$$\Delta I_{L1\_On} = \frac{5.2}{800 \times 10^{-9}} \cdot 0.20 \cdot 2 \times 10^{-6} = 2.6A$$

De la ecuación 3-5 durante el periodo de apagado,

$$\Delta I_{L1\_Off} = \frac{-V_O}{L_1} \cdot DT_{OFF} \quad 6-3$$

$$\Delta I_{L1\_Off} = \frac{-1.3}{800 \times 10^{-9}} \cdot 0.80 \cdot 2 \times 10^{-6} = -2.6A$$

Para la fase 2:

De la ecuación 3-7 durante el periodo de encendido,

$$\Delta I_{L2\_On} = \frac{(V_{C1} - V_O) \cdot DT_{ON}}{L_2} \quad 6-4$$

$$\Delta I_{L2\_On} = \frac{5.2}{2 \times 10^{-6}} \cdot 0.20 \cdot 2 \times 10^{-6} = 1.04A$$

De la ecuación 3-6 durante el periodo de apagado,

$$\Delta I_{L2\_Off} = \frac{-V_O}{L_2} \cdot DT_{OFF} \quad 6-5$$

$$\Delta I_{L2\_Off} = \frac{-1.4}{2 \times 10^{-6}} \cdot 0.80 \cdot 2 \times 10^{-6} = -1.12A$$

## 6.6 Respuesta transitoria

Durante el encendido de la fuente los capacitores no tienen carga y los inductores no están energizados por lo que se genera un sobre impulso considerable de corriente y voltaje de arranque. Por lo que, para evitar el sobre impulso se recurre a dos tácticas de disminución de la amplitud:

La primera es iniciar la operación de la fuente en modo 2 y de esta manera distribuir la corriente total de arranque entre las tres fases.

La segunda es realizar un arranque suave que consiste en iniciar la operación con un valor bajo de voltaje de salida (valor bajo de ciclo de trabajo) e ir incrementando hasta alcanzar el valor requerido en un tiempo fijo. Para el control del arranque suave se recurre

al CI LM27402MH y se establece un tiempo de arranque suave de  $30 \times 10^{-3}$  segundos. Para el cálculo se utiliza la ecuación 6-6 tomada de (Texas Instruments, 2010).

$$C_{SS} = \frac{t_{SS} \cdot I_{SS}}{0.6} = \frac{0.03 \cdot 0.3 \mu}{0.6} = 15 nF \quad 6-6$$

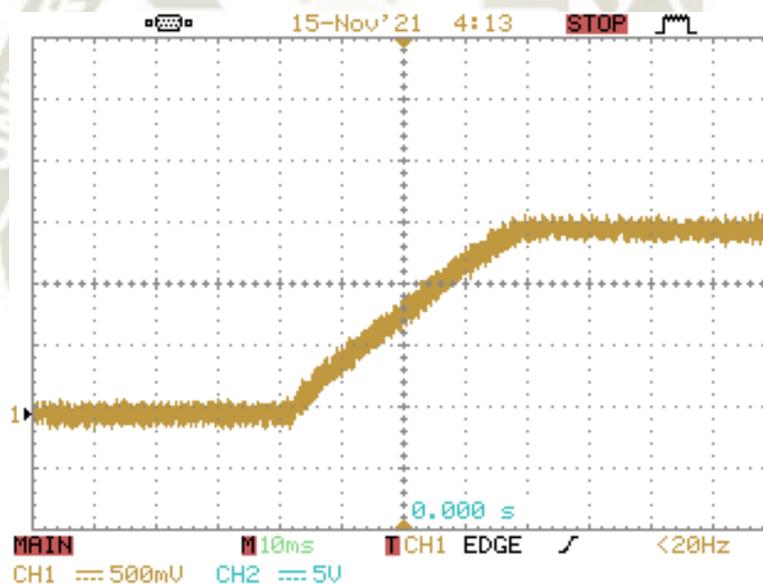
En donde,

0.6Vdc es el voltaje de retroalimentación nominal FB del CI LM27402MH

I<sub>ss</sub> es 3μA, y es la corriente de arranque suave nominal del CI LM27402MH

Habiendo establecido el tiempo del arranque suave se enciende la fuente y se obtiene la ilustración 6-11.

*Ilustración 6-11 Arranque suave de la fuente prototipo.*



*Nota. Fuente elaboración propia.*

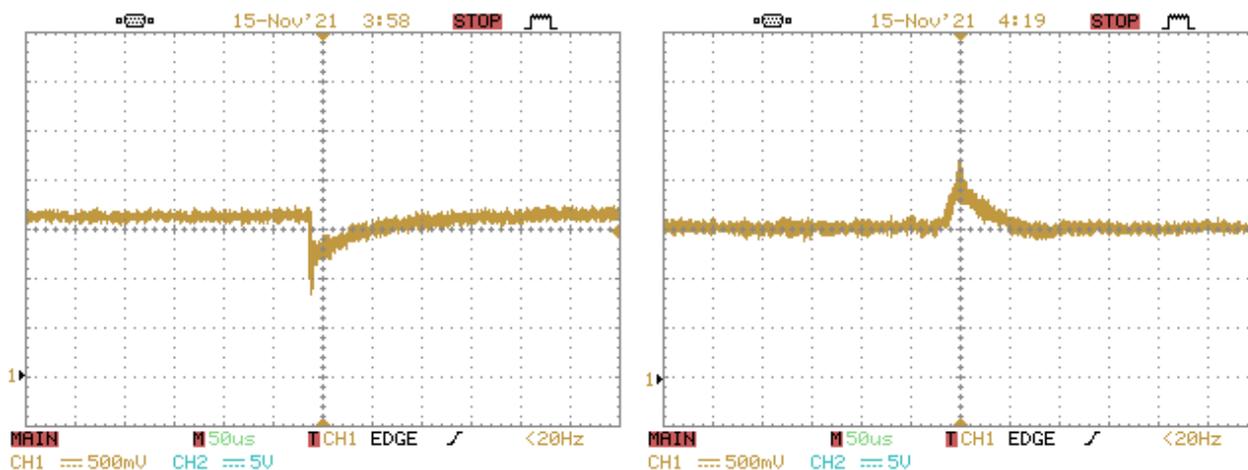
y se observa que:

- El tiempo de crecimiento  $T_r$  es de  $33 \times 10^{-3}$  segundos.
- El tiempo de establecimiento  $T_s$  es de  $36 \times 10^{-3}$  segundos.
- No existe sobre impulso máximo  $M_p$  debido al arranque suave.

Por otro lado, la regulación frente a un cambio de carga de 15 a 30 amperios y viceversa se observa en la ilustración 6-12. En ella se ve:

- a. Ante un incremento de carga a 30 amperios o 200% el voltaje disminuye en 50% y el tiempo de establecimiento a 1.60 voltios es de  $165 \times 10^{-6}$  segundos.
- b. Ante una disminución de carga a 15 amperios o 50% el voltaje se incrementa en 45% y el tiempo de establecimiento a 1.6 voltios es de  $140 \times 10^{-6}$  segundos.

*Ilustración 6-12 Respuesta transitoria ante cambios de carga.*



*Nota. Fuente elaboración propia.*

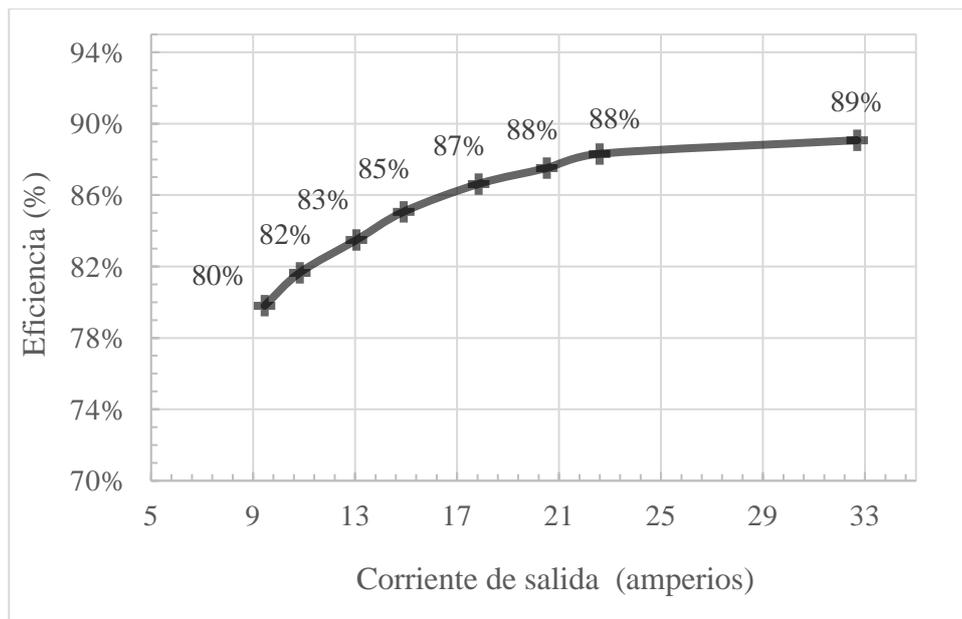
## 6.7 Eficiencia y pérdida de la fuente

Para el cálculo de la eficiencia se utiliza un amperímetro y voltímetro para medir la corriente y voltaje de la alimentación de entrada y de la carga de la fuente. La carga utilizada son dos resistencias de 0.1 ohmios y dos resistencias de 0.05 ohmios que se configuran en serie y paralelo para tener una serie de resistencias. La medición no incluye la alimentación de los circuitos de control ya que estos no fueron incluidos en el cálculo teórico.

En la ilustración 6-13 se observa la evolución de la eficiencia de la fuente respecto al aumento de la carga. Como máxima carga se ha alcanzado 32.7 amperios debido a:

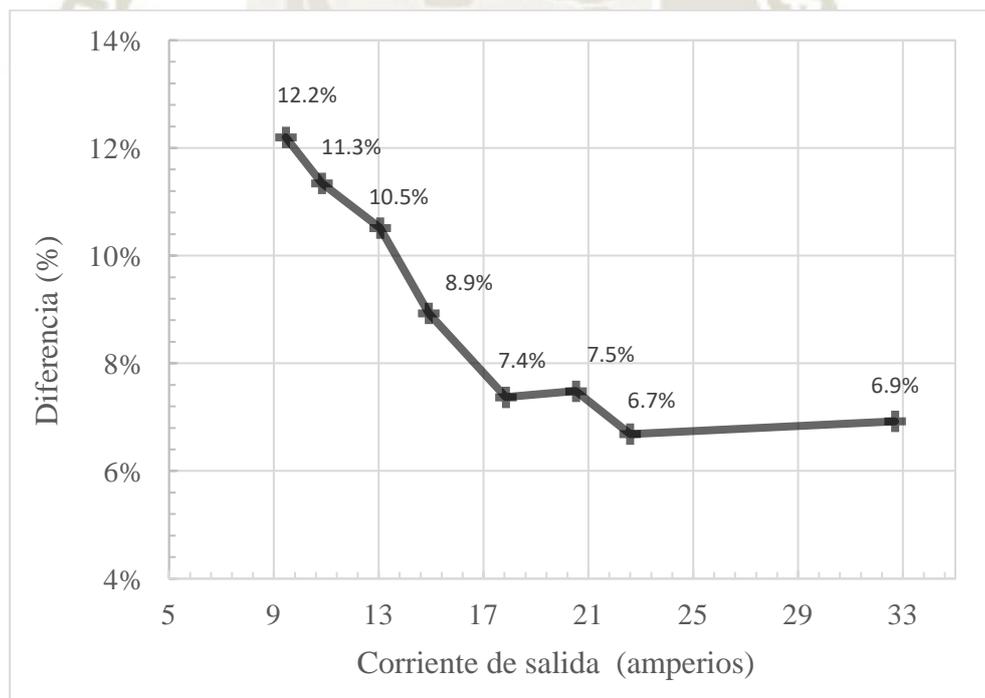
- a. La limitación de resistencias menores de 0.05 ohmios con capacidad de disipar más de 50 Watts de potencia.
- b. Pobre disipación de calor de los drivers, MOSFETs y tarjeta PCB

**Ilustración 6-13** Eficiencia de la fuente vs. corriente de salida.



Nota. Fuente elaboración propia.

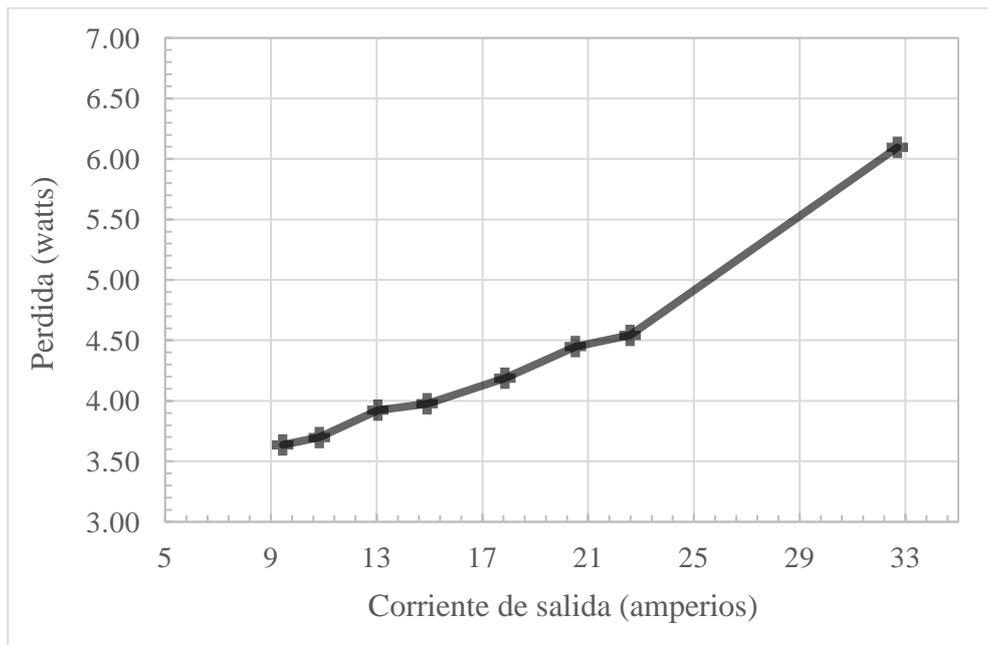
**Ilustración 6-14** Diferencia de eficiencia real vs. calculada.



Nota. Fuente elaboración propia.

Finalmente, en la ilustración 6-15 se muestra las pérdidas en Watts para distintos valores de corriente de salida  $I_o$ .

*Ilustración 6-15 Perdidas en la fuente vs. corriente de salida (Watts)*



*Nota. Fuente elaboración propia.*

## 6.8 Resumen del capítulo

En el desarrollo de la tesis se presentó el formato de operación y se procedió al diseño del circuito para la operación en el modo 1 y 2. Adicionalmente, para asegurar la estabilidad de la operación se diseñó un compensador de tipo III el cual permite no solo disminuir el sobre impulso de corriente y voltaje ante cambios de carga sino también disminuir el impacto del ruido del voltaje de entrada y el propio de la conmutación en la regulación del voltaje de salida.

El presente capítulo inicia mostrando las señales de disparo para los drivers y la señal PWM generada por los propios drivers. Se muestra la amplitud, frecuencia y desfase que existe entre ellas para cada modo de trabajo.

Luego, se muestra el voltaje de entrada  $V_i$  y salida  $V_o$  en donde se observa que el rizado es mucho mayor al esperado. La razón que se especula es que el ruido generado por la conmutación no está siendo correctamente filtrado y adicionalmente la cancelación del rizado de corriente en la salida no está ocurriendo como se esperaba.

Por otro lado, el comportamiento del voltaje en el capacitor en serie  $V_{CI}$  si cumple con lo esperado.

A continuación, para probar que existe un balance de corrientes entre las fases es que se prueba que el voltaje de los inductores es cero en promedio mediante el uso de las ecuaciones

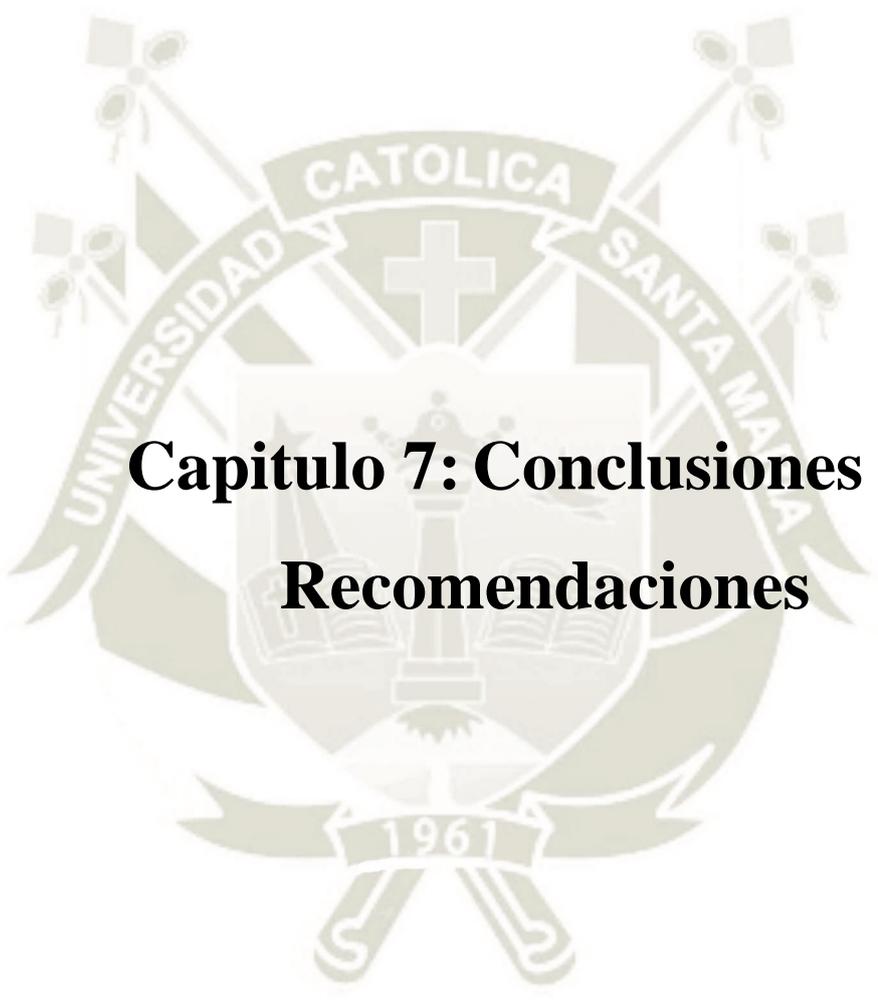
del modelo de promedio de señal grande de la fuente. Mediante estas ecuaciones se prueba que existe un balance adecuado de corrientes y que la fuente si opera en estado estable.

También se muestra la respuesta ante los transitorios. Para el arranque se utiliza el método de arranque suave para evitar las sobre corrientes y que los elementos se estresen. Y, para mostrar la respuesta transitoria a la variación de carga se aumenta y disminuye la carga de 15 a 30 amperios y viceversa.

Finalmente, se mide la eficiencia de la fuente y se encuentra que en promedio es 9.5% menos eficiente de lo esperado.

El resumen de los resultados numéricos obtenidos se describe a continuación:

- a. La fuente es capaz de regular el voltaje de salida cambiando de modo 1 a 2 y viceversa según la amplitud de la carga.
- b. El voltaje del capacitor en serie es 6Vdc para el modo 1 y 8Vdc para el modo 2 como se espera.
- c. Mediante la medición del voltaje en los inductores de las tres fases se observa que si existe balance de las corrientes de fase de manera automática.
- d. La respuesta transitoria es sub amortiguada cuando la carga disminuye en 50% y sobre amortiguada cuando la carga aumenta en 200%. La respuesta concuerda con el diagrama de bode de la compensación de la fuente.
- e. El rizo de voltaje de salida es superior a lo esperado, llegando a alcanzar 200mVpp en el modo 2 de operación.
- f. La eficiencia de la fuente es menor a lo esperado, hasta 12.2% para cargas bajas.
- g. La eficiencia de la fuente es mayor a 85% para cargas mayores a 15 amperios.
- h. El mínimo voltaje de salida posible es de 0.6Vdc para el modo 1 y 0.8Vdc para el modo 2.



# Capítulo 7: Conclusiones y Recomendaciones

## **7. Conclusiones y recomendaciones**

### **7.1. Conclusiones de la tesis**

1. La fuente de conmutación de topología Buck o reductora de tres fases con capacitor conmutado para microprocesadores propuesta es capaz de suministrar hasta 40 amperios.
2. No se puede obtener un voltaje de salida regulado desde 0Vcd.
3. La fuente solo alcanza una eficiencia mayor al 85% para cargas mayores a 15 amperios.

### **7.2. Recomendaciones**

1. Regular la fuente desde un voltaje de salida cercano a 0Vdc.
2. La fuente solo debe operar en modo 2.
3. Disminuir la amplitud del rizado de corriente y voltaje de salida.
4. Disminuir el tamaño de la tarjeta PCB.
5. Disminuir la generación de ruido.
6. Implementar métodos de protección de sobre corriente analógicos.
7. Estudiar e implementar un mejor control del proceso.

## Referencias

- Alexander, C. K., & Sadiku, M. N. (2013). The Source-Free RC Circuit. En C. K. Alexander, & M. N. Sadiku, *Fundamentals of Electric Circuits* (págs. 254 - 259). New York: Mc Graw Hill.
- Brown, M. (2001). *Power Supply Cookbook*. Massachusetts: Butterworth-Heinemann.
- Case, A. U. (2010). *Square wave calculations*. Obtenido de Recordingology:  
<http://recordingology.com/in-the-studio/distortion/square-wave-calculations/>
- Cassidy, B. M. (2015). *A Constant ON-Time 3-Level Buck Converter for Low Power*. Blacksburg: Virginia Polytechnic Institute and State University.
- Eaton Powerware. (s.f.). *Harmonics in your electrical system*.
- Erickson, R. W., & Maksimovi, D. (2004). *Fundamentals of Power Electronics*. New York: Kluwer Academic Publishers.
- Gao, Z. (2015). *A Two-mode Buck Converter toward High Efficiency for Entire Load Range for*. Blacksburg: Virginia Polytechnic Institute and State University.
- Hart, D. W. (2010). *Power Electronics*. New York: McGraw-Hill.
- Intel Corporation. (Septiembre de 2009). Voltage Regulator Module (VRM) and Enterprise Voltage Regulator-Down (EVRD 11.1 rev 002).
- Intel Corporation. (Abril de 2019). 8th and 9th Generation Intel Core Processor Families rev 003.
- Intel Corporation. (Julio de 2020). 10th Generation Intel Core Processor Families Datasheet, Volumen 1 of 2.
- Intel Corporation. (s.f.). *Intel® Core™ i9-10850K Processor*. Obtenido de intel.com:  
<https://www.intel.com/content/www/us/en/products/processors/core/i9-processors/i9-10850k.html>
- Lee, S. (2014). *Demystifying Type II and Type III Compensators Using OpAmp and OTA for DC/DC Converters*. Dallas: Texas Instruments.
- Lilienkamp, K. (29 de septiembre de 2009). *Stability Criteria - (Gain Margin and Phase Margin)*. Obtenido de Modeling Dynamics and Control III Tutorial - MIT:

[https://www.mit.edu/afs.new/athena/course/2/2.010/www\\_f00/psets/hw3\\_dir/tutor3\\_dir/tut3\\_g.html](https://www.mit.edu/afs.new/athena/course/2/2.010/www_f00/psets/hw3_dir/tutor3_dir/tut3_g.html)

Microchip Technology Inc. (2018). dsPIC33CH Curiosity Dev Board DM3300280-2 User's Guide. Chandler, AZ, USA.

Nise, N. S. (2015). *Control Systems Engineering*. New Jersey: John Wiley & Sons .

Nowakowski, R. (Mayo de 2020). Non-Isolated Point-of-Load Solutions for Tiger Lake in PC Applications. Dallas, Texas, USA.

Ogata, K. (2010). *Modern Control Engineering*. Upper Saddle River: Prentice Hall.

Parisi, C. (2017). *Multiphase Buck Design From Start to Finish*. Texas Instruments Incorporated.

Rahimi, A. M., Parto, P., & Asadi, P. (s.f.). *Application Note AN-1162 - Compensator Design Procedure for Buck Converter with Voltage-Mode Error-Amplifier*. International Rectifier.

Rashid, M. H. (2011). *Power Electronics Handbook* (págs. 249 - 264). Pensacola: Elsevier.

Reno, R. (11 de Agosto de 2020). *Buck vs. Boost Converters: How Do They Compare?* . Obtenido de Maxim Integrated: <https://www.maximintegrated.com/en/design/blog/buck-vs-boost-converters-how-do-they-compare.html>

Richtek Designer. (s.f.). *Reducing EMI in buck converters*. Obtenido de Richtek: <https://www.richtek.com/Design%20Support/Technical%20Document/AN045>

ROHM Semiconductor. (Diciembre de 2016). Application Note. Switching Regulator IC Series: Efficiency of Buck Converter Rev. 001 AEK59-D1-0364-0. United Kingdom. Obtenido de ROHM Semiconductor: [http://rohms.rohm.com/en/products/databook/applnote/ic/power/switching\\_regulator/buck\\_converter\\_efficiency\\_app-e.pdf](http://rohms.rohm.com/en/products/databook/applnote/ic/power/switching_regulator/buck_converter_efficiency_app-e.pdf)

Saleemi, F. M. (2008). *Analysis and Design of a Multiphase Multi-Interleave DC-DC converter with input-output bypass Capacitor*. San Luis Obispo: California Polytechnic State University.

Shenoy, P. S. (2016). *Introduction to the Series Capacitor Buck Converter*. Dallas: Texas Instruments.

Texas Instruments. (Enero de 2010). LM27402 High-Performance Synchronous Buck Controller With DCR Current Sensing.

## Bibliografía

- Baba, D. (1Q 2012). Benefits of a multiphase buck converter. *Analog Applications Journal*, 8-13.
- Cao, L. (Enero de 2011). Type III Compensator Design for Power Converters. *Power Electronics Technology*, págs. 20 - 25.
- Cassidy, B. M. (2015). *A Constant ON-Time 3-Level Buck Converter for Low Power*. Blacksburg: Virginia Polytechnic Institute and State University.
- Dummer, G. (1983). The Beginning of Electronics. En G. W. Dummer, *Electronic Inventions and Discoveries* (págs. 1-2). Institute of Physics Publishing.
- Ejury, J. (2013). *Buck Converter Design*. Durham: Infineon Technologies North America IFNA Corp. Engineering. (Septiembre de 2014). *PID controller, Lead/Lag, Type 2 and Type 3 controller*.  
Obtenido de Eng-tips: <https://www.eng-tips.com/viewthread.cfm?qid=370916>
- Erickson, R. W., & Maksimovi, D. (2004). *Fundamentals of Power Electronics*. New York: Kluwer Academic Publishers.
- Gao, Z. (2015). *A Two-mode Buck Converter toward High Efficiency for Entire Load Range for*. Blacksburg: Virginia Polytechnic Institute and State University.
- Garcia, N. (2005). *Determining inductor power losses*. Coilcraft.
- Hart, D. W. (2010). *Power Electronics*. New York: McGraw-Hill.
- Intel Corporation. (Abril de 2019). 8th and 9th Generation Intel Core Processor Families rev 003.
- Intel Corporation. (s.f.). *Intel's First Microprocessor*. Obtenido de Intel: <https://www.intel.com/content/www/us/en/history/museum-story-of-intel-4004.html>
- Kettering, C. F. (1912). *Patente n° US 1037492*.
- Lee, S. (2014). *Demystifying Type II and Type III Compensators Using OpAmp and OTA for DC/DC Converters*. Dallas: Texas Instruments.
- Lilienkamp, K. (29 de septiembre de 2009). *Stability Criteria - (Gain Margin and Phase Margin)*. Obtenido de Modeling Dynamics and Control III Tutorial - MIT: [https://www.mit.edu/afs.new/athena/course/2/2.010/www\\_f00/psets/hw3\\_dir/tutor3\\_dir/tut3\\_g.html](https://www.mit.edu/afs.new/athena/course/2/2.010/www_f00/psets/hw3_dir/tutor3_dir/tut3_g.html)

- Microchip Technology Inc. (2018). dsPIC33CH Curiosity Dev Board DM3300280-2 User's Guide. Chandler, AZ, USA.
- Nise, N. S. (2015). *Control Systems Engineering*. New Jersey: John Wiley & Sons .
- Ogata, K. (2010). *Modern Control Engineering*. Upper Saddle River: Prentice Hall.
- Parisi, C. (2017). *Multiphase Buck Design From Start to Finish*. Texas Instruments Incorporated.
- Pressman, A. L. (1998). *Fundamental Switching Regulators - Buck, Boost, and Inverter Topologies*. En A. L. Pressman, *Switching Power Supply Design* (págs. 3-36). New York: Mc Graw Hill.
- Rahimi, A. M., Parto, P., & Asadi, P. (s.f.). *Application Note AN-1162 - Compensator Design Procedure for Buck Converter with Voltage-Mode Error-Amplifier*. International Rectifier.
- Rashid, M. H. (2011). *Power Electronics Handbook* (págs. 249 - 264). Pensacola: Elsevier.
- Robbins, A. H., & Miller, W. C. (2007). *Circuit Analysis, Theory and Practice*.
- ROHM Semiconductor. (Diciembre de 2016). Application Note. Switching Regulator IC Series: Efficiency of Buck Converter Rev. 001 AEK59-D1-0364-0. United Kingdom. Obtenido de ROHM Semiconductor:  
[http://rohmfs.rohm.com/en/products/databook/applnote/ic/power/switching\\_regulator/buck\\_converter\\_efficiency\\_app-e.pdf](http://rohmfs.rohm.com/en/products/databook/applnote/ic/power/switching_regulator/buck_converter_efficiency_app-e.pdf)
- Shenoy, P. S. (2016). *Introduction to the Series Capacitor Buck Converter*. Dallas: Texas Instruments.
- Shi, M. (2007). *Design and Analysis of Multiphase DC-DC Converters with coupled inductors*. College Station: Texas A&M University.
- Shirriff, K. (s.f.). *Inside the Apollo Guidance Computer's core memory*. Recuperado el 02 de Octubre de 2019, de Ken Shirriff's blog: <http://www.righto.com/2019/01/inside-apollo-guidance-computers-core.html>
- Texas Instruments. (Enero de 2010). LM27402 High-Performance Synchronous Buck Controller With DCR Current Sensing.
- Texas Instruments Incorporated. (Diciembre de 2015). TPS54A208-V to 14-V Input, 10-A, up to 10-MHzSWIFT™ Step Down Converter. Dallas, Texas.

Theja, V., & Sriramalakshmi, P. (2017). Comparison of conventional Buck and Boost converter with integrated dual output converter. *International Journal of Pure and Applied Mathematics*, 205-211.

Yeago, T. C. (2014). *A two-phase buck converter with optimum phase selection for low power applications*. Blacksburg: Virginia Polytechnic Institute and State University.

